



Universidad Nacional
de San Martín

ESCUELA DE CIENCIA Y TECNOLOGÍA

Diseño y Comparación de Amplificadores de Señal Mixta para ADCs de Alta Velocidad en Tecnología CMOS de 65 nm

INFORME DE PROYECTO FINAL

PARA OBTENER EL TÍTULO DE

INGENIERO ELECTRÓNICO

Autor:

Manuel Germano

Tutor:

Dr. Ing. Benjamín Reyes

Co-Tutorx:

Ing. Álvaro Fernández

Resumen

Las nuevas generaciones de sistemas de comunicaciones digitales demandan conversores analógico-digitales (ADCs) de cada vez mayor precisión debido a la necesidad de incrementar la capacidad de transmisión de datos. Arquitecturas de Registros de Aproximaciones Sucesivas (SAR) son ampliamente utilizadas en los sistemas actuales, pero se vuelven ineficientes para altas resoluciones. Por esta razón, se deben implementar topologías tipo *pipeline* o *SAR-pipelined* que implementan sucesivas etapas de digitalización separadas por amplificadores de residuo. Dicho bloque juega un papel fundamental en el desempeño final del ADC, por lo que se requiere que éste sea de bajo consumo, alta velocidad y no introduzca una componente de ruido significativa.

En este Proyecto Final se presenta el diseño esquemático, caracterización y comparación de dos topologías de amplificadores de residuo para su utilización en un ADC de tipo *SAR-pipeline* de 2 etapas, que trabaja a una frecuencia de 100 MS/s y cuenta con una resolución efectiva de 10 bits.

Finalmente, se realizó el diseño de *layout* de la topología con mejor desempeño para obtener resultados *post-layout*. El diseño fue realizado en tecnología CMOS de 65 nm.

Agradecimientos

A mi padre y a mi madre, quienes me formaron como persona y me apoyaron siempre para lograr lo que me propusiera. A ellos les debo absolutamente todo.

A mis hermanas, mis cómplices incondicionales de por vida, quienes me soportan desde que tengo memoria.

A Mica, la persona que eligió voluntariamente estar a mi lado en este proceso y acompañarme en todos los aspectos humanamente posibles.

A mis abuelos y abuelas, fuentes inagotables de cariño y valores. Ellos son mis ejemplos de tolerancia, generosidad y empatía.

A Sasha, Lucas y Nicolás. Creo firmemente que una carrera universitaria no debe hacerse sin un buen grupo de compañeros, y no tengo dudas de que parte de mi título le pertenecerá a ellos.

A Gabriel Sanca, quien me dio oportunidad tras oportunidad para seguir creciendo personal y profesionalmente. Gracias a él di mis primeros pasos en investigación y docencia, y fue quien me introdujo en el apasionante mundo de la microelectrónica.

A Gabriel Gabian, el docente que me enseñó qué es realmente la ingeniería y cómo se debe enseñar.

Al grupo LabOSat, mi primer contacto real con la ingeniería y mi primer equipo de trabajo. Tuve el privilegio de participar de un grupo profesional y humano de primera.

A la Escuela de Ciencia y Tecnología, institución a la que estaré eternamente agradecido.

A Fundación Fulgor y a mi tutor, Benjamín, por darle a un estudiante que no conocían personalmente, y que vive a 700 km de distancia, la oportunidad formarse con educación de primer nivel y hacer un Proyecto Final interesante y relevante.

A mi co-tutor, Álvaro, que me guió y acompañó de manera completamente remota durante un año de arduo trabajo. Su paciencia y buena predisposición son dos de las principales razones por las que hoy existe este trabajo.

Índice general

Lista de Figuras	8
Lista de Acrónimos	9
1. Introducción	11
1.1. Motivación	11
1.2. Objeto y Alcance del Trabajo	12
1.3. Marco de trabajo	12
1.3.1. ADC <i>SAR-pipelined</i>	13
1.3.2. Especificaciones	15
1.3.3. Organización del Informe	15
2. Amplificador dinámico	17
2.1. Diseño Esquemático	17
2.1.1. Operación	18
2.1.2. Configurabilidad de Corriente y Ventana de Amplificación	20
2.1.3. Muestreo de la Salida	22
2.1.4. Fuentes de Distorsión	22
2.1.5. Ruido	24
2.2. Simulaciones y Resultados	24
2.2.1. Simulación Transitoria	25
2.2.2. Simulaciones de Ruido y Distorsión	28
2.2.3. Simulación de <i>Offset</i>	29
3. Amplificador estático	31
3.1. Diseño Esquemático	31
3.1.1. Amplificador Diferencial	32
3.1.2. Realimentación de Modo Común	35
3.1.2.1. Modelado de la Planta	36
3.1.2.2. Detector de Modo Común	37
3.1.2.3. Amplificador de Error	38
3.1.3. Muestreo en la Salida	39
3.1.4. Análisis de Ruido	40

3.2. Simulaciones y Resultados	41
3.2.1. Simulación Transitoria	42
3.2.2. Simulación en Frecuencia	43
3.2.3. Simulación del Lazo de CMFB	43
3.2.4. Simulación de Ruido y Distorsión	45
3.2.5. Simulación de <i>Offset</i>	46
4. Comparación y resultados <i>post-layout</i>	47
4.1. Comparación a Igual Ganancia	47
4.2. Análisis del Amplificador Estático a Consumo Equivalente al Dinámico	49
4.3. Diseño de <i>Layout</i>	49
4.4. Simulación <i>Post-layout</i>	52
4.4.1. Simulación Transitoria	52
4.4.2. Simulación de Ruido	53
4.4.3. Simulación de <i>Offset</i>	53
4.4.4. Resumen de Resultados	54
5. Comentarios finales	57
5.1. Configurabilidad del Amplificador Dinámico	57
5.2. Consideraciones de <i>Layout</i>	58
6. Anexo	59
6.1. MOSFETs como llaves de muestreo	59
Bibliografía	63

Lista de Figuras

1.1. Arquitectura de un Conversor Analógico-Digital (ADC) <i>SAR-pipelined</i> de dos etapas.	13
2.1. Esquemático del amplificador dinámico implementado.	18
2.2. Diagrama simplificado del proceso de operación <i>single-ended</i> del amplificador dinámico.	19
2.3. Curvas simplificadas del proceso de amplificación del amplificador dinámico.	20
2.4. Malla de entrada que determina la corriente.	20
2.5. Circuito de <i>tail</i> con configurabilidad de corriente.	21
2.6. Circuito de muestreo con compensación de inyección de carga.	22
2.7. <i>Testbench</i> de simulación del amplificador dinámico.	25
2.8. Simulación transitoria del amplificador dinámico para una ventana de amplificación $\Delta t = 1.4$ ns y la configuración de corriente 010b.	26
2.9. Simulación transitoria del amplificador dinámico para todas las configuraciones de corriente y ventana de amplificación. Los puntos marcados son aquellos en los cuales se cumplen ambas especificaciones.	27
2.10. Sumario de las configuraciones de corriente y ventana de tiempo en <i>corners</i> . En verde los casos que cumplen las especificaciones de ganancia y linealidad. El número dentro de cada grilla es la tensión de modo común de salida en volts.	27
2.11. PDF de ruido del amplificador dinámico en TT con ganancia 4.	28
2.13. PDF de offset del amplificador dinámico en TT con ganancia 4 en diseño esquemático.	30
3.1. Esquemático simplificado del amplificador estático implementado.	32
3.2. Simulación de la carga de un circuito RC muestreado durante distintos intervalos de tiempo menores que 5τ	33
3.3. Lazo de realimentación de modo común.	35
3.4. Circuito equivalente de pequeña señal para la transferencia entre <i>bias</i> de la carga activa y modo común de salida.	36
3.5. Circuito de sensado de modo común.	38

3.6.	Amplificador diferencial con carga espejo de corriente implementado como amplificador de error. El nodo de salida V_{CMFB} se conecta a los <i>gates</i> de la carga activa del amplificador estático.	39
3.7.	Salida del amplificador sin y con compensación de <i>charge injection</i>	40
3.8.	<i>Testbench</i> de simulación del amplificador estático.	42
3.9.	Simulación transitoria del amplificador estático en operación a entrada máxima.	42
3.12.	FFT del amplificador estático con y sin ruido.	45
3.13.	PDF de offset del amplificador estático en TT.	46
4.1.	Diseño de <i>layout</i> N°1.	50
4.2.	Diseño de <i>layout</i> N°2.	51
4.3.	Sumario de las configuraciones de corriente y ventana de tiempo en <i>corners</i> para la extracción <i>post-layout</i> N°1. En verde los casos que cumplen las especificaciones de ganancia y linealidad. El número dentro de cada grilla es la tensión de modo común de salida en volts.	52
4.4.	Sumario de las configuraciones de corriente y ventana de tiempo en <i>corners</i> para la extracción <i>post-layout</i> N°2. En verde los casos que cumplen las especificaciones de ganancia y linealidad. El número dentro de cada grilla es la tensión de modo común de salida en volts.	53
4.5.	Función de Densidad de Probabilidad (PDF)s de ruido a la salida del amplificador dinámico en TT con ganancia 4 en diseño esquemático y <i>post-layout</i>	53
4.6.	PDFs de offset del amplificador dinámico en TT con ganancia 4 en diseño esquemático y dos extracciones de <i>layout</i>	54
6.1.	A la izquierda, circuito de muestreo ideal. A la derecha, implementación con un NMOS [9]	59
6.2.	Corriente de <i>drain</i> en función de la corriente <i>drain-source</i> en la región de triodo [8].	60
6.3.	Circuito de muestreo con compensación de inyección de carga.	61

Lista de Acrónimos

ADC	Convertor Analógico-Digital
CDAC	Convertor Digital-Analógico Capacitivo
CMFB	Realimentación de Modo Común
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
DSP	Procesamiento Digital de Señales
EEE	Error de Estado Estacionario
ENOB	Numero Efectivo de Bits
FFT	Transformada de Fourier Rápida
PDF	Función de Densidad de Probabilidad
PVT	Proceso, Tensión y Temperatura
RC	resistivo-capacitiva
RMS	<i>Root Mean Square</i>
SAR	Registros de Aproximaciones Sucesivas
SNDR	<i>Signal-to-Noise-and-Distortion Ratio</i>
SNR	Relación Señal Ruido
THD	Distorsión Armónica Total
TI	<i>Time Interleaving</i>

Capítulo 1

Introducción

1.1. Motivación

La industria de las comunicaciones digitales por fibra óptica utiliza sistemas de transmisión y recepción basados en Procesamiento Digital de Señales (DSP), que pueden ser implementados en tecnología *Complementary Metal-Oxide-Semiconductor* (CMOS) y fabricarse a gran escala y bajo costo. En todo sistema receptor la señal es adquirida por un enlace de fibra óptica, convertida del dominio óptico al eléctrico y digitalizada para luego ser procesada por un sistema DSP. Estos circuitos que involucran señales en ambos dominios (digital y analógico) son conocidos como circuitos de señal mixta.

El elemento encargado de la digitalización de la señal es el ADC. Con el aumento de las tasas de transferencia de símbolos utilizadas por los sistemas de comunicación actuales, los anchos de banda requeridos son cada vez más altos, llegando en un futuro cercano a alcanzar frecuencias de muestro del orden de los 200-250 GHz. La técnica más utilizada para lograr ADCs de alta velocidad es el entrelazado temporal o *Time Interleaving* (TI) [3]. Esta técnica consiste en la paralelización de varios ADCs que operan con un desfase temporal, permitiendo alcanzar tasas de muestreo iguales a la de un conversor multiplicada por la cantidad total de conversores utilizada.

Adicionalmente, los esquemas de modulación utilizados son cada vez más complejos con el objetivo de transmitir una mayor cantidad de información con el mismo ancho de banda. En el futuro se utilizarán esquemas como QAM-64 o QAM-256 [6]. Incrementar el orden de modulación aumenta la sensibilidad al ruido, por lo que los próximos ADCs deben lograr altos desempeños en este aspecto.

En la actualidad, los ADCs utilizados en receptores ópticos son de resoluciones medias (6-8 bits). La topología más común para alcanzar estas resoluciones es la SAR ya que, combinada con técnicas de TI, permite alcanzar una elevada eficiencia y alta velocidad.

Sin embargo, si se desea alcanzar una resolución de 9, 10 o más bits es necesario

implementar topologías tipo *pipeline* [1, 2]. Este tipo de convertidores tradicionalmente constan de sucesivas etapas cuantificadoras de baja resolución, y por lo tanto baja complejidad, conectadas entre si a través de amplificadores de residuo. El desempeño final de la conversión depende en gran medida de las características de estos amplificadores, su consumo, *Signal-to-Noise-and-Distortion Ratio* (SNDR), ganancia, etc.

Por todo lo mencionado anteriormente, es necesario orientar la investigación hacia la búsqueda de ADCs que mejoren la eficiencia, velocidad y precisión de la conversión. En particular, es de interés el estudio de distintos tipos de amplificadores de residuo que puedan mejorar el desempeño de los convertidores en alguno, varios o todos los aspectos mencionados.

1.2. Objeto y Alcance del Trabajo

Este Proyecto Final de grado tiene como objetivo principal diseñar, caracterizar y comparar circuitos amplificadores de alta velocidad con el fin de evaluar su desempeño como amplificadores de residuo en ADCs *SAR-pipelined* de elevada frecuencia de muestreo, moderada-alta resolución y eficiencia energética.

El plan propuesto plantea el desarrollo de dos topologías distintas y su comparación mediante un conjunto de métricas preestablecidas (ganancia, linealidad, velocidad, consumo, etc.).

Los objetivos específicos propuestos al inicio del trabajo de grado se detallan a continuación:

- Caracterizar las siguientes topologías amplificadoras: amplificador dinámico y amplificador estático. Para cada topología se desarrollará un diseño preliminar y los *test-benches* pertinentes para evaluar las métricas a comparar.
- Completar el flujo de diseño de la topología con mejor desempeño general. Esto incluye la verificación del esquemático, diseño de *layout*, extracción de parásitos y simulaciones *post-layout*.

1.3. Marco de trabajo

Este trabajo parte del desarrollo de un ADC *SAR-pipelined* desarrollado por un estudiante de maestría como parte de su trabajo de tesis. Los amplificadores fueron diseñados a partir de una serie de requerimientos derivados de las características particulares de dicho convertidor. No obstante, el proceso de diseño y las conclusiones son relativamente independientes del valor exacto de los requerimientos. A continuación, se realiza una breve introducción sobre ADC *SAR-pipelined* y se extraen las especificaciones necesarias.

1.3.1. ADC *SAR-pipelined*

Este tipo de arquitecturas permite alcanzar una resolución de N bits mediante la implementación de dos etapas de m y n bits, siendo $m + n = N$, conectadas por un amplificador de residuo. Aumentar la ganancia entre etapas permite reducir la exigencia de cada una individualmente. En la Figura 1.1 se presenta el diagrama simplificado de la arquitectura de un ADC *SAR-pipelined* con una resolución nominal de 10 bits, compuesto por dos etapas de 5 y 6 bits (la segunda etapa tiene un bit extra de redundancia que se utiliza para corrección de errores).

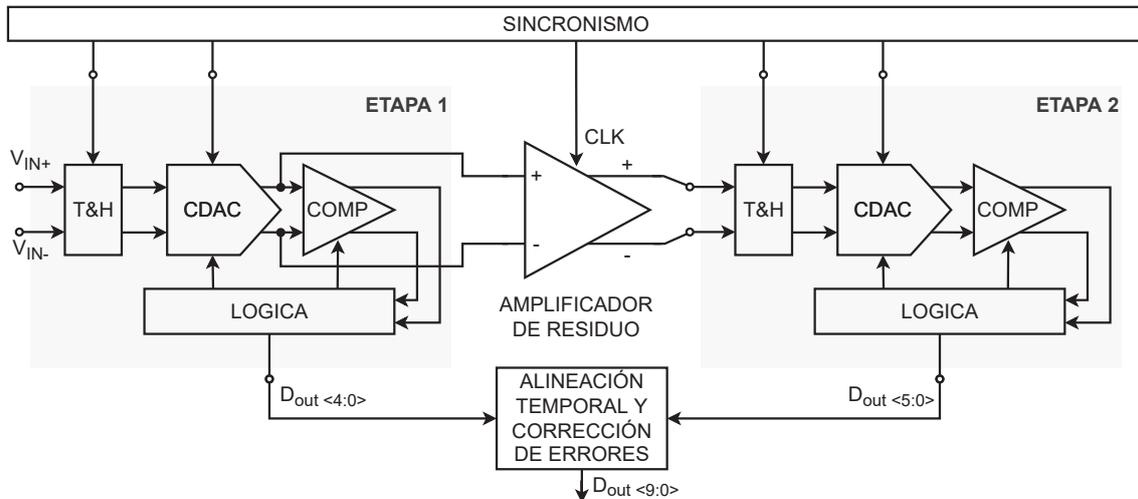


Figura 1.1: Arquitectura de un ADC *SAR-pipelined* de dos etapas.

Cada etapa SAR consta de un *track & hold*, un Conversor Digital-Analógico Capacitivo (CDAC), un comparador y una serie de circuitos lógicos dedicados a control y calibración del resto del sistema. Las salidas de ambas etapas de baja resolución se alinean en el dominio del tiempo e ingresan al circuito de corrección digital de errores donde se obtienen el resultado final de la conversión, con una resolución mayor que la de ambas etapas.

El bloque de mayor consumo de un ADC SAR es el comparador, al punto que para altas resoluciones la arquitectura se vuelve muy ineficiente. La arquitectura *pipeline* introduce un amplificador de residuo entre etapas de menor resolución relajando así la exigencia sobre cada comparador. Sin embargo, esto provoca que el amplificador de residuo se convierta en el bloque crítico de la arquitectura en términos de consumo, velocidad y ruido.

Ganancia del Amplificador

La ganancia del amplificador de residuo impacta sobre la Relación Señal Ruido (SNR) del comparador de la segunda etapa. Para un ADC de resolución 5b-5b¹, la ganancia óptima para minimizar el consumo de la segunda etapa es de $2^5 = 32$ veces [2]. Sin embargo, para lograr ganancias de ese orden se debe utilizar un amplificador multietapa que reduce el ancho de banda y aumenta el consumo, venciendo el propósito de la topología. Una alternativa consiste en reducir las tensiones de referencia de la segunda etapa, relajando el requerimiento de ganancia del amplificador de residuo manteniendo la coherencia de la conversión; de esta manera se puede mantener el desempeño del ADC con una menor ganancia inter-etapa.

El ADC tomado como referencia para este trabajo (Figura 1.1) impone como requerimiento una ganancia de 4 veces. Una topología comúnmente utilizada en la bibliografía es el amplificador dinámico [4], debido a su alta velocidad y bajo consumo. Existen también variantes [5] de éste que mejoran distintos aspectos como ganancia, ruido y consumo.

Distorsión y Ruido

La SNDR es un factor muy importante que debe tenerse en cuenta en el diseño del amplificador de residuo, ya que esta deben ser tal que no deteriore el proceso de digitalización de la segunda etapa. Una forma más práctica de expresar la SNDR es a través del Numero Efectivo de Bits (ENOB), comúnmente utilizado como medida del rango dinámico de los ADCs. Mediante esta métrica se puede relacionar el ruido y la distorsión del amplificador de residuo con la cantidad efectiva de bits que tendrá la segunda etapa del *pipeline*.

Tomando como referencia la arquitectura de la Figura 1.1 se establece como requerimiento del amplificador de residuo un ENOB mayor 6 bits de manera que no perjudique el rango dinámico de la segunda etapa.

Además, para las especificaciones de distorsión y ruido es necesario definir el rango dinámico de la entrada. La tensión diferencial de entrada del amplificador de residuo dependerá de la tensión máxima a la entrada del ADC y del número de bits de la primera etapa; para una entrada diferencial máxima de 300 mV pico; la amplitud del residuo de la digitalización entonces será $V_{id} = 300 \text{ mV} / 2^5 \approx 10 \text{ mV}$ pico. Se diseñaron los amplificadores para un ADC de modo común alto, por lo que esta tensión deberá ser de aproximadamente 900 mV teniendo en cuenta la entrada diferencial.

¹El sexto bit en la segunda etapa de la Figura 1.1 cumple una función en la corrección de errores.

Frecuencia de Muestreo y Capacidad de Carga

La frecuencia de muestreo estará determinada por la señal de sincronismo del ADC, y se estableció en 100 MHz.

La capacidad de carga será la capacidad de entrada del CDAC de la segunda etapa. En este trabajo se utilizó una capacidad *single-ended* $C_L = 300$ fF.

1.3.2. Especificaciones

A partir de lo mencionado, en la Tabla 1.1 se presenta un listado de las especificaciones que deben cumplir los amplificadores diseñados en este trabajo.

Ganancia [V/V]	>4
ENOB [bits]	>6
Tensión de modo común de entrada [mV]	≈ 900
Tensión diferencial de entrada (<i>full-scale</i>) [mV]	10
Frecuencia de muestreo [MHz]	100
Capacidad de carga (C_L) [fF]	300

Tabla 1.1: Resumen de las especificaciones sobre el amplificador de residuo.

En lo que respecta a la comparativa entre topologías, se tendrá en cuenta la complejidad para alcanzar estas especificaciones. Adicionalmente, se evaluará el consumo que si bien no tiene un requerimiento numérico definido, debe ser lo menor posible para no impactar en el consumo total del ADC.

1.3.3. Organización del Informe

En el Capítulo 2 se detalla el diseño del amplificador dinámico en tecnología TSMC de 65 nm y se presentan los resultados de simulación a nivel esquemático.

En el Capítulo 3 se detalla el diseño del amplificador estático en tecnología TSMC de 65 nm y se presentan los resultados de simulación a nivel esquemático.

En el Capítulo 4 se realiza la comparación de los resultados obtenidos en los capítulos anteriores y se determina qué topología es más adecuada como amplificador de residuo en un ADC *SAR-pipelined*. Luego, se realiza el diseño de *layout* y se finaliza con simulaciones *post-layout* para verificar el correcto funcionamiento del dispositivo.

Por último, en el Capítulo 5 se resumen las conclusiones más importantes del trabajo desarrollado y se realizan los comentarios finales.

Capítulo 2

Amplificador dinámico

En este capítulo se presenta el diseño del amplificador dinámico. La principal característica de esta topología es su bajo consumo, ya que no utiliza corriente estática para su polarización. Teniendo en cuenta que la señal se transmite por el circuito únicamente durante las ventanas de muestreo, no es necesario que el amplificador trabaje durante el resto del ciclo del reloj. Por esta razón, se espera que esta topología alcance la especificación de velocidad a menor consumo que el amplificador estático.

Un aspecto negativo de esta topología es su variabilidad ante variaciones de Proceso, Tensión y Temperatura (PVT), por lo que exige realizar algún tipo de calibración mediante la adición de circuitos que modifiquen las condiciones de operación del amplificador. En este capítulo se detalla una técnica de configuración de corriente que mejora el desempeño del amplificador ante variaciones PVT. Además, se aplica una ventana de amplificación de ancho variable para mayor control de la ganancia.

Adicionalmente, desarrolló un diseño de *layout* del amplificador y se lo verificó mediante simulaciones *post-layout* que incluyen la extracción de elementos RC parásitos.

2.1. Diseño Esquemático

El amplificador dinámico (Figura 2.1) se compone de cuatro elementos:

- El par diferencial (M1 y M2), que es el elemento amplificador.
- El circuito de *tail*, que habilita el proceso de amplificación mediante M0 y controla la corriente a través del resto de los amplificadores.
- Las llaves de *reset* que reestablecen el valor de los nodos de salida a V_{DD} luego del proceso de amplificación. M3 y M4 se denominan transistores de precarga de los nodos V_p y V_n , respectivamente.

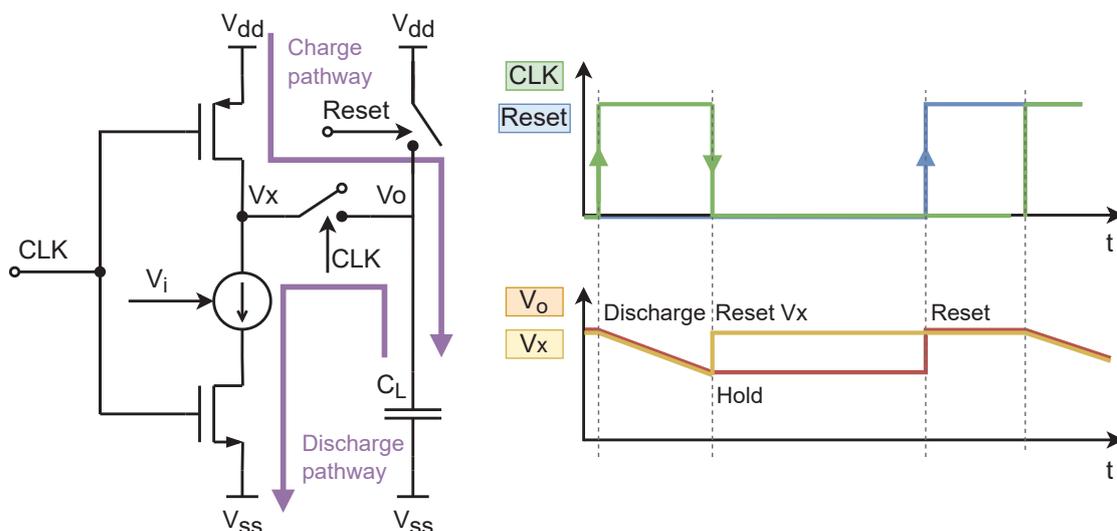


Figura 2.2: Diagrama simplificado del proceso de operación *single-ended* del amplificador dinámico.

común y V_{id} la tensión diferencial entre ambas entradas, la descarga de cada nodo de salida puede escribirse como

$$V_{o,final} \approx V_{x,final} = V_{DD} - \frac{I_{CM} \mp \frac{g_m}{2} V_{id}}{C_L + C_P} \Delta t \quad (2.2)$$

donde g_m es la transconductancia de pequeña señal de los transistores del par diferencial polarizados a $I_D \approx I_{CM}$. Es decir que, ante una entrada diferencial, cada rama del amplificador se descargará a un ritmo distinto; esto provocará una tensión diferencial entre ambas salidas.

Tomando la salida diferencial entre ambos nodos y operando con la Ecuación 2.2, se obtiene la siguiente expresión para la ganancia diferencial:

$$A_d = \frac{V_{op} - V_{on}}{V_{id}} = \frac{g_m}{C_L + C_P} \Delta t \quad (2.3)$$

donde se puede observar que la ganancia diferencial está definida por qué tan rápido se descargan los nodos de salida (g_m y C_L) y durante cuanto tiempo (Δt).

En la Figura 2.3 se muestra gráficamente el proceso de descarga diferencial en cada nodo. A medida que ambos nodos se descargan, la tensión diferencial de salida se incrementa; la ganancia se define a partir del valor de tensión de salida luego de finalizar la ventana de amplificación. Finalmente, se resetean las salidas a V_{DD} para poder repetir el proceso en el siguiente ciclo de reloj.

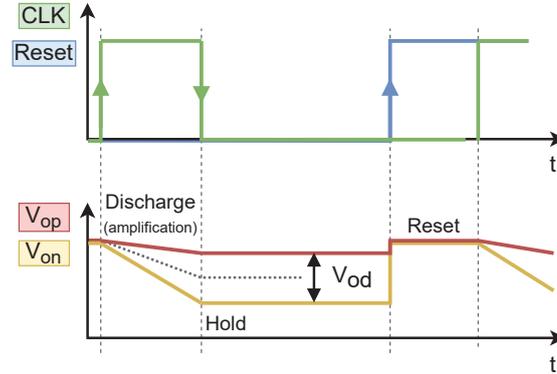


Figura 2.3: Curvas simplificadas del proceso de amplificación del amplificador dinámico.

2.1.2. Configurabilidad de Corriente y Ventana de Amplificación

Como se mencionó anteriormente, la ganancia del amplificador estará determinada por la transconductancia del par diferencial, que a su vez depende de la corriente a la cual se efectúa el proceso de descarga. La función del circuito de *tail* es presentar una resistencia variable entre el nodo común a ambas ramas del par diferencial y V_{SS} . Si se plantea la malla descrita en la Figura 2.4, se puede obtener la siguiente relación entre la corriente de modo común (I_{CM}) y la resistencia equivalente del circuito de *tail* (R_{tail}):

$$\sqrt{\frac{2I_{CM}}{\mu_n C_{ox} W/L}} + V_{TH} = V_{i,CM} - 2I_{CM}R_{tail} \quad (2.4)$$

donde el miembro de la izquierda es la tensión V_{GS} despejada de la ecuación cuadrática de un MOSFET en saturación [8]. De esta ecuación se puede deducir que para incrementar la corriente, y por lo tanto la ganancia, hace falta reducir el valor de la resistencia equivalente del circuito de *tail*.

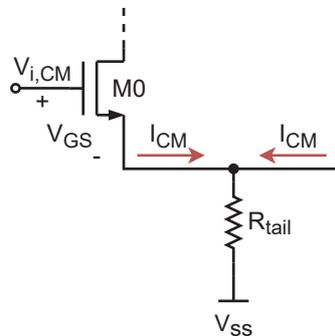


Figura 2.4: Malla de entrada que determina la corriente.

En la Figura 2.5 se presenta el circuito de *tail* implementado. Allí se pueden identificar:

- El transistor M0 que cumple el rol de llave para el modo de operación descrito en la sección anterior.
- Los transistores M1-2-3-4 que funcionan como reguladores de la resistencia total del circuito. Estos se encuentran conectados a registros de manera que digitalmente se pueda encender cualquier combinación para lograr una resistencia equivalente menor o mayor.

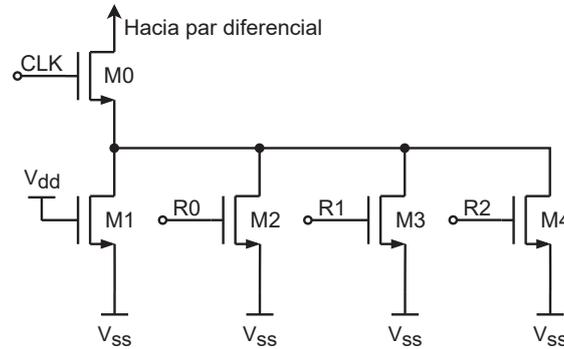


Figura 2.5: Circuito de *tail* con configurabilidad de corriente.

La resistencia total del circuito se define como:

$$R_{\text{tail}} = R_{\text{on},0} + R_{\text{on},1} \parallel \left(\frac{R_{\text{on},2}}{R_0} \right) \parallel \left(\frac{R_{\text{on},3}}{R_1} \right) \parallel \left(\frac{R_{\text{on},4}}{R_2} \right) \quad (2.5)$$

donde $R_2R_1R_0$ son los bits correspondientes a cada estado posible y pueden valer 0 (transistor apagado, resistencia infinita) o 1 (transistor encendido, resistencia $R_{\text{on},i}$). Es importante destacar que M1 se encuentra siempre encendido para que el estado 000b sea válido y pueda circular corriente por el amplificador. Utilizando esta configuración, existen 8 estados de distinto valor de corriente I_{CM} en el par diferencial. Se dimensionaron los transistores con el siguiente criterio:

$$W_4 = 2W_3 = 4W_2 = 4W_1 \Rightarrow R_{\text{on},1} = R_{\text{on},2} = 2R_{\text{on},3} = 4R_{\text{on},4} \quad (2.6)$$

El dimensionamiento de M0 se realizó empíricamente para colocar la resistencia equivalente en un punto tal que se aproveche mejor la totalidad del rango de configuraciones posibles.

Como se mencionó anteriormente, el circuito de *tail* es necesario para regular la corriente ante las variaciones PVT de manera que siempre exista al menos un estado donde el amplificador opere correctamente y alcance las especificaciones. Por ejemplo, en los *corners* de proceso donde los transistores NMOS operan más

lentamente será necesario que el amplificador trabaje en una configuración de alta corriente para alcanzar un g_m tal que se alcancen las especificaciones de ganancia y velocidad. En oposición, en un *corner* de alta velocidad será necesario moderar la corriente para que el proceso de descarga no sea excesivo y haga salir de saturación al par diferencial.

Otra forma de ajustar la ganancia del amplificador es modificar la ventana de amplificación Δt . Si bien en este trabajo no se desarrolló el circuito que genera la ventana temporal de ancho variable, sí se trabajó con un rango de ventanas entre 1.1 ns y 1.8 ns. Por las mismas razones que fueron expuestas para analizar la configuración de corriente, los *corners* más lentos requerirán ventanas temporales más grandes y los más lentos ventanas más chicas.

2.1.3. Muestreo de la Salida

Para el diseño de los *switches* de muestreo es importante tener en cuenta el nivel de tensión que habrá en el *source* de los dispositivos. Para una señal de modo común alto ($V_{CM} \approx \frac{3}{4}V_{DD} = 900mV$) se deben utilizar PMOS, ya que de esa manera se maximiza su tensión V_{GS} y se minimiza su resistencia de encendido (R_{on}) de acuerdo a la Ecuación 6.1 presentada en el Anexo.

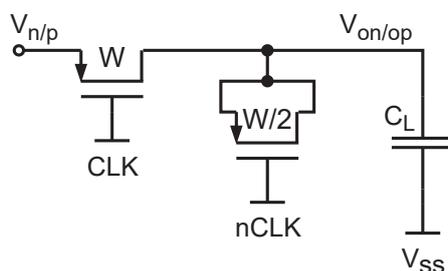


Figura 2.6: Circuito de muestreo con compensación de inyección de carga.

Dado el elevado tamaño de las llaves utilizada, se implementó una compensación dinámica para la inyección de carga¹ cuyo efecto es detallado en siguiente capítulo, en la Figura 3.7.

2.1.4. Fuentes de Distorsión

A continuación, se describen los dos principales procesos que introducen distorsión en la salida de esta topología.

¹El fenómeno de inyección de carga se describe en el Anexo.

Entrada en Triodo del Par Diferencial

Si bien previamente se estableció una expresión para la ganancia diferencial (Ecuación 2.3) donde ésta depende únicamente de la velocidad y el intervalo de tiempo de descarga, esto es cierto solo si el par diferencial opera en saturación durante todo el proceso. El cumplimiento de esta condición dependerá de qué tanto se descarguen los nodos de salida. Este límite se puede ver si se reescribe la expresión de la ganancia de la siguiente manera:

$$\Delta t = \frac{(V_{DD} - V_{o,CM})(C_L + C_P)}{I_{CM}} \Rightarrow A_d = \frac{g_m}{I_{CM}}(V_{DD} - V_{o,CM}) \quad (2.7)$$

Para una corriente I_{CM} determinada, habrá una ventana temporal máxima posible sin que los nodos de salida se descarguen lo suficiente para hacer al par diferencial salir de saturación. Considerando que el nodo de salida negativo se descarga más que el positivo y que el límite inferior es un umbral V_{TH} por debajo de la tensión de entrada, se puede derivar la siguiente expresión límite:

$$V_{o,CM} - \frac{v_{id}}{2}A_d > V_{ip} - V_{TH} \quad (2.8)$$

Para una ganancia diferencial $A_d > 4$, con una tensión de umbral $V_{TH} \approx 500$ mV y una tensión de entrada positiva máxima de $V_{ip} = V_{i,CM} + \frac{v_{id}}{2} = 905$ mV; la tensión de modo común mínima será de 425 mV.

En la práctica, límite se encontrará en tensiones más elevadas debido a que, a medida que la tensión V_{DS} del par diferencial se reduce, el punto de polarización se acerca a la transición entre triodo y saturación donde la corriente disminuye progresivamente con la tensión. Al reducirse la corriente de descarga de V_{on} , V_{op} tenderá a alcanzarla y la ganancia diferencial se reducirá. Además, la reducción de ganancia dependerá de la tensión diferencial de entrada, por lo que este proceso es una fuente de distorsión en el amplificador.

Modulación de la Resistencia de las Llaves

La segunda fuente de distorsión en el circuito se encuentra en las llaves con las que la salida es muestreada. A medida que los nodos de salida se descargan su tensión V_{GS} se reduce, provocando que su resistencia de encendido aumente [9]. Este proceso es dependiente de la señal de entrada ya que cada nodo se descarga a distinto ritmo en función de v_{id} , por lo que las llaves tendrán distinta V_{GS} y, en consecuencia, distinta R_{on} . La variabilidad de resistencia de las llaves provoca una caída de tensión en ellas que polariza a los transistores de cada rama en una tensión V_{DS} distinta, acentuando el proceso de entrada en triodo diferida descrito previamente en esta sección.

2.1.5. Ruido

El ruido referido a la entrada en el amplificador dinámico está determinado por el producto de la densidad de ruido de los transistores de entrada y el ancho de banda de ruido propio de un circuito integrador [2]. La expresión resultante es la siguiente:

$$\sigma_{i,\text{noise}}^2 = \frac{4\gamma kT}{g_m \Delta t} = \frac{4\gamma kT}{A_v (C_L + C_P)} \quad (2.9)$$

donde γ es el factor de ruido (generalmente $2/3$), $k = 1.38 \cdot 10^{-23}$ J/K es la constante de Boltzmann y T es la temperatura (338.15 K en *corner* TT). Se puede observar que el ruido es inversamente proporcional a la duración de la ventana de amplificación; esto se debe a que durante el proceso de amplificación el ruido está siendo integrado por el amplificador. Reordenando la expresión, se puede decir que el ruido será inversamente proporcional a la ganancia y a la capacidad de carga (más los parásitos).

Dado que la ganancia y capacidad de carga son requerimientos, se puede calcular que el ruido máximo introducido por el amplificador (asumiendo $C_P \approx C_L/2$) será de $83.2 \mu\text{V}_{\text{rms}}$. Para una entrada diferencial de amplitud pico de 10 mV, esto se traduce en una SNR de $\text{SNR} = 20\log(v_{\text{id,rms}}/\sigma_{i,\text{noise}}) = 38.6$ dB. Asumiendo que la distorsión introducida por el amplificador es despreciable, la SNDR también será 38.6 dB y el ENOB será 6.12 bits, al límite del requerimiento. Entonces, será necesario asegurar que la distorsión sea mucho menor que el ruido para garantizar que se cumpla el requerimiento de ENOB. En particular, para una SNR de 38.6 dB, será necesario que la Distorsión Armónica Total (THD) sea menor a -44 dB.

En conclusión, la ENOB considerando solamente distorsión armónica deberá ser mayor a 7 bits para que se siga cumpliendo el requerimiento luego de incluir el efecto del ruido.

2.2. Simulaciones y Resultados

En esta sección se detallarán las simulaciones realizadas para la verificación del diseño y la extracción de métricas para la comparativa entre amplificadores. Se realizaron simulaciones transitorias para obtener la ganancia y linealidad y una simulación tipo *transient noise* para obtener el ruido generado por el amplificador. Además, se realizó una simulación Montecarlo para obtener el *offset* aleatorio producto de las tolerancias del proceso de fabricación.

El *testbench* utilizado para todas las simulaciones es el que se presenta en la Figura 2.7. Allí se pueden observar:

- El amplificador dinámico.
- La fuente de alimentación.

- Las señales de entrada, que varían según la simulación realizada.
- La señal de sincronismo o reloj, de ancho de pulso (D) variable para configurar la ventana de amplificación. La ventana de tiempo varía entre 1.1 ns y 1.8 ns con un paso de 0.05 ns.
- Los registros de configuración de corriente. Se realizaron simulaciones utilizando las 8 configuraciones de corriente disponibles.
- Las llaves de salida.
- Las capacidades de carga.
- Las llaves de *reset* que reestablecen la salida al modo común.

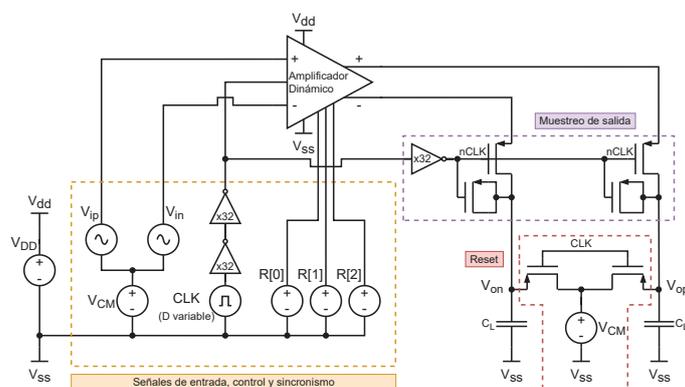


Figura 2.7: *Testbench* de simulación del amplificador dinámico.

Las simulaciones transitorias se realizaron en los siguientes *corners* PVT:

Corner	Temperatura [°C]	V _{DD} [V]
FF	0	1.32
TT	65	1.2
SS	125	1.08

Tabla 2.1: *Corners* de proceso, temperatura y tensión considerados en las simulaciones.

2.2.1. Simulación Transitoria

Para estudiar el comportamiento del amplificador se colocó una tensión de entrada constante de 10 mV para una configuración determinada de ventana temporal y corriente de descarga (determinada por los registros $R_2R_1R_0$) en la cual el amplificador alcance la especificación.

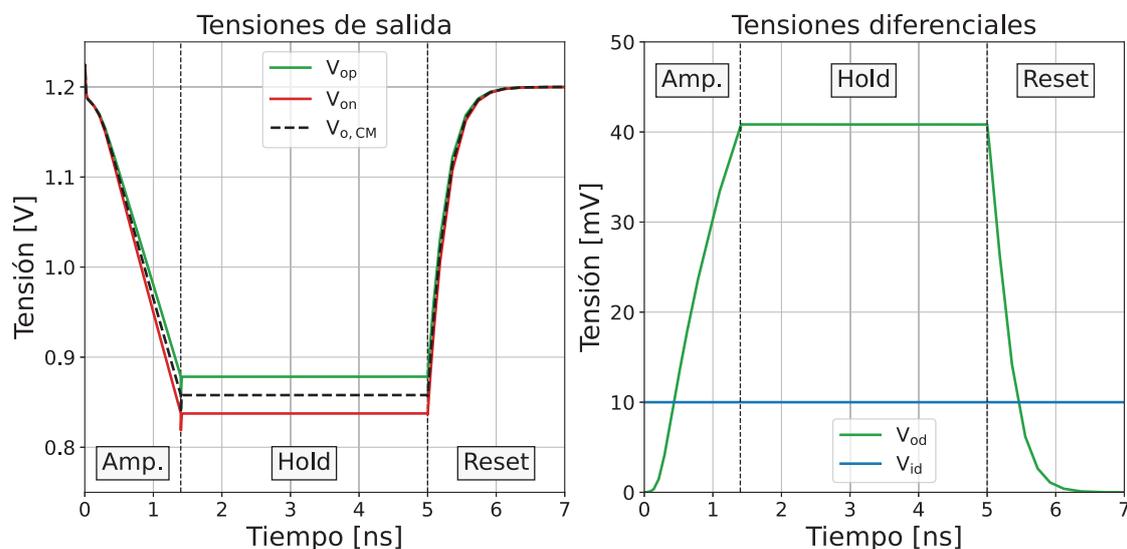


Figura 2.8: Simulación transitoria del amplificador dinámico para una ventana de amplificación $\Delta t = 1.4$ ns y la configuración de corriente 010b.

En la Figura 2.8 se pueden observar las tensiones de salida del amplificador a largo de un proceso completo de amplificación, retención (*hold*) y *reset*. En el gráfico de la izquierda se puede verificar que las capacidades C_L se descargan a corriente aproximadamente constante hasta que se finaliza el proceso de amplificación, produciendo una tensión diferencial determinada. En el gráfico de la derecha se presentan las tensiones diferenciales de entrada y salida; allí se puede verificar que la ganancia es efectivamente mayor a 4 V/V.

Es relevante mencionar que el proceso de descarga no es completamente lineal, ya que al comienzo de la ventana de amplificación hay un tiempo muerto producto de los retardos de la señal de sincronismo y las llaves. Además, a medida que las tensiones de salida bajan, la resistencia de las llaves aumenta provocando una reducción de la corriente. Como este efecto es asimétrico (afecta principalmente a la rama que se descarga más rápido), será la principal fuente de distorsión mencionada previamente. Si se permite que los nodos sigan descargándose, eventualmente V_{op} se acercará a V_{on} , haciendo que la ganancia caiga a 0.

Para generalizar este resultado, se simularon todas las combinaciones de ventanas de tiempo y corrientes en un rango determinado. En la Figura 2.9 se presenta un sumario de los resultados de estas simulaciones. Allí el eje horizontal es cada configuración posible, organizado de manera que cada subconjunto de puntos corresponde a una única ventana temporal con corriente creciente de izquierda a derecha. Allí se puede observar que, al realizar el proceso de descarga a mayor corriente, se alcanza el punto mencionado donde tanto la ganancia como el ENOB comienzan a decrecer. Lo mismo sucede si se incrementa demasiado la ventana temporal. El punto de descarga óptimo en términos de ganancia-linealidad se

2.2.2. Simulaciones de Ruido y Distorsión

Se configuró el amplificador en un estado de corriente y ventana de tiempo con el cual se obtenga ganancia $A_V = 4$ en TT (a 65°C). Para medir el ruido del amplificador se realizó una simulación de tipo transitorio que incluye los aportes de ruido de cada transistor. Se colocó una entrada diferencial de 0 V y se midió la salida para 1000 ciclos de amplificación. De esta manera, se obtuvo un muestreo del ruido a la salida a partir del cual se puede obtener una PDF como la de la Figura 2.11. Ruido *Root Mean Square* (RMS) a la salida se cuantifica a través de la desviación estándar de dicha distribución. Finalmente, se divide por la ganancia para obtener el ruido RMS referido a la entrada.

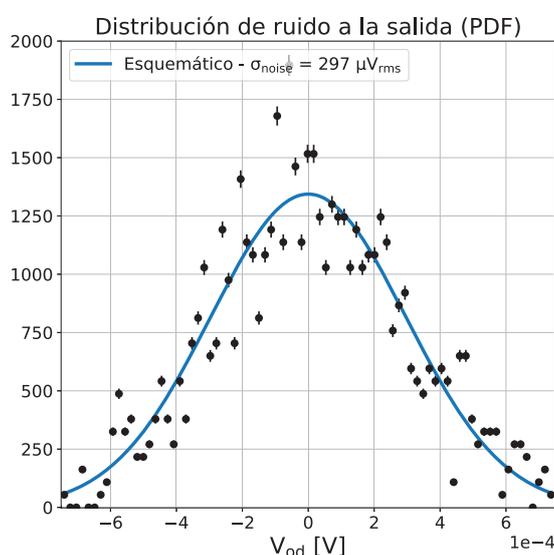


Figura 2.11: PDF de ruido del amplificador dinámico en TT con ganancia 4.

Para este valor de ruido se calculó la SNR utilizando la siguiente expresión:

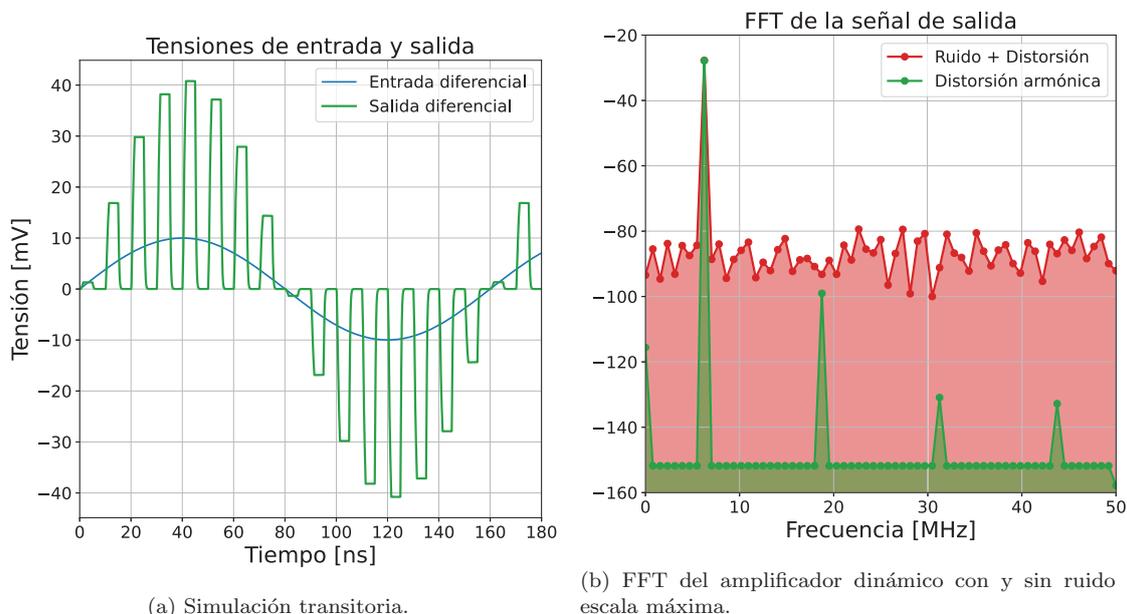
$$\text{SNR}[\text{dB}] = 20 \log_{10} \left(\frac{V_{\text{id,rms}}}{\sigma_{\text{i,noise}}} \right) \quad (2.10)$$

Resultado teórico [μV_{rms}]	83.2
Resultado de simulación [μV_{rms}]	74.8
SNR a máxima escala [dB]	39.5

Tabla 2.2: Resultados teórico y de simulación de ruido del amplificador dinámico en TT con ganancia 4 a escala máxima a partir de la PDF de ruido.

Para obtener la THD y la SNR se realizó una simulación transitoria donde se colocó una entrada senoidal pura de una frecuencia de 6.25 MHz y se calculó la Transformada de Fourier Rápida (FFT) de la señal de salida.

En las figuras a continuación se puede observar la salida del amplificador a lo largo de múltiples ciclos de muestreo (Fig. 2.12a) y las FFT de ésta para simulaciones con y sin ruido (Fig. 2.12b). Allí se puede observar que se cumple la condición de que la distorsión sea mucho menos significativa que el ruido.



En la Tabla 2.3 se presenta un resumen de las relaciones de ruido y distorsión medidas a partir de las simulaciones. Adicionalmente, se calcularon la SNDR y ENOB correspondientes a los valores de THD y SNR medidos, donde se verifica que el ruido es predominante por sobre la distorsión armónica. También se puede observar la concordancia entre este resultado y el obtenido a partir de la PDF de ruido (Tabla 2.2). Es decir que ambos métodos llegan al mismo resultado.

	Sin ruido	Con ruido
THD [dB]	-71.25	-51.03
SNR [dB]	∞	39.45
ENOB [bits]	11.54	6.29
SNDR calculada [dB]	71.25	39.16
ENOB calculada [bits]	11.54	6.29

Tabla 2.3: Resumen de ruido y distorsión del amplificador dinámico en TT con ganancia 4 a escala máxima.

2.2.3. Simulación de *Offset*

Se configuró el amplificador en un estado de corriente y ventana de tiempo con el cual se obtenga ganancia $A_V = 4$ en TT (a 65°C). Para medir el *offset*

aleatorio producto de las tolerancias propias del proceso de fabricación se realizó una simulación Montecarlo de tipo transitorio. Se colocó una entrada diferencial de 0 V y se midió la salida para 1000 simulaciones con distinto *mismatch*. A partir de la PDF que se obtuvo (Figura 2.13) se puede calcular la desviación estándar de dicho *offset*.

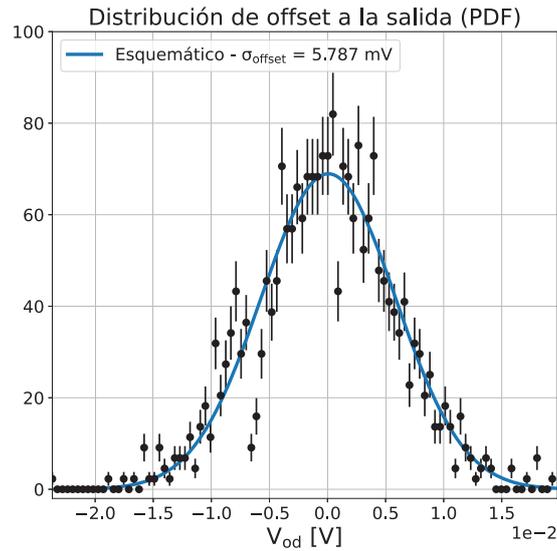


Figura 2.13: PDF de offset del amplificador dinámico en TT con ganancia 4 en diseño esquemático.

Como se puede observar en la Figura 2.13, el *offset* tiene una desviación estándar del orden de los 6 mV (un 15 % de la salida en escala máxima); en una aplicación real dentro de un ADC será necesario aplicar técnicas de calibración de *offset* para reducir dicho efecto.

Capítulo 3

Amplificador estático

En este capítulo se presenta el diseño del amplificador estático. La principal característica de esta topología es el consumo permanente de corriente, aún durante los períodos donde la señal no está siendo muestreada por la siguiente etapa. Además, la velocidad de este tipo de amplificadores es menor que las alternativas dinámicas a igual consumo. Por estas razones, se espera que esta topología tenga un consumo elevado y un ancho de banda moderado.

3.1. Diseño Esquemático

La topología implementada (Figura 3.1) está compuesta por 3 bloques principales:

- Amplificador diferencial, compuesto por M0, M1, M2, M3, M4 y M5.
- Lazo de Realimentación de Modo Común (CMFB), compuesto por un circuito detector de modo común y un amplificador de error.
- Muestreo de salida, el cuál consiste en un *track & hold* asociado a la siguiente etapa del ADC.

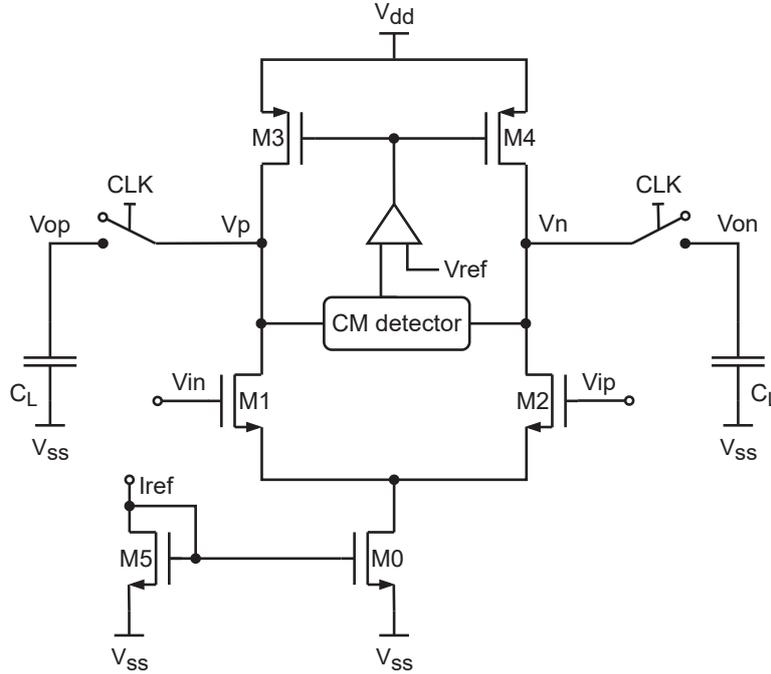


Figura 3.1: Esquemático simplificado del amplificador estático implementado.

3.1.1. Amplificador Diferencial

A continuación, se presentan los cálculos y consideraciones utilizados durante el diseño del amplificador diferencial.

Ganancia

La ganancia de esta topología puede definirse como

$$A_d = \frac{V_p - V_n}{V_{ip} - V_{in}} = -G_m R_{out} = -g_{m,pair} (r_{o,pair} || r_{o,load} || R_{sense}) \quad (3.1)$$

en donde $g_{m,pair}$ es la transconductancia de los transistores del par diferencial, $r_{o,pair}$ y $r_{o,load}$ son las resistencias de salida de pequeña señal de los transistores del par diferencial y de la carga activa, respectivamente, y R_{sense} es la resistencia de carga del detector de modo común.

Ancho de Banda

El ancho de banda del amplificador está determinado por el polo de salida entre su resistencia de salida (R_{out}) y, principalmente, la capacidad de carga C_L . Es decir:

$$BW = f_{p,out} = [2\pi C_L (r_{o,pair} || r_{o,load} || R_{sense})]^{-1} \quad (3.2)$$

En este análisis no se tuvieron en cuenta las capacidades C_{gd} y C_{ds} tanto del par diferencial como de la carga. Sin embargo, las capacidades *gate-drain* podrían no ser despreciables si los transistores son suficientemente grandes.

Un efecto producido por el muestreo de la salida es que el amplificador carga las capacidades C_L únicamente durante una ventana de tiempo T_{sample} . Esto significa que el nivel de carga/descarga que estas capacidades presenten va a depender del ancho de banda del amplificador. En particular, estará determinado por la constante de tiempo asociada al polo de salida ($\tau_{out} = R_{out}C_L$). Para garantizar que el amplificador alcance el régimen estacionario, la ventana de muestreo de la salida debe ser de al menos $5\tau_{out}$. En el caso en que ésta sea menor, se presentarán 2 efectos:

1. La carga/descarga incompleta de las capacidades provocará que la ganancia efectiva alcanzada al final del muestreo sea menor que la ganancia real del amplificador. Por ejemplo, como se puede observar en la Figura 3.2, si se muestrea durante $T_{amp} = \tau_{out}$ la ganancia será un 63% de la ganancia real.
2. Durante sucesivos muestreos, las capacidades de salida partirán de condiciones iniciales distintas y dependientes del ciclo de amplificación anterior. Esto reducirá la linealidad del circuito. Una forma de sortear este problema consiste en resetear C_L a un valor inicial preestablecido entre ciclos.

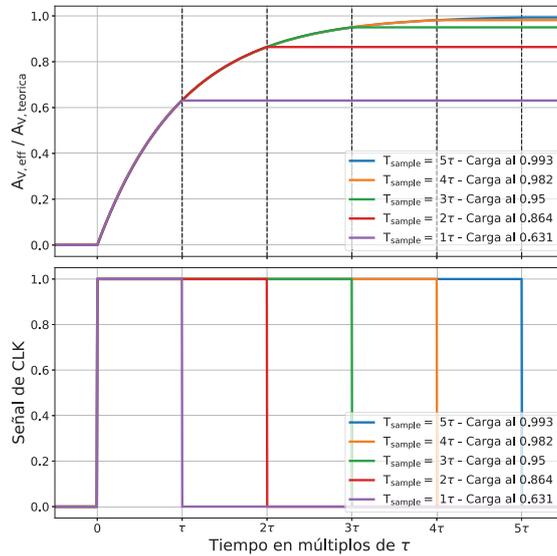


Figura 3.2: Simulación de la carga de un circuito RC muestreado durante distintos intervalos de tiempo menores que 5τ .

Al tratarse de una aplicación de media-alta velocidad, es de interés que la resistencia de salida ($r_{o,pair} || r_{o,load}$) sea suficientemente baja de manera que el polo

de salida se encuentre alto en frecuencia. Por esta razón, la única forma posible de incrementar la ganancia es aumentando la transconductancia del amplificador, es decir, la corriente estática. De este análisis se extrae el principal *trade-off* de esta topología, entre su desempeño (ganancia y ancho de banda) y el consumo.

Para una ventana de muestreo igual a la ventana de amplificación máxima utilizada en el amplificador dinámico ($T_{\text{sample}} = 1.8 \text{ ns}$), si se desea que la constante de tiempo de salida sea de al menos el doble, es necesario que el polo de salida supere los 44 MHz.

Linealidad

La excursión positiva de la salida estará limitada por la entrada en triodo de los transistores de carga, cuya V_{GS} depende del lazo de CMFB (ver esquemático de la Figura 3.1). En principio, la tensión en los nodos de salida puede aumentar hasta un V_{TH} por encima de la tensión en el *gate* del transistor de carga activa. Por otro lado, la excursión negativa depende de la entrada en triodo del par diferencial. La tensión de los nodos de salida puede disminuir hasta un V_{TH} por debajo de la tensión de modo común de entrada. En resumen, los límites de excursión son:

$$V_{\text{i,CM}} + \frac{V_{\text{id}}}{2} - V_{\text{TH,pair}} < V_{\text{o,CM}} + \frac{V_{\text{od}}}{2} < V_{\text{G,load}} + V_{\text{TH,load}} \quad (3.3)$$

donde $V_{\text{TH,load}}$ y $V_{\text{TH,pair}}$ son las tensiones de umbral de los transistores de carga activa y el par diferencial, respectivamente. Para calcular un rango apropiado para el modo común de salida se asumieron tensiones de umbral del orden de $V_{\text{TH}} \approx 400 \text{ mV}$, una ganancia $A_{\text{d}} = -5$ y que la tensión de *gate* de la carga es $V_{\text{G,load}} > 600 \text{ mV}$. Si consideramos una entrada diferencial de excursión máxima $v_{\text{id}} = 10 \text{ mV}$ y que la tensión de modo común de entrada es 900 mV , se puede calcular que el modo común de salida deber ser:

$$480 \text{ mV} < V_{\text{o,CM}} < 975 \text{ mV} \quad (3.4)$$

En principio, se podría minimizar la distorsión polarizando al amplificador de manera que el modo común de salida esté en el punto medio entre ambos límites. Sin embargo, la linealidad de esta topología se verá reducida considerablemente por el fenómeno de modulación de resistencia de las llaves descrito en el Capítulo 2. Al utilizar llaves PMOS, la tensión de modo común de salida debe tener el valor más alto posible.

Como se detallará a continuación, el lazo de CMFB se encargará de fijar la tensión de modo común de salida en 900 mV , para minimizar la distorsión introducida por las llaves.

3.1.2. Realimentación de Modo Común

Un problema intrínseco de los amplificadores con carga activa es que el nivel de tensión de modo común en la salida no está definido. En esta topología, tanto el transistor de *tail* como las cargas activas intentan imponer la corriente en la rama de salida en función de sus tensiones V_{GS} . En consecuencia, la mínima diferencia entre $I_{D3,4}$ e I_{D0} provocará que alguno de los dispositivos entre en triodo y, en consecuencia, la tensión de modo común de salida tenderá a alguno de los rieles de alimentación.

Por esta razón, es necesario implementar un lazo de realimentación que sense el modo común de salida y lo controle de acuerdo a una referencia. En la Figura 3.3 se presenta el lazo de CMFB implementado. Este lazo se compone de los siguientes elementos:

- La planta a controlar, es decir, el amplificador estático - $G_{bias \rightarrow CM}(s)$.
- La transferencia del elemento sensor - $G_{det}(s)$
- El amplificador de error - $G_c(s)$

y su transferencia de lazo está definida por el producto de las ganancias de cada elemento de acuerdo con la siguiente ecuación:

$$T(s) = G_{det}(s)G_c(s)G_{bias \rightarrow CM}(s) \quad (3.5)$$

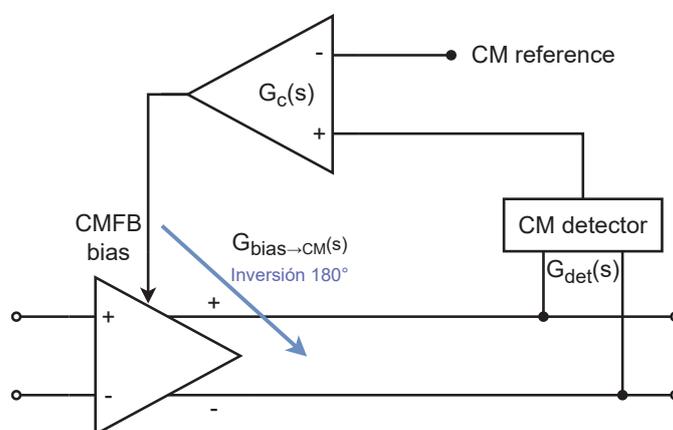


Figura 3.3: Lazo de realimentación de modo común.

Las principales especificaciones que debe cumplir este lazo de control son las siguientes.

- La respuesta temporal debe ser estable y no debe tener oscilaciones. Esto significa que la ganancia de lazo debe tener un margen de fase superior a 55° [11].

- Se desea minimizar el Error de Estado Estacionario (EEE), por lo que la magnitud ganancia de lazo a frecuencias bajas $T(0)$ debe ser lo más elevada posible.

Por otro lado, como las perturbaciones de modo común suelen ser lentas en comparación con la señal, los lazos de CMFB suelen ser de relativamente bajo ancho de banda (en comparación con el lazo diferencial). La única excepción son las perturbaciones introducidas por la conmutación de las llaves de muestreo, pero éstas deben ser compensadas de manera dinámica mediante la utilización de transistores *dummy*.

3.1.2.1. Modelado de la Planta

La transferencia de la planta a controlar se puede modelar como la transferencia desde el nodo sobre el cuál se realimentará la señal hasta la tensión de modo común a la salida. Para calcularla, se planteó el modelo de pequeña señal del amplificador principal pasivando toda señal que no sea la tensión de *bias* en el *gate* de los transistores de carga. La simetría del circuito y la ausencia de la entrada diferencial generan un cortocircuito virtual entre ambas salidas, que permite reorganizar el circuito como se observa en la Figura 3.4.

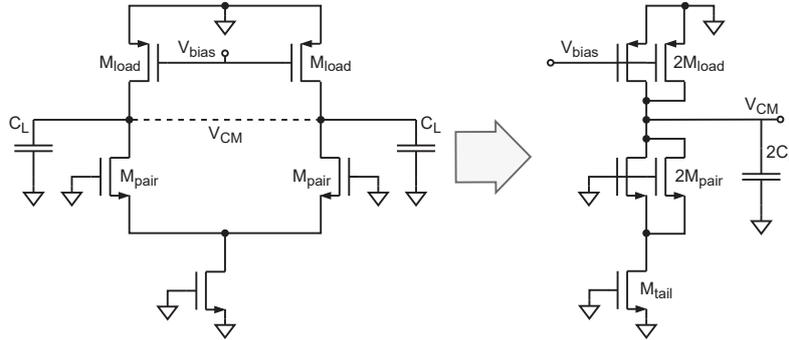


Figura 3.4: Circuito equivalente de pequeña señal para la transferencia entre *bias* de la carga activa y modo común de salida.

El circuito resultante es un amplificador *common source* cargado con la resistencia equivalente del par diferencial y el *tail* en configuración cascode. La respuesta en frecuencia de esta topología estará dictada principalmente por:

- La ganancia de DC.

$$\frac{V_{CM}}{V_{bias}}(0) = -2g_{m,load} \left(\frac{r_{o,load}}{2} \parallel r_{cascode} \parallel \frac{R_{sense}}{2} \right) \quad (3.6)$$

donde $r_{cascode} = \frac{r_{o,pair}}{2} + \left(1 + \frac{r_{o,pair}}{2} 2g_{m,pair}\right) \left(r_{o,tail} \parallel \frac{1}{2g_{m,pair}}\right)$ y R_{sense} es la resistencia utilizada para el sensado de tensión de modo común. Es decir, aproximadamente $v_{CM}/v_{bias}(0) \approx -g_{m,load}(r_{o,load} \parallel R_{sense})$.

- Un polo de salida, determinado por la resistencia de salida y la capacidad de carga del amplificador. Este polo se encuentra en el orden del polo de la transferencia diferencial que determina el ancho de banda del amplificador.

$$\omega_{p,out} \approx [2(C_L + C_{gd,pair} + C_{gd,load}) \times (r_{o,load} || R_{sense})/2]^{-1} \quad (3.7)$$

- Un polo de entrada, determinado por la resistencia de salida del amplificador de error ($R_{out,EA}$) y la capacidad total en los *gates* de los transistores de carga.

$$\omega_{p,in} \approx \frac{1}{R_{out,EA} \left[2C_{gs,load} + 2C_{gd,load} \left(1 + \left| \frac{v_{CM}(0)}{v_{bias}} \right| \right) \right]} \quad (3.8)$$

Esta capacidad será relativamente grande debido al elevado tamaño de los transistores, necesario para manejar la corriente de polarización con una tensión V_{GS} razonable.

- Un cero de alta frecuencia en $\omega_z = g_{m,load}/C_{gd}$ producto del efecto Miller en la capacidad *gate-drain* de los transistores de carga.

Por simplicidad, en este análisis se despreciaron las capacidades *drain-bulk* de los transistores. Además, se asumió que el par polo-cero introducido por el nodo intermedio del cascode están suficientemente a alta frecuencia para no tener efecto en la banda de interés.

3.1.2.2. Detector de Modo Común

Se implementó un detector de modo común resistivo como el que se presenta en la Figura 3.5. Las resistencias de sensado deben ser suficientemente grandes para no cargar al amplificador principal, es decir mucho mayores que su resistencia de salida. Por otro lado, unas resistencias demasiado grandes bajan en frecuencia el polo de sensado (descrito a continuación) perjudicando la estabilidad de lazo.

La ganancia de modo común del detector es de valor de DC unitario. Sin embargo, la capacidad de entrada del amplificador de error introduce un polo en conjunto con las resistencias de sensado. Para compensar este polo, se colocaron capacitores (C_{sense}) en paralelo con las resistencias (R_{sense}) que introducen un cero a una frecuencia cercana.

principal en modo común (Ecuación 3.8) sea dominante; es decir, para que $\omega_{p,in} \ll 100$ MHz.

2. El amplificador de error debe tener una ganancia suficientemente alta para tener un bajo EEE que permita que V_{CM} se mantenga dentro de un rango aceptable.
3. El amplificador de error debe consumir menos de un 10% del consumo del amplificador principal.

Para cumplir todas estas especificaciones, se diseñó un amplificador de error de bajo consumo y lento que maximice la ganancia a partir de una resistencia de salida elevada. Se utilizó un amplificador diferencial con carga espejo de corriente como el que se muestra en la Figura 3.6.

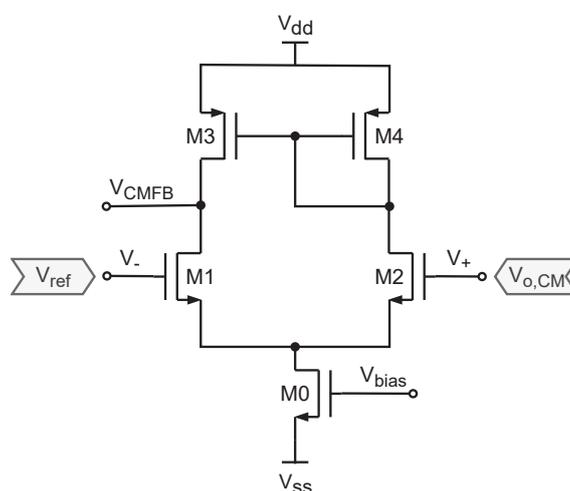


Figura 3.6: Amplificador diferencial con carga espejo de corriente implementado como amplificador de error. El nodo de salida V_{CMFB} se conecta a los *gates* de la carga activa del amplificador estático.

Debido a la naturaleza inversora del amplificador principal que en modo común funciona como un *source* común unipolar, la señal de modo común debe realimentarse a través de la entrada no inversora del amplificador de error. De lo contrario, se produciría una realimentación positiva.

3.1.3. Muestreo en la Salida

Se utilizaron las mismas llaves que en el amplificador dinámico para simplificar la comparación. Sin embargo, cabe destacar que es importante que la resistencia de encendido de las llaves sea lo suficientemente chica para alcanzar el requerimiento de ancho de banda. Una resistencia de encendido muy alta haría que el polo de salida del amplificador se reduzca debido al aumento de la resistencia equivalente (R'_{out}) que carga a la capacidad C_L .

$$R'_{\text{out}} = [r_{o,\text{pair}} || r_{o,\text{load}} + R_{\text{on}}] || R_{\text{sense}} \quad (3.11)$$

Dado el elevado tamaño de las llaves utilizada, se implementó una compensación dinámica para la inyección de carga¹. En la Figura 3.7 a continuación se presenta una comparativa de las señales de salida sin y con compensación donde se puede observar dicho efecto sobre la tensión de modo común de salida. Al introducir el transistor de compensación, las señales no sufren de un salto abrupto de modo común.

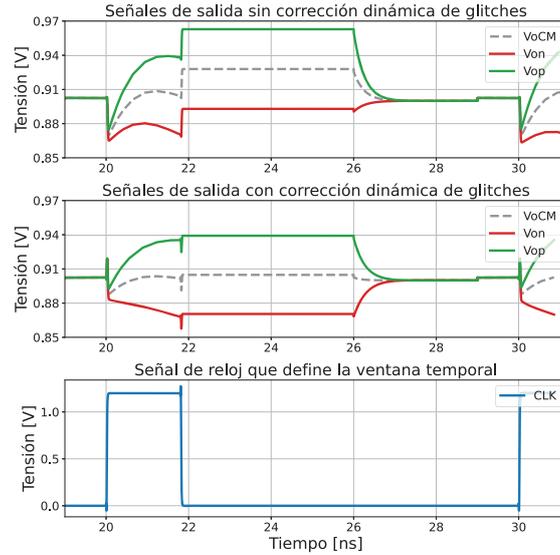


Figura 3.7: Salida del amplificador sin y con compensación de *charge injection*.

3.1.4. Análisis de Ruido

El ruido referido a la entrada de un amplificador diferencial con carga activa está dado por la siguiente expresión [10].

$$\langle V_{n,\text{in}} \rangle_{\text{amp}}^2 = 8\gamma kT \left(\frac{1}{g_{m,\text{pair}}} + \frac{g_{m,\text{load}}}{g_{m,\text{pair}}^2} \right) + \frac{2K_n}{C_{\text{ox}}(\text{WL})_{\text{pair}}} \frac{1}{f} + \frac{2K_p}{C_{\text{ox}}(\text{WL})_{\text{load}}} \frac{1}{f} \frac{g_{m,\text{load}}^2}{g_{m,\text{pair}}^2} \quad (3.12)$$

donde γ es el factor de ruido (generalmente $2/3$), $k = 1.38 \cdot 10^{-23}$ J/K es la constante de Boltzmann y T es la temperatura (338.15 K en *corner* TT). Para continuar el análisis se despreciaron los términos asociados al ruido *Flicker* ya que se trata de una aplicación de alta frecuencia y se utilizan transistores relativamente grandes, por lo que se espera que el principal aporte sea de ruido térmico. Considerando el ruido introducido por las llaves de muestreo, el ruido cuadrático medio total en la salida se puede calcular a través de la siguiente expresión:

¹El fenómeno de inyección de carga se describe en el Anexo.

$$\langle V_{n,out} \rangle^2 = \frac{kT}{C_{L,diff}} + \langle V_{n,in} \rangle_{amp}^2 \int_0^\infty |A_V(f)|^2 |H_{SH}(f)|^2 df \quad (3.13)$$

donde $|A_V(f)|^2 \approx \frac{4^2}{1+(f/f_c)^2}$ es el módulo al cuadrado de la transferencia de tipo pasabajos de primer orden del amplificador estático y $|H_{SH}(f)|^2 = \text{sinc}^2(f/f_s)$ es el de la transferencia del *sample and hold* de salida.

3.2. Simulaciones y Resultados

En esta sección se detallarán las simulaciones realizadas para la verificación del diseño y la extracción de métricas para la comparativa entre amplificadores. Se realizaron simulaciones transitorias para obtener la ganancia y linealidad y una simulación tipo *transient noise* para obtener el ruido generado por el amplificador. Además, se realizó una simulación Montecarlo para obtener el offset sistemático producto de las tolerancias de fabricación.

El *testbench* utilizado para todas las simulaciones es el que se presenta en la Figura 3.8. Allí se pueden observar:

- El amplificador principal.
- El lazo de realimentación de modo común.
- La fuente de alimentación y el circuito de polarización del amplificador estático y el amplificador de error.
- Las señales de entrada, que varían según la simulación realizada.
- La señal de sincronismo: muestreo y *reset*. Esta se configuró con un ancho de pulso de 1.8 ns de manera que la salida se muestree únicamente durante ese intervalo de tiempo, ya a que este es el valor más alto utilizado en el amplificador dinámico.
- Las llaves de salida.
- Las capacidades de carga.
- Las llaves de *reset* que reestablecen la salida al modo común.

A continuación, se presentan los resultados de simulaciones en corner TT, pero todas las especificaciones fueron alcanzadas también en los otros *corners* (FF, SS, SF y FS).

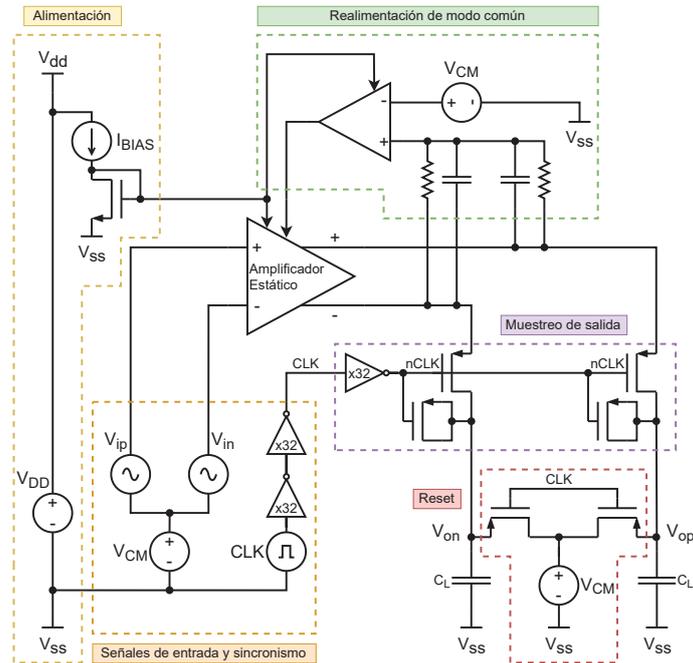


Figura 3.8: Testbench de simulación del amplificador estático.

3.2.1. Simulación Transitoria

En la Figura 3.9 se presentan las formas de onda de entrada y salida. En el gráfico de la derecha se pueden observar las salidas unipolares que, en contraste con el amplificador dinámico, se cargan y descargan alrededor de un punto de operación. La tensión de modo común se mantiene relativamente constante en 900 mV.

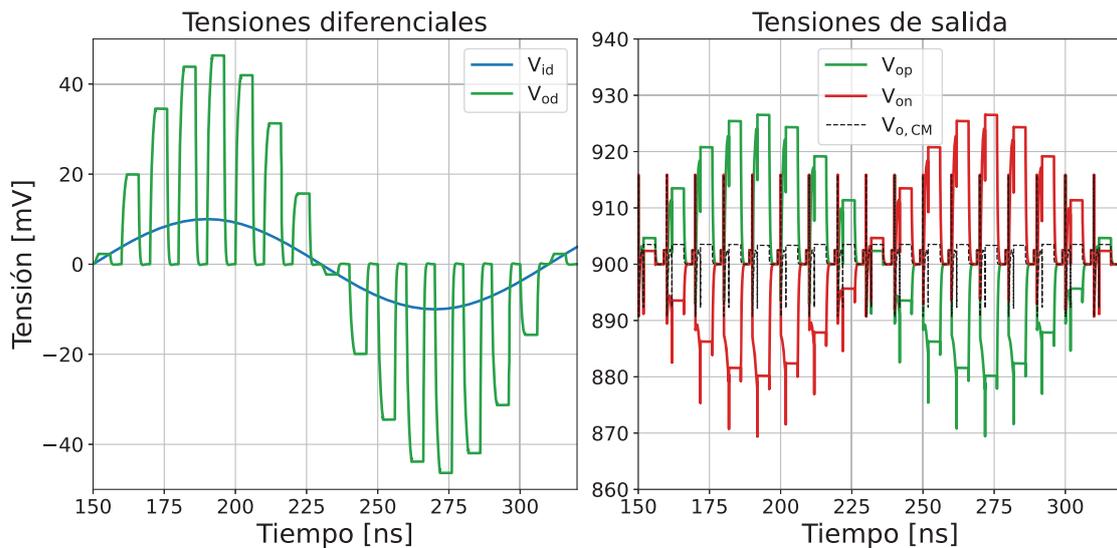
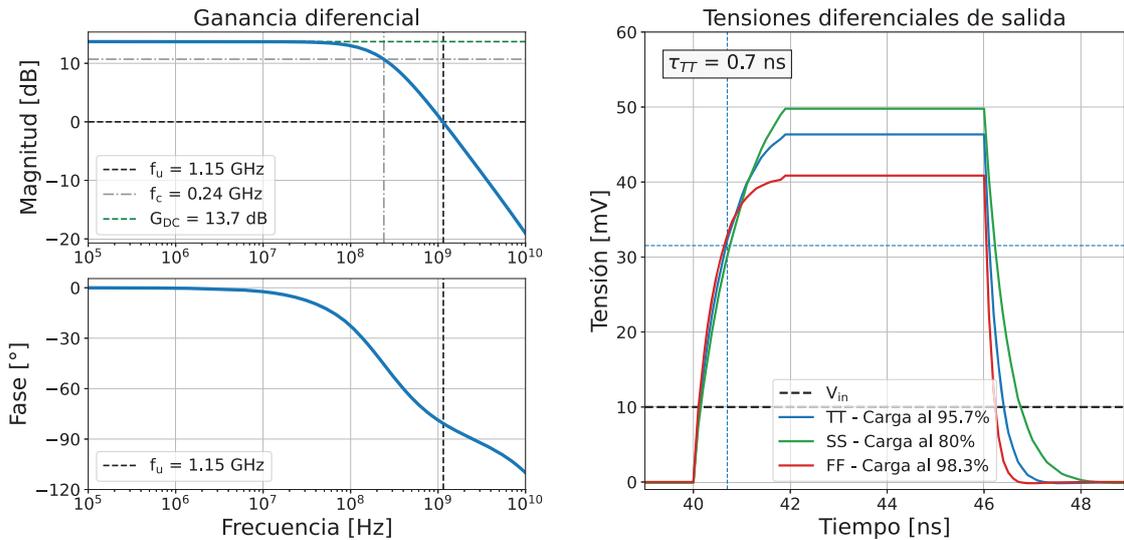


Figura 3.9: Simulación transitoria del amplificador estático en operación a entrada máxima.

3.2.2. Simulación en Frecuencia

Se realizó una simulación de la respuesta en frecuencia diferencial del amplificador para verificar el ancho de banda y la ganancia. En la Figura 3.11a se puede verificar que la ganancia es de 13.7 dB, es decir, 4.8 veces. Además, el ancho de banda es de 240 MHz, lo que se traduce en un $\tau = 663$ ps y en un porcentaje de carga de los nodos de salida cercano al 90% (debido a que la ventana de muestreo de 1.8 ns es de aproximadamente 2.7 veces τ).



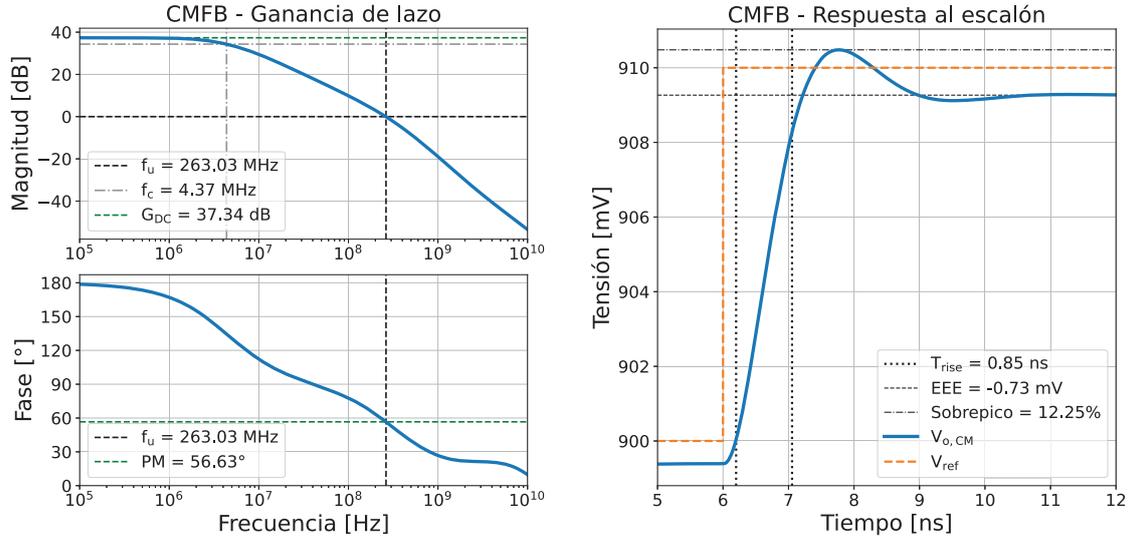
(a) Respuesta en frecuencia del amplificador a lazo abierto, magnitud (arriba) y fase (abajo). (b) Ganancia efectiva en distintos *corners* debido a la carga incompleta de las capacidades de salida.

Este resultado puede verificarse en la Figura 3.10b, donde se presenta un ciclo de muestreo del amplificador. Allí se puede observar que el proceso de carga (de ritmo exponencial decreciente) de los nodos de salida es detenido prematuramente por la finalización de la ventana de muestreo, lo cual se traduce en una ganancia efectiva del 95.7% del valor calculado a partir de la ganancia obtenida en la simulación AC. El incremento respecto de lo calculado en anteriormente se debe a que el proceso de carga sufre ciertas desviaciones respecto del comportamiento de un circuito RC ideal, sobre todo en el inicio y final de la ventana de muestreo,

Adicionalmente, se presentan las curvas de carga en *corners* SS y FF donde se pueden observar constantes de tiempo distintas que provocan una carga incompleta y casi finalizada, respectivamente.

3.2.3. Simulación del Lazo de CMFB

Se caracterizó el lazo de CMFB en frecuencia y se simuló su respuesta a un escalón en la tensión de referencia.



(a) Ganancia de lazo de CMFB, magnitud (arriba) y fase (abajo). (b) Respuesta del lazo de CMFB a un escalón de amplitud 10 mV.

En la Figura 3.11a se presenta la respuesta en frecuencia de la ganancia de lazo. Allí se puede ver que se alcanzó una ganancia de DC de 37.3 dB, una frecuencia de ganancia unitaria de 263 MHz y un margen de fase de 56.63°. A continuación, se relacionarán estas métricas con la respuesta al escalón.

Se aplicó un escalón de 10 mV sobre la tensión de referencia de modo común y se midió la respuesta de la tensión de modo común de salida del amplificador. En la Figura 3.11b se presenta la respuesta al escalón del lazo de CMFB, donde se miden la tensión de sobrepico (porcentual respecto del valor final), el tiempo de subida (T_{rise}) y el valor de error de estado estacionario.

El EEE de un lazo de control lineal puede calcularse a partir de la ganancia de DC de la ganancia de lazo, de acuerdo con la ecuación a continuación. Este resultado difiere del medido debido a que el estado estacionario del lazo depende de la relación de *sizing* y corrientes de polarización del amplificador principal y el amplificador de error. Por esta razón, el EEE resulta considerablemente mayor que lo esperado, pero dentro de un rango aceptable.

$$\text{EEE} = \frac{10 \text{ mV}}{1 + G_{\text{DC}}} = 134 \mu\text{V} \quad (3.14)$$

El valor porcentual de *overshoot* o sobrepico está relacionado indirectamente al margen de fase de la ganancia de lazo. Para un margen de fase de 56° se espera un sobrepico de aproximadamente el 13% del valor final [7]. Esto coincide con el resultado de simulación medido en la Figura 3.11b.

El tiempo de subida o *risetime* del lazo se puede calcular a partir de la siguiente ecuación aproximada [7] que devuelve un resultado cercano al medido.

$$T_{\text{rise}} \approx \frac{1.8}{2\pi f_u} = 1.08\text{ns} \quad (3.15)$$

donde f_u es la frecuencia de ganancia unitaria de la transferencia de lazo (Figura 3.11a).

3.2.4. Simulación de Ruido y Distorsión

En la Figura 3.12 se presentan las FFT de la salida diferencial en simulaciones transitorias con y sin ruido para una entrada diferencial senoidal pura de 10 mV de amplitud y 6.25 MHz de frecuencia.

En la simulación sin ruido (curva verde) la SNDR está completamente determinada por las componentes de distorsión armónica impar. Sin embargo, en la simulación con ruido (curva roja) se puede observar que éste apantalla a los armónicos. Esto puede verse a través de la THD y SNR, donde su combinación da como resultado un ENOB dominado principalmente por el segundo.

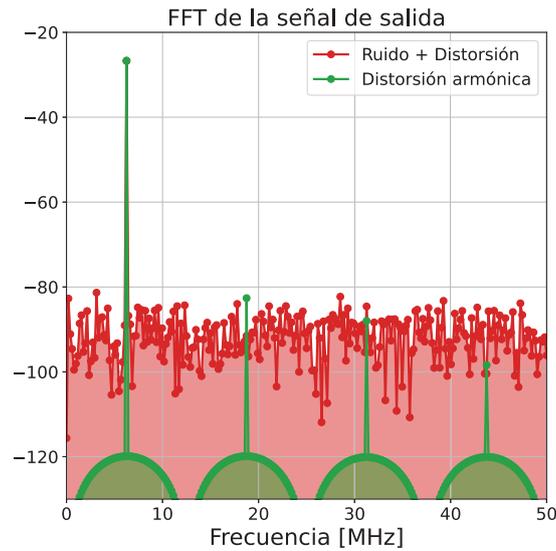


Figura 3.12: FFT del amplificador estático con y sin ruido.

	Sin ruido	Con ruido
THD [dB]	-54.78	-55.11
SNR [dB]	∞	38.81
ENOB [bits]	8.794	6.153
Ruido referido a la entrada [μV_{rms}]	-	81.08

Tabla 3.1: Sumario de ruido y distorsión del amplificador estático en TT a escala máxima.

3.2.5. Simulación de *Offset*

Para medir el *offset* del amplificador producto de las tolerancias propias del proceso de fabricación se realizó una simulación Montecarlo. Se colocó una entrada diferencial de 0 V y se midió la salida para 1000 ciclos de amplificación.

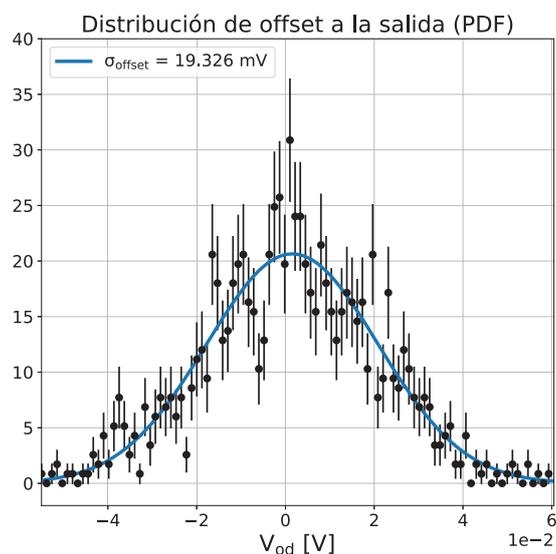


Figura 3.13: PDF de offset del amplificador estático en TT.

Como se puede observar en la Figura 3.13, la sigma de *offset* introducido es del orden de los 20 mV (aproximadamente un 50 % de la salida en escala máxima); dado que esto se trata de la desviación estándar de la simulación, el *offset* de una muestra puede ser incluso mayor que la salida (2.5σ).

Capítulo 4

Comparación y resultados *post-layout*

En este capítulo se realiza una comparación en base a los resultados de simulación esquemática de ambos amplificadores presentados en los capítulos anteriores. Se compara el desempeño de cada topología en torno a las especificaciones (Tabla 1.1), además del consumo, su sensibilidad a las variaciones PVT y su complejidad.

Luego, se selecciona la topología con mejor desempeño y se presenta el diseño de *layout* a partir del cual se realizaron simulaciones *post-layout* para finalizar la validación del diseño.

4.1. Comparación a Igual Ganancia

Para realizar la comparación se tuvo en cuenta que, si bien el amplificador estático tiene un solo modo de operación, el dinámico cuenta con un set de configuraciones de ventana temporal y corriente de descarga con distinto desempeño. El criterio adoptado fue utilizar una configuración en la cual el amplificador dinámico alcance la misma ganancia que el estático. Para dicha configuración ($R_2R_1R_0 = 010b$ y $\Delta t = 1.75$ ns), en la Tabla 4.1 se resumen los resultados obtenidos en términos de ganancia, ruido, *offset* y consumo de ambas topologías.

	Dinámico	Estático
Ganancia [V/V]	4.62	4.63
ENOB [bits]	6.42	6.15
Ruido RMS referido a la entrada [μ V]	67.5	81.1
<i>Mismatch</i> - σ_{offset} [mV]	7.4	19.3
Consumo @ $V_{DD} = 1.2$ V [μ W]	51	457.01

Tabla 4.1: Resumen de resultados obtenidos de la simulación esquemática de ambas topologías a igual ganancia.

Es importante distinguir que, en el caso del amplificador dinámico, la ganancia se encuentra limitada (a $g_{m, pair}$ constante) por la excursión máxima admisible de los nodos de salida, relacionada a su vez al nodo tecnológico en el que se trabaja y su tensión de alimentación. Por otro lado, la ganancia del amplificador estático (que idealmente puede alcanzar valores de 8 a 10 veces) se vio reducida por la exigencia de ancho de banda producto del muestreo de la salida.

El ENOB alcanzado por ambas topologías fue determinado casi unívocamente por el nivel ruido, ya que la distorsión armónica no fue un factor significativo en la SNDR. El ruido referido a la entrada del amplificador dinámico está determinado por su ganancia y la capacidad total en el nodo de salida. Por otro lado, en el amplificador estático se debe tener en cuenta el aporte de ruido del par diferencial y el par de carga activa, siendo estos comparables entre sí.

Adicionalmente, el menor tamaño de los transistores del amplificador estático respecto del par diferencial del dinámico provocó un mayor *offset* producto del desapareamiento por las tolerancias del proceso de fabricación. Si en el dinámico este efecto era comparable con señal de salida en escala máxima, en el estático puede ser incluso mayor ésta.

El consumo es la principal diferencia entre ambas topologías. El amplificador dinámico alcanza las especificaciones a un 11% del consumo del amplificador estático. Esto se debe principalmente a que el primero se encuentra activo únicamente durante la ventana de amplificación, por lo que requiere una cantidad de energía equivalente a la carga/descarga total de las capacidades de cada nodo. Por otro lado, el amplificador estático está constantemente consumiendo su corriente de polarización; siendo que la ventana de tiempo de muestreo es de aproximadamente un quinto del período de *clock*, el resto del tiempo se consume potencia sin utilidad.

Por último, es pertinente contrastar la complejidad de ambas topologías. El amplificador estático requirió el diseño de un lazo de CMFB que no puede diseñarse de manera independiente del amplificador principal. Sin embargo, el amplificador dinámico requiere del diseño de una lógica de control de la ventana de tiempo variable y configuración de corriente que no fueron abordadas por este trabajo, pero presentan una complejidad considerable.

El desempeño neto de ambas topologías es similar, con la diferencia de que el amplificador estático debe consumir casi 10 veces más potencia para alcanzarlas. Esto es un factor decisivo para aplicaciones que buscan minimizar el consumo. Además, existen variantes del amplificador dinámico que aumentan la ganancia sin penalizar sobre su velocidad [5]; por otro lado, la ganancia del amplificador estático resultó depender de su ancho de banda (para lograr cargar las capacidades durante la ventana de muestreo) por lo que mejorar su desempeño exige aumentar su corriente de polarización, es decir, su consumo.

Por todo lo mencionado, se concluye que la mejor topología para su implementación como amplificador de residuo en ADCs SAR-*pipelined* es el amplificador dinámico.

4.2. Análisis del Amplificador Estático a Consumo Equivalente al Dinámico

Dado que el factor crítico en la comparativa ha sido el consumo excesivo del amplificador estático, es pertinente analizar qué sucedería si se reduce la corriente de polarización a valores equivalentes a los del amplificador dinámico. Implementar este experimento requeriría el rediseño tanto del amplificador principal como del lazo de CMFB, por lo que se realizó una serie de cálculos teóricos suficientes para sacar conclusiones.

Despreciando el consumo de la referencia de corriente y del amplificador de error (son menores al 10 % del consumo del amplificador principal), el diseño final utiliza una corriente de polarización $I_{SS} = 2I_D = 752 \mu\text{A}$ y el par diferencial tiene una transconductancia $g_m = 2.9 \text{ mS}$. Si se quisiera reducir el consumo a $P = I_{SS} * 1.2 \text{ V} = 52 \mu\text{W}$, la corriente de polarización sobre cada rama del par diferencial debería ser de aproximadamente $I_D \approx 21.6 \mu\text{A}$. Manteniendo el nivel de inversión de los transistores constante, es decir $g_m/I_D \approx 7.7$, hay dos posibles caminos para tomar:

1. Mantener la ganancia mayor a 4 veces, requeriría incrementar la resistencia de salida.

$$R_{\text{out}} > \frac{4}{177 \mu\text{S}} = 22.6 \text{ k}\Omega \quad (4.1)$$

El resultado sería una reducción del ancho de banda muy por debajo de lo necesario para cargar los nodos de salida durante la ventana de amplificación.

$$f_c < \frac{1}{2\pi R_{\text{out}} C_L} = 23.5 \text{ MHz} \quad (4.2)$$

2. Mantener el ancho de banda constante a costa de bajar la ganancia. Mediante las mismas ecuaciones que en el caso 1, se llega al siguiente resultado.

$$f_c = 240 \text{ MHz} \leftrightarrow R_{\text{out}} = 2.2 \text{ k}\Omega \Rightarrow A_V = g_m R_{\text{out}} = 0.39 \quad (4.3)$$

Este análisis demuestra que esta topología no es compatible con una aplicación que requiera en simultáneo alta ganancia, alta velocidad y bajo consumo.

4.3. Diseño de *Layout*

A continuación se presentan dos diseños de *layout* del amplificador dinámico realizados con distintos criterios para minimizar distintos efectos parásitos.

Se adoptó una serie de criterios generales para realizar ambos diseños, estos son:

CAPÍTULO 4. COMPARACIÓN Y RESULTADOS *POST-LAYOUT*

- Se mantuvo la simetría vertical del par diferencial y su ruteo, con el objetivo de reducir el *mismatch*.
- Los *gates* de cada *finger* del par diferencial están conectados mediante pistas de polisilicio de relativamente baja conductividad, entonces se interconectaron en forma de grilla para evitar largos caminos resistivos.
- Se procuró que todas las conexiones entre niveles se realicen a través de más de una vía. Esto reduce la resistencia neta del contacto y garantiza la conexión en caso de que una vía no se coloque correctamente durante el proceso de fabricación o se dañe.
- Se colocaron anillos de alimentación alrededor del par diferencial y del circuito de *tail* para evitar el efecto de *latch-up* [8].
- En líneas generales, se utilizaron metales de ancho mínimo para el ruteo para evitar grandes capacidades. La única excepción son las conexiones de mayor longitud y la conexión entre el par diferencial y el circuito de *tail*, ya que es por la que mayor corriente circulará.

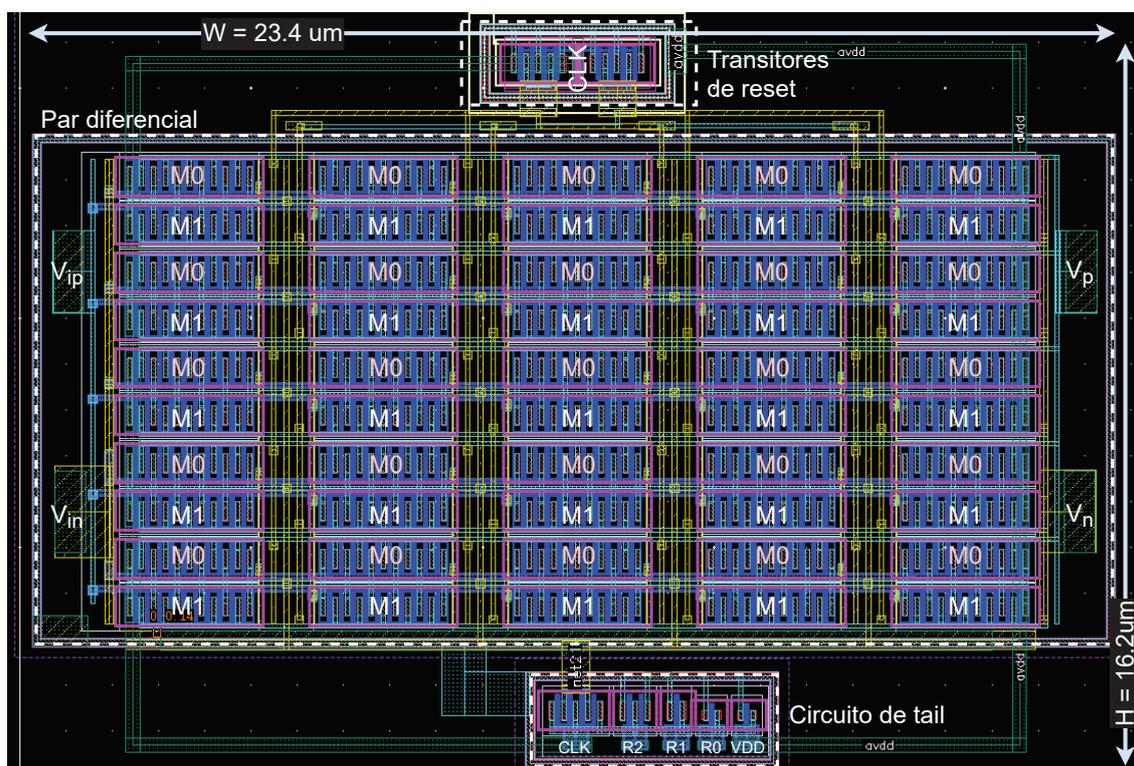


Figura 4.1: Diseño de *layout* N°1.

En el primer diseño (Figura 4.1) se separaron los transistores del par diferencial en 25 sub-dispositivos y se realizó un interdigitado de éstos. El objetivo de esta técnica es reducir el *mismatch* entre ramas del par diferencial producto de las tolerancias del proceso de fabricación. Sin embargo, una desventaja de esta técnica es el excesivo ruteo necesario para interconectar todos los elementos de un mismo dispositivo, lo cual puede resultar en una elevada capacidad parásita entre metales.

En el segundo diseño (Figura 4.2) se mantuvieron los transistores del par diferencial agrupados y se realizó un ruteo mucho más simple que en el primer caso. Este diseño es mucho más sensible a *mismatch* pero tiene menos capacidades parásitas, factor crítico para un amplificador cuya ganancia depende principalmente de la capacitancia total en los nodos de salida.

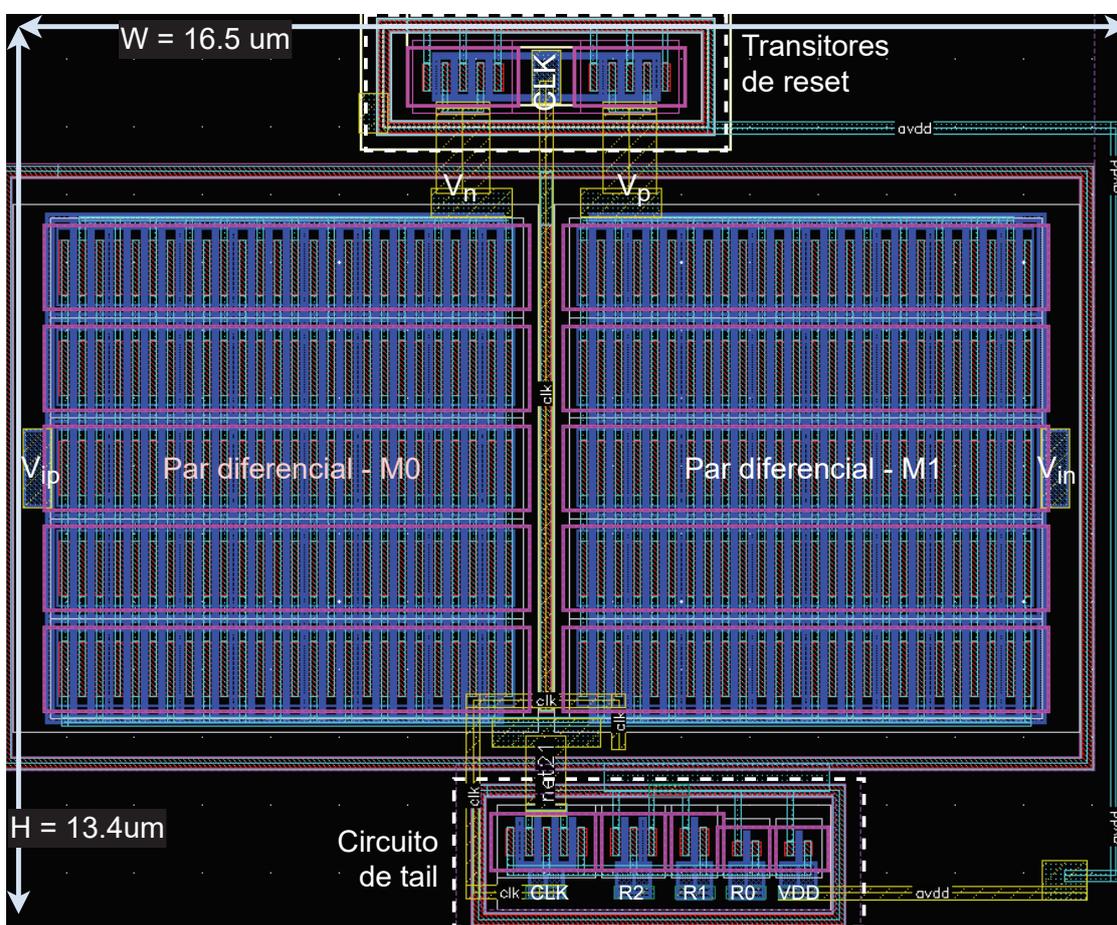


Figura 4.2: Diseño de *layout* N°2.

4.4. Simulación *Post-layout*

A continuación se presentan los resultados de simulación utilizando la extracción resistivo-capacitiva (RC) de los dos diseños de *layout* mencionados en la sección anterior. Como se mencionó anteriormente, el objetivo es reducir lo menos posible el desempeño del amplificador.

4.4.1. Simulación Transitoria

Se repitió el análisis de la Figura 2.10 para los circuitos extraídos de ambos *layouts* con el objetivo de identificar las configuraciones de corriente y ventana de amplificación en las cuales se alcance las especificaciones. Idealmente, no debería haber modificaciones sustantivas en la operación del amplificador puramente esquemático.

Sin embargo, en la Figura 4.3 se puede observar que en el primero diseño, en los *corners* FF y TT, los casos exitosos se desplazaron a configuraciones de corriente más elevadas y/o ventanas temporales más largas. En SS directamente ninguna configuración alcanza las especificaciones. Esto se debe principalmente a las grandes capacidades parásitas producto del excesivo ruteo necesario para conectar todas las secciones de los dispositivos interdigitados. Una mayor capacitancia en el nodo de salida implica una carga más lenta y por lo tanto una menor ganancia (ver ecuación 2.3). Comparando las ganancias de la simulación esquemática y extraída se puede calcular que el incremento de la capacitancia de salida es de aproximadamente el 10 %.

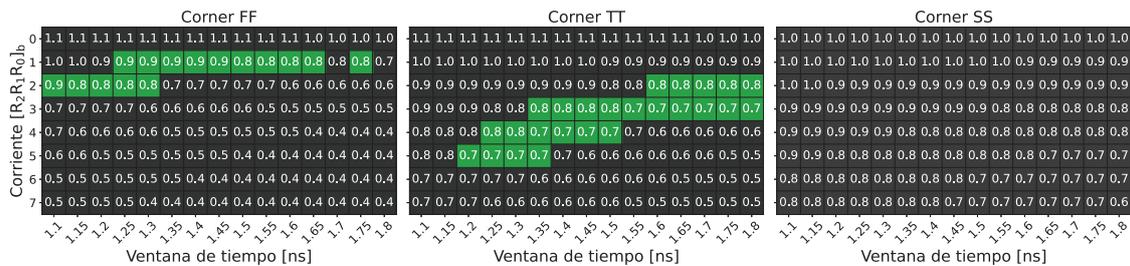


Figura 4.3: Sumario de las configuraciones de corriente y ventana de tiempo en *corners* para la extracción *post-layout* N°1. En verde los casos que cumplen las especificaciones de ganancia y linealidad. El número dentro de cada grilla es la tensión de modo común de salida en volts.

En el segundo diseño se redujo considerablemente el ruteo manteniendo los multiplicadores de cada dispositivo agrupados, minimizando así las capacidades parásitas entre metales. Por esta razón, en la Figura 4.4 se puede observar que los casos exitosos son aproximadamente los mismos que en la simulación esquemática (Figura 2.10).

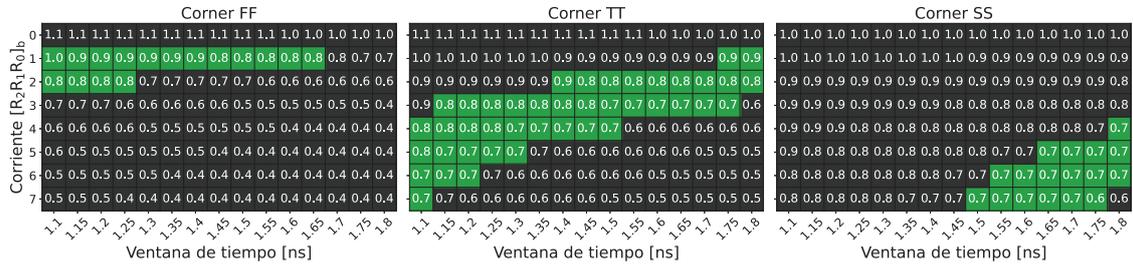


Figura 4.4: Sumario de las configuraciones de corriente y ventana de tiempo en *corners* para la extracción *post-layout* N°2. En verde los casos que cumplen las especificaciones de ganancia y linealidad. El número dentro de cada grilla es la tensión de modo común de salida en volts.

4.4.2. Simulación de Ruido

Se repitió la simulación de ruido para la extracción del segundo diseño de *layout*. Estos resultados son nuevamente a ganancia 4, ya que es el caso menos favorable en términos de SNR. En la Figura 4.5 se puede apreciar un aumento del 16% en el ruido RMS de salida en el primer diseño, mientras que en el segundo el incremento es del 25%. Es posible que este incremento se deba al ruido térmico introducido por el ruteo, principalmente el de polisilicio de mayor resistividad que la de un metal.

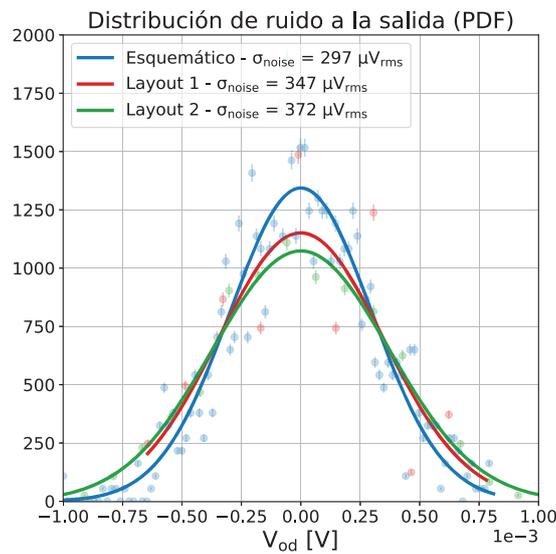


Figura 4.5: PDFs de ruido a la salida del amplificador dinámico en TT con ganancia 4 en diseño esquemático y *post-layout*.

4.4.3. Simulación de Offset

La simulación realizada con el diseño esquemático se repitió para las extracciones de ambos diseños de *layout* con el principal objetivo de visualizar la diferencia entre

ellos en lo que respecta a apareamiento del par diferencial.

En la figura 4.6 se puede observar el efecto de las distintas técnicas de diseño del *layout* sobre el *offset*. El diseño 1, cuyo objetivo era minimizar la sensibilidad a tolerancias de proceso, presenta un *offset* muy cercano al del diseño esquemático (un aumento de aproximadamente 1%). Por otro lado, el diseño 2 reduce las capacidades parásitas debido al ruteo excesivo a costa de aumentar el σ_{offset} en un 13%.

Además, ambos diseños de *layout* introducen un *offset* sistemático, el cual se puede observar en las curvas de la Figura 4.6 como un valor medio no nulo. Sin embargo, este efecto es por lo menos un orden de magnitud menor que la componente aleatoria.

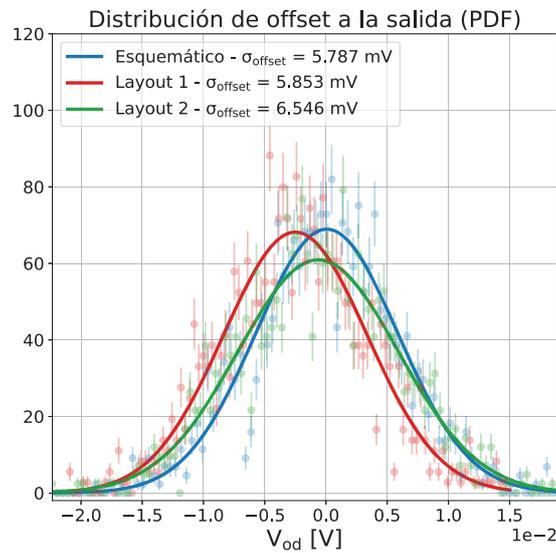


Figura 4.6: PDFs de offset del amplificador dinámico en TT con ganancia 4 en diseño esquemático y dos extracciones de *layout*.

4.4.4. Resumen de Resultados

En la Tabla 4.2 a continuación se presenta un resumen de los resultados de las simulaciones *post-layout* del segundo diseño y las simulaciones esquemáticas a modo de referencia.

	Esquemático	Layout 2
Ganancia [V/V]	4.36	4.31
ENOB [bits]	6.29	5.9
Ruido RMS referido a la entrada [μV]	74.8	93
Mismatch - σ_{offset} [mV]	5.79	6.55
Consumo @ $V_{\text{DD}} = 1.2 \text{ V}$ [μW]	52.32	51.49

Tabla 4.2: Resumen de resultados de las simulaciones *post-layout* del amplificador dinámico.

Cabe destacar que la ganancia se redujo en menos de un 3%. Esto se debe a que durante el diseño de *layout* se tuvo como prioridad la minimización de capacidades parásitas ya que la ganancia del amplificador depende fuertemente de ellas. Sin embargo, el ENOB se redujo debido a un aumento en el ruido referido a la entrada, posiblemente por la implementación de un mayor ruteo con polisilicio en las entradas del amplificador.

Capítulo 5

Comentarios finales

Este Proyecto Final tuvo como principal objetivo el estudio de amplificadores de residuo para convertidores analógico-digitales de alta velocidad y eficiencia, orientados a aplicaciones en sistemas de comunicaciones digitales. Es en este marco que se desarrollaron dos topologías amplificadoras, un amplificador estático y uno dinámico, y se compararon sus desempeños. Las principales métricas de evaluación fueron la ganancia, distorsión y ruido (ENOB), *offset* y consumo.

Si bien ambas arquitecturas cumplieron con las especificaciones de diseño, el amplificador estático lo hizo con un consumo casi 10 veces mayor. Adicionalmente, esta arquitectura presentó una limitación de ancho de banda (y en consecuencia, de ganancia efectiva) cuya única solución es elevar el consumo aún más. Dado que la eficiencia es un factor decisivo en este tipo de aplicaciones, se descartó dicha topología y completó el diseño del amplificador dinámico.

Es de interés destacar que las principales fuentes de complejidad de cada circuito dependen de factores completamente distintos. En el amplificador estático el desafío fue desarrollar un lazo de CMFB independiente del polo de salida del amplificador principal. En el amplificador dinámico se debe destacar su sensibilidad a las variaciones PVT, la cual generó la necesidad de aplicar técnicas de configuración que a su vez requerirían el desarrollo de un sistema de calibración.

A continuación, se presentan algunos comentarios adicionales sobre el trabajo realizado.

5.1. Configurabilidad del Amplificador Dinámico

Si bien no es objetivo de este trabajo implementar el control de las configuraciones de corriente y ventana temporal, cabe destacar la importancia de esta característica del amplificador dinámico. Se puede considerar que variando la corriente se realiza un ajuste grueso de la ganancia y modificando la ventana de tiempo de amplificación se logra un ajuste fino. Combinando ambos métodos se consigue un amplificador que puede mantener su ganancia relativamente constante

(en este caso en 4 veces) independientemente del *corner* en el cual se encuentre el ADC. Existen técnicas de calibración para determinar la ganancia óptima y configurar al amplificador.

5.2. Consideraciones de *Layout*

En este trabajo se llevaron a cabo dos diseños de *layout* del amplificador dinámico utilizando distintos criterios: *i)* interdigitado de los transistores del par diferencial con el objetivo de minimizar el efecto de *mismatch* sobre el circuito a costa de una elevada complejidad del ruteo, y *ii)* agrupamiento de cada dispositivo con el objetivo de reducir las capacidades de ruteo a costa de una mayor sensibilidad al *mismatch*. En resultados *post-layout* se corroboró que el primer diseño no alcanzaba las especificaciones satisfactoriamente debido a las altas capacidades parásitas. El segundo, por otro lado, presentó un mejor desempeño general a costa de un mayor *offset*. No fue objetivo del trabajo encontrar una combinación óptima de ambos criterios.

Capítulo 6

Anexo

6.1. MOSFETs como llaves de muestreo

Los transistores MOS pueden utilizarse como llaves bidireccionales para el muestreo de una señal (Figura 6.1). Para su diseño es importante tener en cuenta una serie de factores que serán desarrollados a continuación.

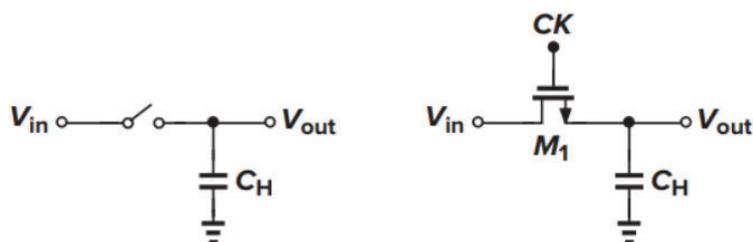


Figura 6.1: A la izquierda, circuito de muestreo ideal. A la derecha, implementación con un NMOS [9]

Un *switch* ideal tiene resistencia de encendido y caída de tensión en sus terminales nulas, de manera de que toda la tensión a la entrada sea transferida a la salida instantáneamente y sin pérdida de potencia ni *offset* de tensión. En caso de presentar una resistencia parásita, se formará un circuito RC que ralentizará la carga del capacitor de muestreo de acuerdo con la constante de tiempo entre ambos componentes, disminuyendo el ancho de banda efectivo del circuito muestreado.

Es deseable que los MOSFET que operen como llaves trabajen en la región de triodo, donde tienen una respuesta I-V aproximadamente lineal (es decir, resistiva) y una tensión V_{DS} baja. Para operar en esta región, es necesario que la tensión *gate-source* del dispositivo se encuentre un umbral por encima de su tensión *drain-source*, es decir $V_{GS} > V_{DS} + V_{TH}$ (en el caso de un NMOS). Como se observa en la Figura 6.2, para un dispositivo determinado, cuanto mayor sea su tensión V_{GS} , más empinada será su curva I-V de salida y, por lo tanto, menor será su resistencia de

encendido R_{on} . Por esta razón, las llaves se suelen encender utilizando una tensión de *gate* igual a 0 o V_{DD} , dependiendo del tipo de transistor.

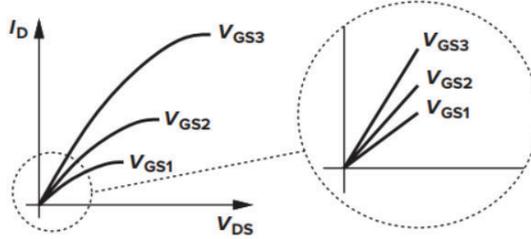


Figura 6.2: Corriente de *drain* en función de la corriente *drain-source* en la región de triodo [8].

La expresión para la resistencia de encendido de un MOSFET en región de triodo es la siguiente:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} |V_{GS} - V_{TH}|} \quad (6.1)$$

De la Ecuación 6.1 se desprende la primera consideración de diseño a la hora de implementar una llave: el nivel de tensión que habrá en el *source* de los dispositivos. Para aplicaciones con un nivel de modo común sobre el cuál se superpone una señal, es importante que el tipo de llave elegida permita maximizar la tensión entre *gate* y *source* para así minimizar su resistencia de encendido. Esto es:

- Para una señal con modo común alto se utilizan llaves PMOS que, al encenderse con $V_G = 0$, tengan una tensión $V_{SG} = V_{CM,alto}$.
- Para una señal con modo común bajo se utilizan llaves NMOS que, al encenderse con $V_G = V_{DD}$, tengan una tensión $V_{GS} = V_{DD} - V_{CM,bajo}$.

Además, la resistencia R_{on} es inversamente proporcional al ancho del canal (W). Entonces, es deseable que el transistor implementado como llave sea muy ancho.

Errores de precisión

Si bien una llave más grande (mayor W) permite aumentar la velocidad de muestreo, el incremento de éstas hace aparecer una serie de efectos parásitos que pueden perjudicar la precisión del muestreo.

1. **Channel Charge Injection:** en el instante en que la llave se cierra, el transistor MOS debe liberar la carga almacenada en la interfaz óxido-silicio necesaria para formar el canal. Esta carga $Q_{ch} = WLC_{ox}|V_{GS} - V_{TH}|$ circula a través de los terminales *drain* y *source*. La carga que circula por el terminal de salida de la llave ingresa en el capacitor de muestreo, aumentando la

tensión de salida. Teniendo en cuenta que la fracción de carga que circula por cada terminal es una función compleja dependiente de múltiples factores, se considera el peor caso y se calcula el error de *offset* como:

$$\Delta V_H = \frac{WLC_{ox}|V_{GS} - V_{TH}|}{C_H} \quad (6.2)$$

Esto produce un error de *offset* en la transferencia entrada-salida de la llave, pero también un error de ganancia (al depender ΔV_H de V_{GS}). Además, si se tiene en cuenta el efecto *body*, la tensión de umbral del transistor depende de su tensión de entrada de manera no lineal ($V_{TH} \propto \sqrt{V_{SB}}$) [9]. Esto introduce una alinealidad en la transferencia entrada-salida que puede ser necesario tener en cuenta.

2. **Clock Feedthrough:** la capacitancia de *overlap* entre el *gate* y el *source/drain* genera que haya un acople de la señal de clock en la salida. La carga que circula a través de esta capacidad se incorpora a la carga total en el capacitor de salida. Esto genera un *offset* constante e independiente del nivel de salida:

$$\Delta V_H = V_{CLK} \frac{WC_{overlap}}{WC_{overlap} + C_H} \quad (6.3)$$

Para minimizar el efecto de inyección de carga, se colocan transistores *dummy* que se dimensionan de manera que tomen o aporten la misma carga que aporta o toma el *switch*. De esta manera, la carga neta agregada en el capacitor de salida es nula y el error de muestreo se minimiza. En la Figura 6.3 se muestra una configuración que aplica esta técnica.

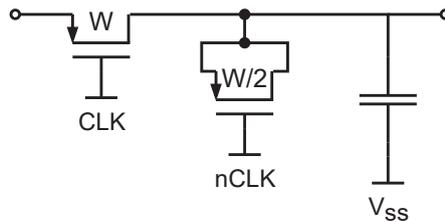


Figura 6.3: Circuito de muestreo con compensación de inyección de carga.

Bibliografía

- [1] Massimo Brandolini et al. «A 5 GS/s 150 mW 10 b SHA-Less Pipelined/SAR Hybrid ADC for Direct-Sampling Systems in 28 nm CMOS». En: *IEEE Journal of Solid-State Circuits* 50.12 (2015), págs. 2922-2934. DOI: 10.1109/JSSC.2015.2464684.
- [2] Frank van der Goes et al. «A 1.5 mW 68 dB SNDR 80 Ms/s 2 × Interleaved Pipelined SAR ADC in 28 nm CMOS». En: *IEEE Journal of Solid-State Circuits* 49.12 (2014), págs. 2835-2845. DOI: 10.1109/JSSC.2014.2361774.
- [3] Charles Laperle y Maurice O’Sullivan. «Advances in High-Speed DACs, ADCs, and DSP for Optical Coherent Transceivers». En: *Journal of Lightwave Technology* 32.4 (2014), págs. 629-643. DOI: 10.1109/JLT.2013.2284134.
- [4] James Lin, Masaya Miyahara y Akira Matsuzawa. «A 15.5 dB, wide signal swing, dynamic amplifier using a common-mode voltage detection technique». En: *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*. 2011, págs. 21-24. DOI: 10.1109/ISCAS.2011.5937491.
- [5] Badr Malki et al. «A complementary dynamic residue amplifier for a 67 dB SNDR 1.36 mW 170 MS/s pipelined SAR ADC». En: *ESSCIRC 2014 - 40th European Solid State Circuits Conference (ESSCIRC)*. 2014, págs. 215-218. DOI: 10.1109/ESSCIRC.2014.6942060.
- [6] Masataka Nakazawa et al. «256 QAM (64 Gbit/s) coherent optical transmission over 160 km with an optical bandwidth of 5.4 GHz». En: *2010 Conference on Optical Fiber Communication (OFC/NFOEC), collocated National Fiber Optic Engineers Conference*. 2010, págs. 1-3. DOI: 10.1364/OFC.2010.OMJ5.
- [7] Norman S. Nise. *Control Systems Engineering*. 6th. Wiley, 2017. Cap. 4.
- [8] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. second. McGraw-Hill, 2017.
- [9] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. second. McGraw-Hill, 2017. Cap. 13.
- [10] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. second. McGraw-Hill, 2017. Cap. 7.

- [11] John Stevens. *Simplifying Stability Checks*. Inf. téc. Dallas, Texas, USA: Texas Instruments, 2013 [Online].