



# Análisis de Diseño de un Convertor de Potencia Fotovoltaica

Proyecto final integrador para obtener el grado de  
Ingeniero Electrónico

2024

**Autor**

Misael Dominique Calcagno  
[calcagno.misael@gmail.com](mailto:calcagno.misael@gmail.com)

**Tutor**

Magister Nicolás Ávalos



## Agradecimientos

Les quiero primero agradecer a Pablo Capusso y Nahuel Müller. Quienes fueron compañeros durante la carrera y han revisado el primer boceto de este documento, lo han corregido sin ninguna pretensión y sus devoluciones han sido imprescindibles.

Destaco el apoyo continuo del resto de mis compañeros con los que compartí clases, sesiones de estudio e infinidad de momentos Tomás Prudente, Julián Cabaleiro, Luciano Miller, Ignacio Wörn, Agustín Mamone, Juan Domenech, Maximiliano Fonseca, Ramiro Fasce, Darío Farías, David Wolovelsky, Ezequiel Soldano, Julián Parengo, Cristian Beretta, Gastón Maciel, Ezequiel Pedace, Javier Moro, Javier Penizzotto, Francisco Premuz, Martin Grazadei, Federico Dubois, entre tantos otros que me han ayudado a lo largo de la carrera y me han formado de esta manera.

También agradezco al Ing. Hernán Socolovsky por tenerme fe en encarar este proyecto y siempre estar dispuesto a contestarme cualquier inquietud.

Le agradezco a mi tutor, Magister Nicolás Ávalos, que corrigió de punta a punta el trabajo con la dedicación y tiempo que fue necesario.

No puedo dejar de nombrar a la empresa Allegro Microsystem para la que trabajo al momento de presentar este informe. Especialmente a mi grupo de trabajo, Modeling, que en ningún momento han desaprovechado oportunidad para insistirme y motivarme para que lo termine y presente.

No sé por dónde arrancar con el nivel de paciencia que me ha tenido la cátedra, el director de la carrera Dr. Ing. Gabriel Sanca, el Ing. Nicolás Álvarez, el Ing. Ignacio Waldman, la Ing. Paola Pezoimburu. Les agradezco también la insistencia para que presente mi trabajo.

Docentes que me han formado son demasiados para individualizarlos, pero hago mención especialmente al Ing. Héctor Polenta. Que tuve el privilegio de tenerlo como docente en materias como Dispositivos Electrónicos, Teoría de Control y Sensores. Además de sus excelentes clases, por sobre todo consolidó la visión que tengo sobre qué es y de qué se trata la ingeniería. Cito de una nota [11] dada por él sobre el rol del ingeniero:

Su tarea es creativa e innovadora y consiste en encontrar la forma de hacer cierta tarea, o crear objetos que, antes de su intervención no existían (por ejemplo, un teléfono celular), para lo cual, en general utiliza a fondo el conocimiento científico-tecnológico existente en beneficio de la sociedad. Y, para eso, no hay procedimientos, es un proceso creativo y apasionante.



# Índice general

<b>1</b>	<b>Introducción</b>	<b>1</b>
1.1	Resumen . . . . .	1
1.2	Proyecto precursor . . . . .	1
	Motivación . . . . .	1
	Origen y dificultades . . . . .	1
	Análisis de diseño . . . . .	2
1.3	Proyecto nuevo . . . . .	3
	Motivación y origen . . . . .	3
	Precedentes . . . . .	3
	Objetivos . . . . .	3
	Lineamiento . . . . .	4
	Nomenclatura . . . . .	4
	Descripción y aplicación . . . . .	4
1.4	Organización del informe . . . . .	6
1.5	Cierre de introducción . . . . .	7
<b>2</b>	<b>Estudio y propuesta</b>	<b>8</b>
2.1	Resumen . . . . .	8
2.2	Generadores fotovoltaicos . . . . .	8
2.3	Panel solar . . . . .	9
2.4	Switching Power Supply . . . . .	11
2.5	MPPT . . . . .	11
2.6	Precedentes y propuestas . . . . .	11
2.7	Cierre . . . . .	13
<b>3</b>	<b>Construcción Knowledge Base</b>	<b>14</b>
3.1	Resumen . . . . .	14
3.2	Clasificación . . . . .	14
	Natural . . . . .	14
	Artificial . . . . .	15
3.3	Consideraciones . . . . .	16
3.4	Sección explícita . . . . .	17
	General . . . . .	17
	BuckBoost . . . . .	17
	Resumen y comparación . . . . .	27
	Programación . . . . .	29

3.5	Sección implícita . . . . .	30
	General . . . . .	30
	Capacitor . . . . .	30
	Frecuencia . . . . .	30
	Inductor . . . . .	31
	Transistor . . . . .	32
	Programación . . . . .	33
3.6	Cierre . . . . .	38
<b>4</b>	<b>Construcción Inteligencia Artificial</b>	<b>39</b>
4.1	Resumen . . . . .	39
4.2	Introducción a RL . . . . .	39
4.3	Entorno . . . . .	40
	Decodificación . . . . .	40
	Codificación observación . . . . .	41
	Codificación recompensa . . . . .	42
	Control . . . . .	42
4.4	Agente . . . . .	43
	Aprendizaje . . . . .	43
	Política . . . . .	46
	Estimación . . . . .	46
4.5	Ensamble . . . . .	47
4.6	Cierre . . . . .	48
<b>5</b>	<b>Operación</b>	<b>49</b>
5.1	Resumen . . . . .	49
5.2	Proceso . . . . .	49
5.3	Estrategia . . . . .	50
5.4	Algoritmo . . . . .	50
5.5	Operación . . . . .	52
	Entrenamiento . . . . .	52
	Explotación . . . . .	55
	Verificación IA . . . . .	57
5.6	Ajustes . . . . .	57
	Sección implícita . . . . .	57
	Especificaciones . . . . .	57
5.7	Cierre . . . . .	57
<b>6</b>	<b>Verificación</b>	<b>58</b>
6.1	Resumen . . . . .	58
6.2	Criterio de la máquina . . . . .	58
	Eficiencia y transistor . . . . .	59
	Eficiencia y frecuencia . . . . .	60
	Ripples . . . . .	60
6.3	Modelado del transistor . . . . .	60

6.4	Simulación del diseño . . . . .	61
6.5	Cierre . . . . .	67
<b>7</b>	<b>Validación</b>	<b>68</b>
7.1	Resumen . . . . .	68
7.2	Pérdidas en el inductor . . . . .	68
7.3	Rango operativo . . . . .	69
7.4	Multi Mode . . . . .	70
7.5	Paneles solares . . . . .	72
7.6	Barrido de curvas . . . . .	74
7.7	Resultados finales . . . . .	75
7.8	Cierre . . . . .	75
<b>8</b>	<b>Cierre de proyecto</b>	<b>77</b>
8.1	Conclusiones . . . . .	77
8.2	Diseño final . . . . .	77
	Aspectos destacados . . . . .	77
	Mejoras posibles . . . . .	77
8.3	Máquina . . . . .	78
	Aspectos destacados . . . . .	78
	Mejoras posibles . . . . .	79
8.4	FODA de la metodología . . . . .	79
	Fortalezas . . . . .	79
	Oportunidades . . . . .	79
	Debilidades . . . . .	80
	Amenazas . . . . .	80
8.5	Experiencia personal . . . . .	80
	<b>APÉNDICES</b>	<b>82</b>
<b>A</b>	<b>Gerenciamiento del proyecto</b>	<b>83</b>
A.1	Revisiones . . . . .	83
A.2	Project Charter . . . . .	84
	Objetivo . . . . .	84
	Propósito . . . . .	84
	Descripción y alcance . . . . .	84
	Supuestos . . . . .	84
	Restricciones . . . . .	84
	Stakeholders . . . . .	85
	WBS . . . . .	85
<b>B</b>	<b>Celdas fotovoltaicas</b>	<b>87</b>
B.1	Ecuación de celda . . . . .	87
B.2	Ecuación de Panel . . . . .	88

<b>C</b>	<b>Complemento de análisis</b>	<b>94</b>
C.1	Buck . . . . .	94
C.2	Boost . . . . .	99
C.3	SEPIC . . . . .	103
<b>D</b>	<b>Validación del transistor</b>	<b>108</b>
D.1	Introducción . . . . .	108
D.2	Datos relevados . . . . .	108
D.3	Ecuaciones utilizadas . . . . .	109
D.4	Modelos inicial y final . . . . .	110
	<b>Bibliografía</b>	<b>114</b>



# Índice de figuras

1.1 Diagrama de flujo de la metodología propuesta . . . . .	5
2.1 Juntura PN física . . . . .	8
2.2 Juntura PN modelo circuital . . . . .	9
2.3 Curvas IV PV de paneles solares . . . . .	10
2.4 Topologías Propuestas . . . . .	12
3.1 Mapa computacional . . . . .	16
3.2 BuckBoost nombres . . . . .	17
3.3 BuckBoost ideal primer semiciclo . . . . .	18
3.4 BuckBoost ideal segundo semiciclo . . . . .	18
3.5 BuckBoost voltaje y corriente en el inductor . . . . .	20
3.6 BuckBoost corriente y voltaje en el capacitor . . . . .	21
3.7 BuckBoost Switch Realization . . . . .	22
3.8 BuckBoost análisis con pérdidas en DC . . . . .	23
3.9 BuckBoost Dead Time Circuito . . . . .	25
3.10 BuckBoost Reverse Recovery . . . . .	26
3.11 Modelo de un transistor FET . . . . .	26
3.12 Correlación entre VDSmax y otros parámetros . . . . .	29
3.13 Frecuencias disponibles . . . . .	31
3.14 Diagrama de una neurona artificial . . . . .	34
3.15 Diagrama de la red neuronal utilizada en la proyección de transistores . . . . .	34
3.16 Diagrama del algoritmo de proyección . . . . .	35
3.17 Curva de aprendizaje . . . . .	36
3.18 Proyección de transistores . . . . .	37
3.19 Correlación entre parámetros . . . . .	38
4.1 Modelo Agente-Entorno . . . . .	39
4.2 Función observación . . . . .	41
4.3 Arquitectura RL empleada . . . . .	47
5.1 Proceso de operación . . . . .	49
5.2 Estrategia de operación . . . . .	50
5.3 Diagrama en bloques del algoritmo de operación . . . . .	51
5.4 Tasas de Éxito Entrenamiento . . . . .	53
5.5 Recompensas y dificultades . . . . .	54
5.6 Tasas de Éxito Explotación . . . . .	56
6.1 Matriz de decisiones . . . . .	59
6.2 Circuito BuckBoost simulado . . . . .	61
6.3 Voltaje de salida ideal y simulado . . . . .	63
6.4 Voltaje de salida ideal, simulado y aproximación . . . . .	64

6.5	Voltaje de salida ideal y de las dos simulaciones . . . . .	65
6.6	Eficiencia del modelo y simulación . . . . .	66
6.7	Diferencia de eficiencias del modelo y simulación . . . . .	67
7.1	Eficiencias con y sin las pérdidas AC en el inductor . . . . .	69
7.2	Temperatura del inductor . . . . .	70
7.3	Voltaje de salida con simulaciones Multi Mode . . . . .	71
7.4	Eficiencias Multi Mode y Single Mode . . . . .	71
7.5	Modelo circuital de un panel solar . . . . .	72
7.6	Curvas IV de la hoja de datos (ds) y el simulado . . . . .	73
7.7	Curvas PV de la hoja de datos (ds) y el simulado . . . . .	73
7.8	Circuito de barrido de curvas . . . . .	74
7.9	Potencia de los paneles en función del duty cycle . . . . .	75
A.1	Diagrama del proyecto . . . . .	84
B.1	Circuito celda . . . . .	87
B.2	Circuito celda simplificado . . . . .	88
B.3	Arreglo serie-paralelo de celdas . . . . .	89
B.4	Componentes agrupados . . . . .	90
B.5	Modelo equivalente de panel . . . . .	92
C.1	Buck intervalos ideal . . . . .	94
C.2	Buck voltaje y corriente en el inductor . . . . .	95
C.3	Buck voltaje y corriente en el capacitor . . . . .	95
C.4	Buck análisis con pérdidas en DC . . . . .	97
C.5	Boost intervalos ideal . . . . .	99
C.6	Boost voltaje y corriente en el inductor . . . . .	100
C.7	Boost voltaje y corriente en el capacitor . . . . .	100
C.8	Boost análisis con pérdidas en DC . . . . .	101
C.9	SEPIC nombres . . . . .	103
C.10	SEPIC análisis con pérdidas en DC . . . . .	103
C.11	SEPIC circuito equivalente . . . . .	105
C.12	SEPIC voltaje y corriente en C1 . . . . .	106
C.13	SEPIC voltaje y corriente en C2 . . . . .	107
D.1	$I_d$ vs $V_{gs}$ . . . . .	111
D.2	$I_d$ vs $V_{ds}$ . . . . .	112
D.3	$V_{gs}$ vs $Q$ . . . . .	112
D.4	$C$ vs $V_{ds}$ . . . . .	112
D.5	Risetime . . . . .	113
D.6	$I_{sd}$ vs $V_{sd}$ . . . . .	113
D.7	Reverse Recovery . . . . .	113

# Índice de tablas

3.1	Tabla características ideales . . . . .	27
3.2	Tabla de pérdidas . . . . .	28
3.3	Tabla de valores máximos . . . . .	28
3.4	Tabla capacitor . . . . .	30
3.5	Tabla inductor . . . . .	31
3.6	Tabla transistor . . . . .	32
3.7	Tabla transistor (continuación) . . . . .	32
3.8	Tabla transistor (continuación) . . . . .	33
4.1	Acciones disponibles . . . . .	41
5.1	Hiperparámetros Entrenamiento . . . . .	52
5.2	Hiperparámetros Explotación . . . . .	55
5.3	Tabla de resultados que cumplen especificaciones . . . . .	56
6.1	Puntos de operación . . . . .	62
6.2	Comparación entre simulación y modelo analítico . . . . .	65
7.1	Comparación del panel solar modelado . . . . .	72
7.2	Eficiencias finales . . . . .	75
D.1	Tabla de datos relevados . . . . .	109
D.2	Tabla de datos relevados . . . . .	110



## 1.1. Resumen

En este capítulo introductorio se presenta el origen y motivación del proyecto en conjunto con la descripción de la metodología utilizada.

## 1.2. Proyecto precursor

### Motivación

La creciente tendencia a reemplazar las fuentes de energía tradicionales por fuentes limpias debe ser acompañada por sistemas eficientes a fin de minimizar impacto ambiental y maximizar la viabilidad de estas alternativas. Es por lo tanto valioso contar con criterios generales de diseño y para formarlos son útiles los análisis de diseño. En este caso, se manifestó la oportunidad de realizar tal análisis para un convertidor de potencia fotovoltaica. Esta oportunidad devino de un proyecto propuesto previamente que fue modificado en su alcance, en la siguiente sección se describe ese proyecto y el porqué fue redefinido.

### Origen y dificultades

La primera propuesta presentada a fines del año 2019 fue el diseño e implementación física de un convertidor DC-DC que debía convertir el voltaje de salida de paneles solares a un valor fijo preseleccionado. Además, debía ser capaz de comunicarse con otros dispositivos que serían resultados de otros proyectos. La descripción del proyecto original propuesto fue:

"Se realizará un módulo capaz de convertir el voltaje de dos paneles solares a 48V, con potencia nominal de 500W, hacer maximum power point tracking (MPPT), comunicarse por protocolo CAN y poder entregar los datos para graficar las curvas corriente vs voltaje de los paneles en serie".

El cliente sería el grupo Solar de la Universidad Nacional de San Martín (UNSAM). A su vez, Solar propuso proveer información y

1.1 Resumen . . . . .	1
1.2 Proyecto precursor . . . . .	1
Motivación . . . . .	1
Origen y dificultades . . . . .	1
Análisis de diseño . . . . .	2
1.3 Proyecto nuevo . . . . .	3
Motivación y origen . . . . .	3
Precedentes . . . . .	3
Objetivos . . . . .	3
Lineamiento . . . . .	4
Nomenclatura . . . . .	4
Descripción y aplicación . . . . .	4
1.4 Organización del informe . . . . .	6
1.5 Cierre de introducción . . . . .	7

el instrumental necesario para el diseño e implementación. Este trabajo se iba a realizar en el año 2020 y se habían contemplado, entre otros, tres riesgos significativos:

- Falta de presupuesto
- Falta de materiales
- Falta de acceso al instrumental de Solar

Debido a la pandemia de COVID-19, sucedieron estos tres riesgos en simultáneo, lo cual devino en la imposibilidad de implementar la propuesta original en tiempos razonables. Sin embargo, a principios del año 2020, se había comenzado con la etapa de diseño. Se pospuso el desarrollo hasta fines de ese año, pero finalmente fue necesario redefinir el alcance. En lugar de una realización física se optó, en conjunto con el cliente, por un análisis de diseño, cuyos riesgos son solo la falta de disponibilidad horaria del estudiante y falta de software de simulación para verificar el diseño. Se presentó en el mes de diciembre del año 2020 esta modificación y su plan de ejecución. La descripción de la nueva propuesta fue:

"Se realizará el análisis de diseño de un módulo capaz de convertir el voltaje de dos paneles solares a 48V, con potencia máxima de 500 W y capaz de hacer maximum power point tracking (MPPT)".

Los requisitos que se conservaron fueron: el voltaje y potencia de salida, y la cantidad de paneles solares. Con respecto a MPPT, se modificó a que el diseño tiene que tener la capacidad pero no necesariamente realizarlo. MPPT será explicado en el Capítulo 2.

## Análisis de diseño

Se define como el análisis sistemático del proceso de diseño. A grandes rasgos, un análisis de diseño consiste no solo en presentar un diseño sino además evaluar las alternativas que se presenten, realizar comparaciones, extraer criterios, evaluar herramientas y metodologías, exponer sugerencias para implementaciones a futuro, etc. Un análisis de tales características puede derivar en una guía de diseño en el campo que se esté llevando a cabo el diseño. Se destaca que cuando se optó por este alcance a fines del 2020, el autor determinó cambiar el acercamiento tradicionalmente utilizado en diseño de circuitos. Se propuso hacer extensivo uso de *inteligencia artificial* (IA).<sup>1</sup> Con este fin se desarrolló una nueva metodología de trabajo, que será descrita en la siguiente sección.

1: Habiendo numerosas acepciones, el autor designa la siguiente definición: cualquier agente, máquina, algoritmo, mecanismo, etc. cuyas decisiones llegan a mejores resultados comparado a si su criterio fuese aleatorio.

## 1.3. Proyecto nuevo

### Motivación y origen

Conservando las especificaciones de secciones anteriores, se propone una nueva metodología para el proceso del análisis de diseño. La idea fue planteada por primera vez en el año 2019 y el desarrollo formal se realizó en el 2020. La motivación fue simplificar y agilizar la toma de decisiones mecanizando el procedimiento a seguir. Para este fin, la herramienta principal que se propone utilizar es IA.

### Precedentes

Existen desarrollos de diseño en el área de electrónica utilizando IA. Se destaca que este proyecto no se basó en previos trabajos, aunque se pueden encontrar soluciones similares porque el problema es común. Se listan dos precedentes y se describen brevemente.

#### BLADES [14]

Propone dividir el circuito en bloques y capas de abstracción, para luego construir *sistemas expertos* encargados del diseño del circuito.

[14]: El-Turky et al. (1989), «BLADES: an artificial intelligence approach to analog circuit design»

#### Exploración del espacio de diseño [15]

Utiliza varias herramientas como *Reinforcement Learning* (RL) y redes neuronales en una arquitectura para buscar soluciones dentro de un espacio de diseño conocido.

[15]: Yang et al. (2021), «Trust-Region Method with Deep Reinforcement Learning in Analog Design Space Exploration»

La metodología presentada en este proyecto comparte características comunes de motivación y objetivos con los precedentes. Sin embargo, se distingue por sus lineamientos, nomenclatura y aplicaciones. Para comparar puntualmente las arquitecturas resultantes son semejantes. Pero los precedentes se enfocan mayormente en el sistema de diseño, mientras que en este proyecto se hace foco en el flujo de diseño. En otras palabras, los precedentes describen y hacen hincapié en los algoritmos y arquitecturas desarrollados, mientras que en este trabajo se destaca cómo es el proceso de diseño en sí. Se detallan las características de la metodología propuesta en las siguientes subsecciones.

### Objetivos

El objetivo final de este proyecto es el análisis de diseño. El objetivo de la metodología propuesta tiene que necesariamente

servir al objetivo del proyecto y es orientar el proceso de diseño para delegar la mayor cantidad de trabajo posible a una IA. Esto debería mejorar la velocidad de obtención de resultados y la trazabilidad de las decisiones tomadas. Y eso le aporta un valor sustancial al objetivo del proyecto en el análisis de diseño.

## Lineamiento

Uno de los ejes centrales que se determinó fue que la metodología tiene que poder ser usada en cualquier proceso de diseño y no limitarla a un área específica de ingeniería. Es por esto que se buscó utilizar los principios de simpleza, escalabilidad, modularidad y soluciones genéricas; en lugar de soluciones puntuales y específicas, cuyos desempeños pueden ser superiores pero con limitado número de aplicaciones. Es con este lineamiento que la metodología se presenta especialmente útil para un análisis de diseño, porque busca una solución genérica y no una específica.

## Nomenclatura

Siendo que algunos aspectos relacionados con el lineamiento se presumen novedosos, gran parte de la terminología, nombres, definiciones y criterios fueron adjudicados por parte del autor. Serán aclarados en este informe cuando esto así sea requerido.

## Descripción y aplicación

Todo el proceso de diseño se orienta a la construcción, operación y validación de un conjunto IA sumado a una *Knowledge Base* (KB).<sup>2</sup> Es similar a un *sistema experto*, cuya definición es un motor de inferencia junto con una KB donde el usuario interactúa a través de una interfaz. En el caso de la metodología propuesta, usuario y desarrollador son la misma persona y se plantea un trabajo continuo. Para diferenciarse de un sistema experto en este aspecto, se refiere al conjunto KB+IA como *máquina inteligente* o simplemente *máquina*.

En todo el proyecto el lenguaje empleado para programar fue Python 3.8 en la plataforma Colab<sup>3</sup> que ofrece la empresa Google. Para el uso de redes neuronales, RL y el manejo de datos, el autor desarrolló bibliotecas en Python. Una de las ventajas de la plataforma Colab es que permite ejecutar los programas en forma remota en los servidores de la empresa Google y cuenta

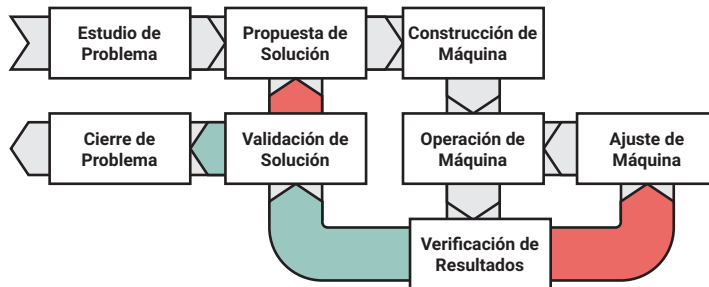
2: Base de conocimiento, se trata de una base de datos estructurada con niveles jerárquicos.

3: <https://colab.research.google.com/>



con un sistema de control de versiones suficiente para la aplicación.

En la siguiente figura se presenta el diagrama de flujo de la metodología.



**Figura 1.1:** Diagrama de flujo de la metodología propuesta, en verde es el flujo en caso de ser exitoso en la presente instancia, y rojo si no.

Las fases bajo este esquema se describen a continuación.

### Estudio de problema

Determinar la naturaleza de la problemática y precedentes de solución.

### Propuesta de solución

Proponer una solución original o de precedentes con su objetivo y las condiciones, requerimientos, limitantes, etc. que tiene que afrontar lo que se desea diseñar.

### Construcción de máquina

Planear y construir un sistema capaz de resolver el diseño.

### Operación de máquina

Trabajar para obtener resultados de diseño e información del desempeño de la máquina.

### Verificación de resultados

Determinar si los resultados y desempeños de la máquina son los esperables y satisfactorios. Si no se verifica se debe ajustar, si se verifica se debe pasar a la validación.

### Ajuste de máquina

Ajustar las partes necesarias de la máquina para resolver los desperfectos que se observen y luego volver a operación.

### Validación de solución

Es necesario no solo verificar los resultados de diseño, sino también analizar aspectos que no fuesen contemplados por la máquina y hacer un análisis riguroso de si es efectivamente solución del problema. Si no se valida, pero fue verificado el diseño, significa que lo que falló fue la propuesta de solución; por lo que es necesario volver a esa fase. La nueva propuesta puede resultar similar a la ya planteada, pero modificando algunas de sus características se puede reutilizar la máquina construida. Si se

valida, entonces directamente se puede pasar al cierre del problema.

#### **Cierre de problema**

Estando la solución ya diseñada se puede dar por cerrado el problema de diseño con su correspondiente documentación.

En líneas generales, estas fases son la sucesión básica de eventos con la cuál se planeó y ejecutó el proyecto, siendo integral al análisis de diseño.

## **1.4. Organización del informe**

A modo de guía, se describen los capítulos de este informe.

### **Capítulo 1: Introducción**

Se presentan el origen, el objetivo y la motivación del proyecto junto con la organización de este informe.

### **Capítulo 2: Estudio y propuesta**

Se estudia la aplicación, qué precedentes existen, los tipos de convertidores posibles y se proponen distintos circuitos.

### **Capítulo 3: Construcción Knowledge Base**

Se realiza el análisis de los convertidores, que derivan en una comparación analítica y también define los tipos de componentes que se usarán. Con este análisis y los componentes se construye una base de información.

### **Capítulo 4: Construcción Inteligencia Artificial**

Se explican algunos conceptos básicos de la disciplina empleada, Reinforcement Learning, y a partir de estos conceptos se determina la arquitectura a utilizar.

### **Capítulo 5: Operación**

Se define una estrategia que lleva a un algoritmo capaz de ensamblar los trabajos realizados en los capítulos 4 y 5. Esta es la máquina que resolverá el diseño. Se describe el proceso de operación de la misma y los ajustes que fueron necesarios.

### **Capítulo 6: Verificación**

Se juzga el desempeño y el diseño circuital extraído del Capítulo 5. Esto se realiza analizando el comportamiento de la IA y simulando el circuito. Se demuestra la verificación del criterio.

### **Capítulo 7: Validación**

Se analiza el rango de validez del modelo del convertidor, si es solución al problema planteado del proyecto, sus limitaciones de aplicación y los elementos que no fueron contemplados en los capítulos anteriores.

**Capítulo 8: Cierre de proyecto**

A partir de la experiencia, se concluyen aspectos del diseño, de la metodología, posibles mejoras y una conclusión personal.

**1.5. Cierre de introducción**

Habiendo presentado el origen, motivación e introducción al proyecto junto con una breve descripción del informe, se continúa con el capítulo de estudio que explica la primera fase de ejecución del proyecto.

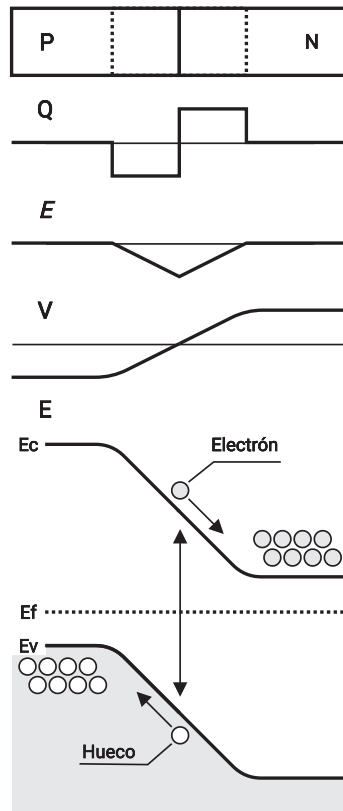
## 2.1. Resumen

En este capítulo se estudian los generadores fotovoltaicos, se plantean posibles soluciones y se seleccionan propuestas circuitales.

- 2.1 Resumen . . . . . 8
- 2.2 Generadores fotovoltaicos 8
- 2.3 Panel solar . . . . . 9
- 2.4 Switching Power Supply 11
- 2.5 MPPT . . . . . 11
- 2.6 Precedentes y propuestas 11
- 2.7 Cierre . . . . . 13

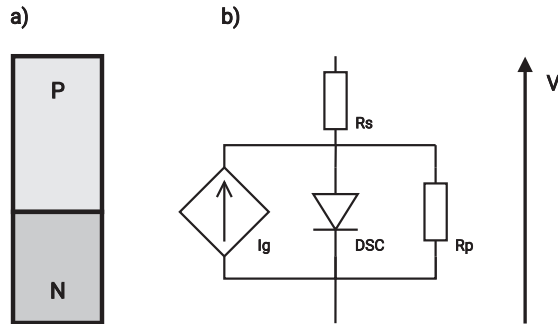
## 2.2. Generadores fotovoltaicos

Un generador fotovoltaico es un arreglo de una o más celdas que convierten la energía lumínica incidente, *irradianza*, en energía eléctrica. Estas celdas son por lo general una juntura PN, la unión entre un semiconductor dopado P (aceptor) y uno dopado N (dador), ver Figura 2.1.



**Figura 2.1:** Juntura PN.  
 De arriba a abajo:  
**P y N** la unión física entre los dos materiales con su zona de agotamiento demarcada en línea punteada  
**Q** las cargas acumuladas  
**E** el campo eléctrico  
**V** el voltaje  
**E** el diagrama de bandas de energías donde **Ec** es la energía de conducción, **Ef** el nivel de Fermi y **Ev** la banda de valencia. Se señala la dirección de movimiento de portadores libres cuando se genera un par electrón-hueco.

Cuando un fotón incide, si posee la suficiente energía puede producir la generación de un par electrón-hueco. El electrón de la banda de valencia pasa a la banda de conducción quedando un hueco en la banda de valencia. Cuando se generan estos portadores libres, se mueven por la presencia del campo eléctrico debido a las cargas fijas. Este movimiento es que resulta en una corriente, por lo que se dice que es generada por el fotón incidente. Se puede entonces extraer el siguiente modelo circuital de una celda con estas características.



**Figura 2.2:** Modelo circuital de la juntura PN. a) Esquema físico. b) Circuito equivalente. Donde  $I_g$  es un fuente de corriente controlada por la irradiancia incidente, **DSC** es el diodo intrínseco de la juntura, **R<sub>p</sub>** es la resistencia paralela intrínseca y **R<sub>s</sub>** es la resistencia serie intrínseca y **V** el potencial desarrollado sobre la celda.

La ecuación de este modelo de celda, demostrada en el Apéndice B.1, se presenta a continuación

$$I = I_g - I_s \left[ \exp \left( \frac{q(V - IR_s)}{nkT} \right) - 1 \right] - \frac{V - IR_s}{R_p} \quad (2.1)$$

donde  $I$  es la corriente total de la celda y el segundo término es simplemente la corriente en el diodo extraída de la ecuación de Shockley para DSC. El resto de las variables son:

- $I_s$ : corriente de saturación
- $q$ : carga del electrón
- $n$ : factor de idealidad
- $k$ : constante de Boltzmann
- $T$ : temperatura en Kelvin

### 2.3. Panel solar

Un panel solar son múltiples celdas conectadas, por lo general, en serie en un solo módulo. Se modela de la ecuación de celda la siguiente ecuación de panel

$$I = N_p \left\{ I_g - I_s \left[ \exp \left( \frac{q(V - IR_s \frac{N_s}{N_p})}{nkTN_s} \right) - 1 \right] - \frac{V - IR_s \frac{N_s}{N_p}}{R_p N_s} \right\} \quad (2.2)$$

donde  $N_S$  y  $N_P$  son las cantidades de celdas en serie y paralelo respectivamente. Se demuestra en el Apéndice B.

Siendo el panel la fuente del convertidor es necesario tener sus características eléctricas para el diseño. Éstas se extraen de las curvas IV (corriente vs voltaje) y PV (potencia vs voltaje) del panel. Se presentan en la Figura 2.3 con sus formas típicas.

Las características eléctricas se describen a continuación

- Voc (Open Circuit Voltage): voltaje de circuito abierto.
- Isc (Short Circuit Current): corriente de corto circuito.
- Vm (Maximum power Voltage): voltaje en el punto de máxima potencia.
- Im (Maximum power Current): corriente en el punto de máxima potencia.
- Pm (Maximum Power): potencia máxima.

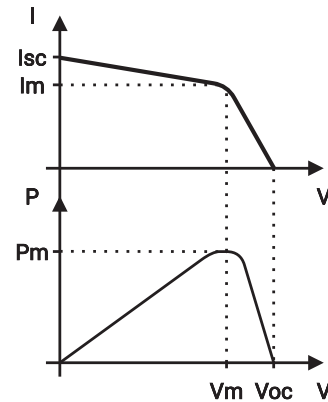
Teniendo el modelo circuital más los datos de un panel comercial, es posible modelarlo en un software de simulación. Para continuar con el diseño, antes de tener un modelo detallado, se consultó a Solar las características más comunes que se pueden esperar. Fueron las siguientes:

- $P_m \approx 250 \text{ W}$
- $V_m \approx 35 \text{ V}$
- $I_m \approx 7.15 \text{ A}$
- $V_{oc,m\acute{a}x} \approx 40 \text{ V}$
- $I_{sc,m\acute{a}x} \approx 7.15 \text{ A}$

Lo cual definió que serán necesarios por lo menos dos paneles para los 500 W que se requieren. Si se interpretan a este conjunto de paneles como la fuente que alimentará al convertidor, las características eléctricas de la fuente terminan siendo

- $P_m \approx 500 \text{ W}$
- $V_{op} \approx 70 \text{ V}$
- $I_{m\acute{a}x} \approx 7.15 \text{ A}$
- $V_{m\acute{a}x} \approx 80 \text{ V}$
- $V_{m\acute{i}n} \approx 30 \text{ V}$

Con el último ítem se fijó un mínimo para el voltaje en donde la potencia esperada de salida caiga aproximadamente un 60 % del valor máximo esperado.<sup>1</sup> Esto se decidió para no tener que condicionar las especificaciones de diseño a un punto de operación no esperado en primera instancia. Siendo que los valores de voltaje de la fuente pueden ser superiores o inferiores a 48 V (el voltaje de salida del convertidor) se determina que el convertidor tiene que ser capaz tanto de elevar como de reducir.



**Figura 2.3:** Curvas características IV PV de paneles solares con las características eléctricas de interés: Voc, Isc, Vm, Im y Pm. Se explican en el texto de esta sección.

1:  $7.15 \text{ A} \times 30 \text{ V} = 214.5 \text{ W}$  representa el 42.9 % de 500 W, por lo que cae un 57.1 % la potencia.

## 2.4. Switching Power Supply

También conocida como fuente conmutada o directamente fuente switching, es un dispositivo electrónico que conmuta *llaves* a fin de transformar la potencia eléctrica. Esto lo logra utilizando elementos como inductores y capacitores para almacenar temporalmente la energía. El control de estas llaves se realiza, por lo general, utilizando señales moduladas por ancho de pulso (PWM). Si todos los componentes fuesen ideales, estas fuentes tendrían teóricamente una eficiencia del 100 %. Esto, sumado a la extensa documentación que existe de estos dispositivos en el área de fotovoltaica, son los motivos por los cuales se consideraron una solución razonable para usar en este proyecto. A partir de ahora en este informe siempre que se mencione un convertor se puede asumir que se está hablando de una fuente switching.

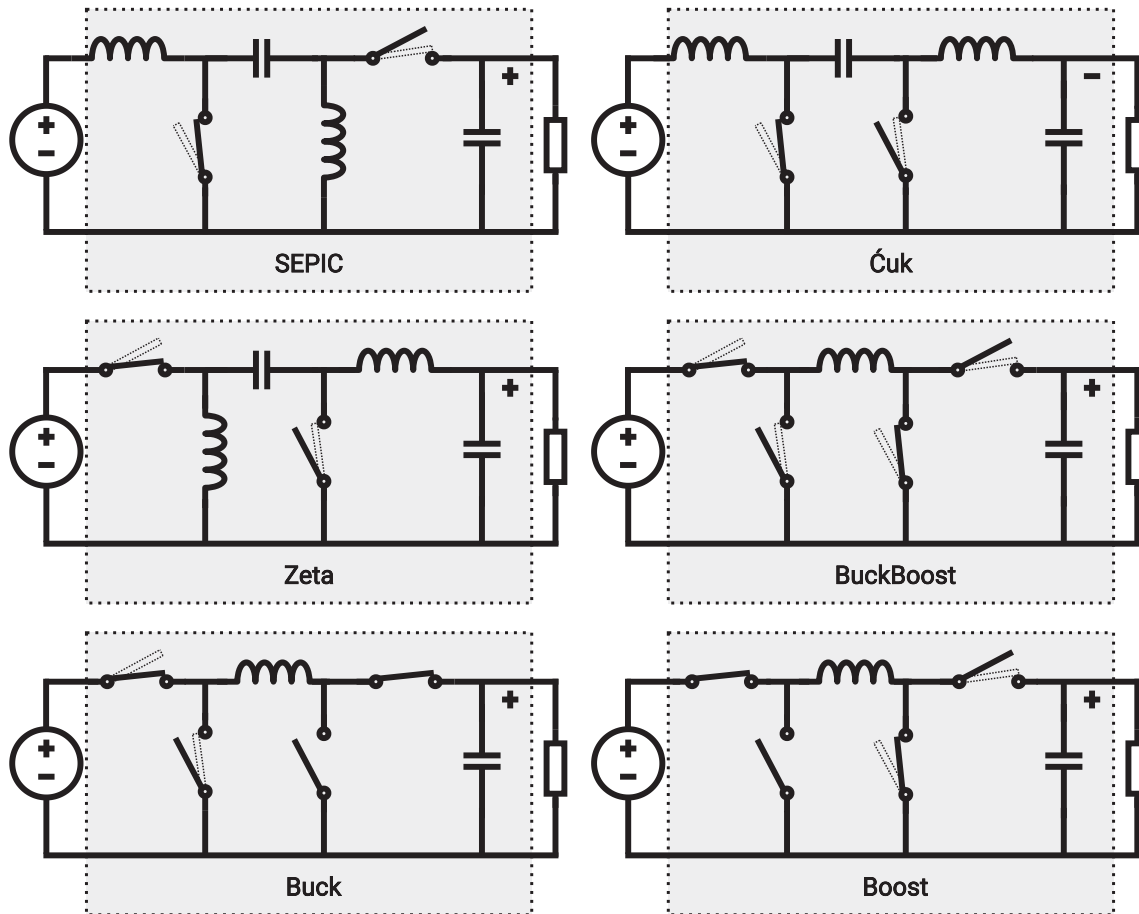
## 2.5. MPPT

Esta técnica consiste en seguir el punto de máxima potencia del panel. Uno de los objetivos de este proyecto es que el diseño pueda ofrecer esta capacidad. No que lo ejecute, pero sí que se pueda implementar sobre el diseño realizado. Para eso, el convertor tiene que ser una *topología reductora y elevadora*, que es un requerimiento ya establecido por los niveles esperados de voltaje. En [2] se demuestra que las topologías que son elevadoras y reductoras pueden trazar en forma completa la curva IV del panel y de ésta se puede extraer la curva PV completa, lo cual significa que necesariamente tienen que ser capaces de establecer el punto de máxima potencia en algún momento y esto es lo que garantiza suficiencia.

[2]: Duran et al. (2007), «A New Application of the Buck-Boost-Derived Converters to Obtain the I-V Curve of Photovoltaic Modules»

## 2.6. Precedentes y propuestas

En [2] se presentan las topologías SEPIC (Single-Ended Primary-Inductor Converter), Ćuk, Zeta y BuckBoost como posibles candidatas para un desarrollo en el cual sea requerido extraer curvas IV y PV. No se recomienda las fuentes Zeta y BuckBoost porque la corriente de entrada es discontinua. Las corrientes de las SEPIC y Ćuk son continuas y por ende las recomienda. El motivo que menciona el artículo es evitar ruido a la salida del panel que es la entrada del convertor. Todas estas topologías se muestran en la Figura 2.4



**Figura 2.4:** Topologías candidatas. A la entrada de cada una se representa una fuente en forma genérica y a la salida una carga genérica. Las dos últimas (Buck y Boost) son configuraciones de la BuckBoost con determinadas llaves que se dejan fijas en una posición determinada.

La SEPIC se vuelve una candidata para este proyecto por la recomendación en [2]. La Ćuk se descartó por ser *inversora*, el voltaje de salida es de signo contrario al de entrada y esto dificultaría una futura implementación práctica porque es probable tener que revertirlo. La Zeta tiene los mismos elementos que la SEPIC, por lo que se asume la misma complejidad que ella pero siendo discontinua la corriente de entrada también se descartó. La BuckBoost, a pesar de la recomendación del artículo, es sencilla por contener pocos componentes pasivos, un inductor y un capacitor, y presenta una característica singular. En [4] se explica que esta topología puede entrar en distintos *modos de operación* como Buck o Boost exclusivamente y esto podría presentar mayor eficiencia que la SEPIC.<sup>2</sup> A esta capacidad de entrar en distintas configuraciones se la llamará BuckBoost *Multi Mode* (MM), y en el caso de solo BuckBoost como *Single Mode* (SM).

[4]: Gaboriault et al. (2004), «A high efficiency, noninverting, buck-boost DC-DC converter»

2: Se puede usar como un indicador a simple inspección que la Buck, Boost y SEPIC conmutan la misma cantidad de llaves, dos, pero la SEPIC cuenta con un inductor más que es una fuente más de pérdidas. Dependerá de los valores de los componentes seleccionados pero es un primer análisis.



Cabe destacar que existe una plétora de topologías. Por ejemplo, en [10] y [8], entre otros artículos, se pueden apreciar distintas mejoras y sus análisis. Pero se decidió privilegiar la sencillez en este proyecto, proponiendo solo las topologías SEPIC y BuckBoost que a priori aparentan poder cumplir con los requerimientos.

[10]: Pacheco et al. (2002), «A DC-DC converter adequate for alternative supply system applications»

[8]: Mourra et al. (2010), «Buck Boost Regulator (B2R) for spacecraft Solar Array Power conversion»

## 2.7. Cierre

Se presentó el principio de funcionamiento de los generadores fotovoltaicos, se describieron características básicas de paneles solares y se determinaron valores preliminares. Se tomó la decisión de utilizar como conversor una fuente switching y se preseleccionaron dos topologías: BuckBoost y SEPIC.

## 3.1. Resumen

Lo primero que se explica en este capítulo es la organización y el criterio empleado para conformar la Knowledge Base (KB). Luego los datos extraídos del análisis de conversores y la tabulación de componentes.

## 3.2. Clasificación

La información para conformar la KB es compleja. Por ejemplo, antes de comenzar el análisis de los conversores, se puede esperar como información necesaria las ecuaciones del convertidor y las listas de componentes disponibles. Pero estas informaciones son de dos tipos distintos, una es analítica y la otra es numérica. Adicional a esto, si la máquina es capaz de desarrollar un diseño, puede ocurrir que también desarrolle su propio criterio de diseño que no necesariamente sea interpretable para el desarrollador. Por estas características de la información se vuelve útil clasificarla según un criterio para poder luego administrarla y manipularla fácilmente.

Siguiendo los lineamientos de la metodología propuesta, la clasificación también debe ser genérica y modular para extender su aplicabilidad. En las siguientes subsecciones se explica el criterio de clasificación. Se aclara que la nomenclatura es propia del autor.

### Natural

Esta sección está constituida por la información introducida por el desarrollador. Se nombra de este modo por su origen; es la información que se deriva del mundo físico. Por ejemplo, el modelo circuital-matemático de un convertidor se deriva de las características físico-eléctricas del dispositivo real y, bajo esta clasificación, debería ser colocado en esta sección. A su vez, se distinguen dos subgrupos y se subdividen en:

3.1 Resumen . . . . .	14
3.2 Clasificación . . . . .	14
Natural . . . . .	14
Artificial . . . . .	15
3.3 Consideraciones . . . . .	16
3.4 Sección explícita . . . . .	17
General . . . . .	17
BuckBoost . . . . .	17
Resumen y comparación	27
Programación . . . . .	29
3.5 Sección implícita . . . . .	30
General . . . . .	30
Capacitor . . . . .	30
Frecuencia . . . . .	30
Inductor . . . . .	31
Transistor . . . . .	32
Programación . . . . .	33
3.6 Cierre . . . . .	38

**Implícita**

Se corresponde a los elementos que se usarán, que no son diseñados y es necesario saber las propiedades aunque no se describen las relaciones entre ellas. Por ejemplo, como llaves se usaron transistores, que no fueron diseñados y fue necesario tener tabulado los valores como resistencia, capacidades, cargas, tiempos, voltajes de encendido; pero no se describe cómo de algunos valores se pueden obtener otros, por ejemplo, cómo del voltaje aplicado se puede calcular la resistencia de conducción. A esta división se la llama implícita porque la información se presenta suponiendo la interrelación entre parámetros pero no se describen las relaciones.

**Explícita**

Elemento que se quiere diseñar, donde sí se describen las relaciones entre sus propiedades. Por ejemplo, el convertidor es lo que se quiere diseñar, es necesario saber las características eléctricas y las relaciones entre éstas se describen con ecuaciones. En contraste con la subsección previa, se nombra explícita porque la información se presenta y se describe.

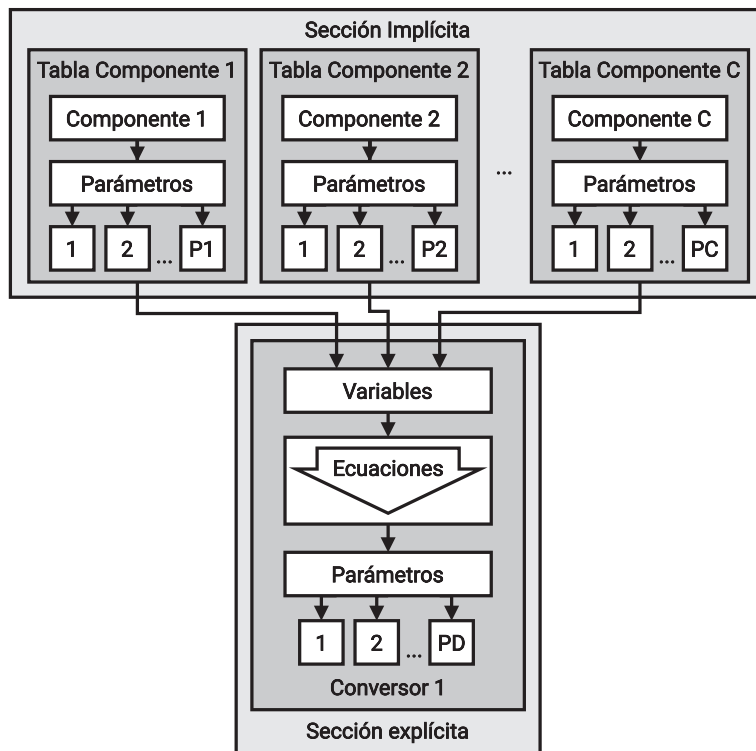
La subdivisión antes expuesta se realiza para simplificar el proceso de diseño basándose en presunciones razonables. En el ejemplo dado del transistor, se está asumiendo que los valores que aporta su hoja de datos son los esperados en la realidad. Con esta presunción, modelar las ecuaciones que permitirían extraer estos datos no es necesario para este caso, y por eso se colocó en la categoría implícita. Para el convertidor, no se cuenta con datos que se puedan asumir razonables y se vuelve necesario modelar una descripción del circuito para saber cómo realizar y/o mejorar el diseño, por lo tanto, se categoriza como explícito.

**Artificial**

Esta sección es para la información que genere la IA. En este proyecto está contenida dentro de la IA pero es extraíble para usarse en otros contextos. Esto quedará más claro con el Capítulo 5 de construcción de IA donde se explica cómo se usa y con qué estrategia.

### 3.3. Consideraciones

Antes de comenzar a construir, se planteó cómo sería resuelto el problema. En principio se contempló que el número de componentes sería mucho mayor al número de topologías. Para simplificar la operación, si se considerase más de una topología, se operaría de una a la vez con la misma base de componentes. Lo que haría la máquina es navegar el espacio de componentes y no el de topologías. Dado esto, la estructura planteada para la KB es la de un *mapa computacional* y se presenta el esquema en la Figura 3.1.



**Figura 3.1:** Mapa computacional genérico con sus divisiones. Teniendo C cantidad de tipos de componentes, con sus correspondientes P cantidad de parámetros.

Esta estructura tiene de característica fundamental que es *unidireccional*. Dada una selección de componentes y convertor se determinan los parámetros del diseño y no se determina la reversa. La motivación es que si los parámetros de componentes y las ecuaciones son razonables, necesariamente los parámetros resultantes del convertor también lo deben ser. Entonces si la búsqueda se realiza sobre los componentes existentes resulta más inmediato determinar si es posible llegar a cumplir o no especificaciones. Al conjunto de parámetros de componentes seleccionados y resultantes del convertor el autor lo llama *punto de diseño*, y al conjunto total de éstos el *espacio de diseño*. Para comenzar la construcción se sabe que analizando circuitualmente las topologías se puede determinar qué componentes y qué

valores son necesarios relevar, por lo que la primera sección que se construyó fue la explícita.

### 3.4. Sección explícita

#### General

Primero se realizó el análisis circuital de todas las topologías propuestas: SEPIC, BuckBoost, Buck y Boost. El procedimiento está basado en el libro *Fundamentals of power electronics* de Erickson y Maksimović [3] y los temas vistos en la asignatura Electrónica de Potencia de la carrera.

Para el análisis se siguieron los siguientes pasos:

#### Análisis ideal

Obtener las ecuaciones que describen las características principales haciendo uso de componentes ideales.

#### Switch realization

Determinar los dispositivos que se utilizarán de llaves a partir del voltaje y corrientes que tengan que soportar.

#### Análisis con pérdidas en DC

Con los dispositivos ya determinados, se repite el análisis como en el primer paso pero contemplando los elementos resistivos de pérdidas.

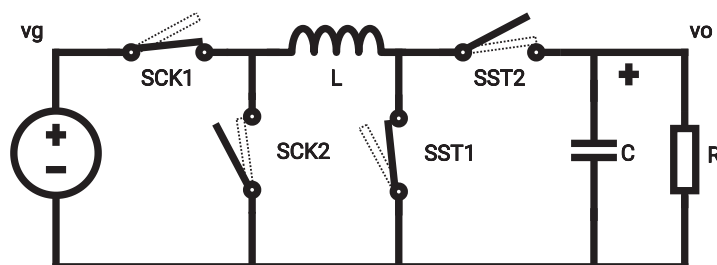
#### Pérdidas en AC

Determinar cuáles son y las ecuaciones de las pérdidas por conmutación.

Dado que el proceso es similar para las distintas topologías, se presenta en la siguiente sección solo el análisis de la BuckBoost a modo de ejemplo y justificación de criterios. El resto de los análisis se colocan en el Apéndice C.

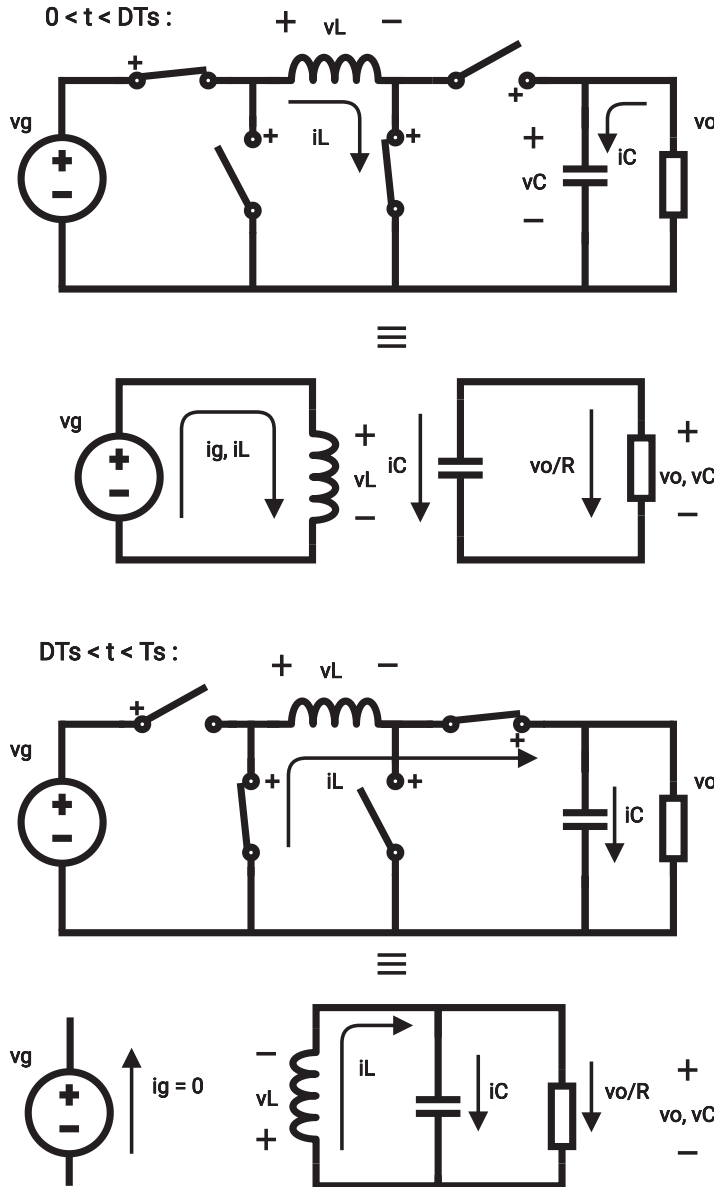
#### BuckBoost

Lo primero que se realizó fue nombrar todos los componentes como se presenta en la Figura 3.2.



**Figura 3.2:** Nombres de los componentes en la BuckBoost. La convención para las llaves: primera S marca que es un Switch, el número denota el semiciclo 1 o 2, y ST para la sección BooST y CK para la sección BuCK.

Asumiendo componentes ideales, se dividió en los intervalos dado el ciclo de trabajo. De  $t$  entre 0 y  $DT_S$  para el primer semiciclo y para el segundo semiciclo  $t$  entre  $DT_S$  y  $T_S$ .<sup>1</sup> Se representa en la siguientes dos figuras el primer y segundo semiciclo.



1:  $T_S$  es el período total del ciclo y  $D$  es el Duty Cycle (ciclo de trabajo) con  $0 \leq D \leq 1$ .

**Figura 3.3:** BuckBoost ideal primer semiciclo con las llaves conmutadas y el circuito equivalente. Se presentan las ecuaciones de este intervalo para las magnitudes eléctricas

$$v_L = L \frac{di_L}{dt} = v_g$$

$$i_C = C \frac{dv_o}{dt} = -\frac{v_o}{R}$$

$$i_g = i_L$$

y para las llaves

SCK1:  $v = 0; i = i_L$   
 SCK2:  $v = v_g; i = 0$   
 SST1:  $v = 0; i = i_L$   
 SST2:  $v = v_o; i = 0$

**Figura 3.4:** BuckBoost ideal segundo semiciclo. Ecuaciones de este intervalo para las magnitudes eléctricas

$$v_L = L \frac{di_L}{dt} = -v_o$$

$$i_C = C \frac{dv_o}{dt} = -\frac{v_o}{R} + i_L$$

$$i_g = 0$$

y para las llaves

SCK1:  $v = v_g; i = 0$   
 SCK2:  $v = 0; i = -i_L$   
 SST1:  $v = v_o; i = 0$   
 SST2:  $v = 0; i = -i_L$

Para resolver las ecuaciones y hallar los valores en continua es necesario asumir que el circuito se encuentra en *estado estacionario*. Esto significa que la energía presente al principio del ciclo es la misma al final. Para el caso de un inductor la energía se puede expresar como:

$$E_L = \frac{1}{2}Li_L^2$$

y para el capacitor de la siguiente manera:

$$E_C = \frac{1}{2}Cv_C^2$$

El delta de energía entre el tiempo 0 a  $T_s$  para el inductor se puede deducir como:

$$\begin{aligned}\Delta E_L &= E_{LT_s} - E_{L0} \\ \Delta E_L &= \frac{1}{2}Li_{LT_s}^2 - \frac{1}{2}Li_{L0}^2 \\ \Delta E_L &= \frac{1}{2}L \left( i_{LT_s}^2 - i_{L0}^2 \right)\end{aligned}$$

y para el capacitor como:

$$\begin{aligned}\Delta E_C &= E_{CT_s} - E_{C0} \\ \Delta E_C &= \frac{1}{2}Cv_{CT_s}^2 - \frac{1}{2}Cv_{C0}^2 \\ \Delta E_C &= \frac{1}{2}C \left( v_{CT_s}^2 - v_{C0}^2 \right)\end{aligned}$$

Para que ambos deltas sean 0, en el caso del inductor las corrientes inicial y final tienen que ser iguales y para el capacitor los voltajes inicial y final tienen que ser iguales. El delta de corriente para un inductor se puede expresar como la integral del voltaje:

$$\int_0^{T_s} v_L dt = \Delta i_L \quad (3.1)$$

y para el capacitor la integral de la corriente resulta en el delta de voltaje:

$$\int_0^{T_s} i_C dt = \Delta v_C \quad (3.2)$$

Asumir que 3.1 y 3.2 son iguales a 0 se lo conoce como balance volt-segundo y balance de carga, respectivamente.

Teniendo las correspondientes ecuaciones de estas magnitudes de las Figuras 3.3 y 3.4 se presentan el balance volt-segundo:

$$\int_0^{T_s} v_L dt = 0 \quad (3.3)$$

$$\int_0^{DT_s} v_g dt - \int_{DT_s}^{T_s} v_o dt = 0 \quad (3.4)$$

y el balance de carga:

$$\int_0^{T_s} i_C dt = 0 \quad (3.5)$$

$$\int_0^{DT_s} -\frac{v_o}{R} dt + \int_{DT_s}^{T_s} -\frac{v_o}{R} + i_L dt = 0 \quad (3.6)$$

Para resolver estas ecuaciones resulta útil hacer lo que se denomina *Small Ripple Approximation* (SRA), aproximación de pequeño ripple.<sup>2</sup> Ésta consiste en asumir que el ripple es mucho más chico que el valor de la magnitud de interés, lo que permite asumir a estas magnitudes como continuas. Por ejemplo,  $v_o$ ,  $v_g$  e  $i_L$  pasan a ser continuas, expresadas como  $V_o$ ,  $V_g$  e  $I_L$ , y se pueden extraer de la integral quedando para la Ecuación 3.4:

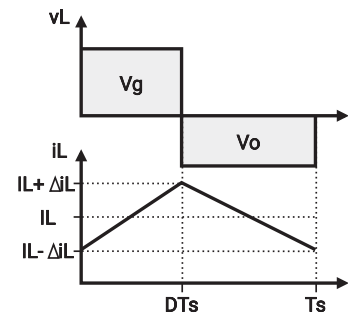
$$\begin{aligned} V_g \int_0^{DT_s} dt - V_o \int_{DT_s}^{T_s} dt &= 0 \\ V_g D T_s - V_o(1 - D) T_s &= 0 \\ V_o(1 - D) &= V_g D \\ \frac{V_o}{V_g} &= \frac{D}{1 - D} \end{aligned} \quad (3.7)$$

y para 3.6:

$$\begin{aligned} -\frac{V_o}{R} \int_0^{DT_s} dt + \left(-\frac{V_o}{R} + I_L\right) \int_{DT_s}^{T_s} dt &= 0 \\ -\frac{V_o}{R} D T_s + \left(-\frac{V_o}{R} + I_L\right) (1 - D) T_s &= 0 \\ -\frac{V_o}{R} + I_L(1 - D) &= 0 \\ I_L &= \frac{V_o}{R(1 - D)} \end{aligned} \quad (3.8)$$

Para determinar el ripple de corriente en el inductor se calcula primero el voltaje aplicado durante el ciclo. Sabiendo que la corriente es proporcional a la integral del voltaje se pueden graficar en forma cualitativamente como en la Figura 3.5.

2: En corriente continua, se usó la definición de ripple como el apartamiento del pico al valor medio.



**Figura 3.5:** BuckBoost voltaje y corriente en el inductor. Se sigue asumiendo el balance volt-segundo y SRA para  $v_g$  y  $v_o$ .



Teniendo en cuenta que al inicio del ciclo el valor de corriente es  $I_L - \Delta i_L$ , en tiempo  $t = DT_S$  es igual a  $I_L + \Delta i_L$  y que el voltaje aplicado es  $V_g$  tenemos que:

$$L \frac{di_L}{dt} = V_g$$

$$\frac{di_L}{dt} = \frac{V_g}{L}$$

Asimismo la derivada se puede aproximar como la diferencia entre el valor final menos el inicial de la corriente sobre el tiempo:

$$\frac{di_L}{dt} \approx \frac{(I_L + \Delta i_L) - (I_L - \Delta i_L)}{DT_S - 0} = \frac{V_g}{L}$$

$$2\Delta i_L = \frac{V_g DT_S}{L}$$

y como es más práctico dejarlo expresado en términos de la frecuencia de conmutación  $T_S = 1/f_s$  se tiene que:

$$\Delta i_L = \frac{V_g D}{2L f_s} \quad (3.9)$$

Para el ripple en el capacitor se repite el proceso pero en forma dual, se reemplazan corrientes por voltajes y viceversa.

Observando la Figura 3.6 se plantea para el primer semiciclo:

$$C \frac{dv_o}{dt} = -\frac{V_o}{R}$$

$$\frac{dv_o}{dt} = -\frac{V_o}{RC}$$

se aproxima la derivada:

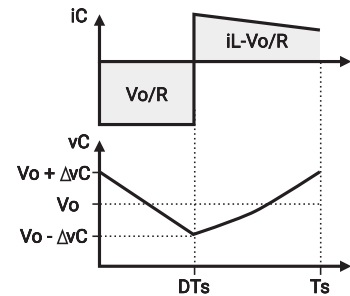
$$\frac{dv_o}{dt} \approx \frac{(v_o - \Delta v_C) - (v_o + \Delta v_C)}{DT_S - 0} = -\frac{V_o}{RC}$$

$$2\Delta v_C = \frac{V_o D}{RC f_s}$$

expresado en función de  $V_g$  con  $V_o = V_g D / (1 - D)$  y  $\Delta v_C = \Delta v_o$ :

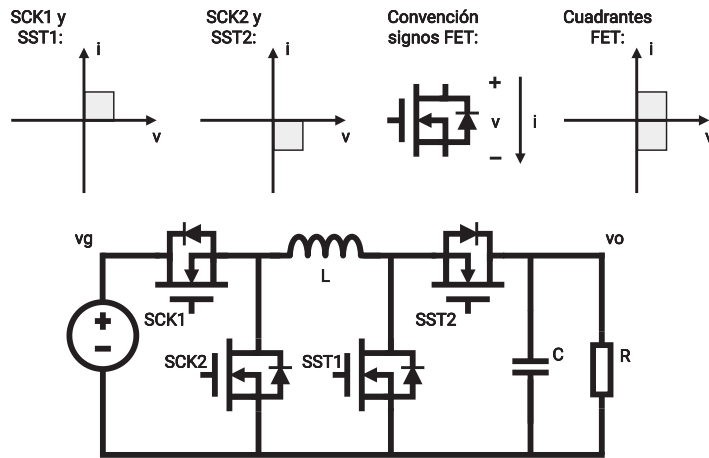
$$\Delta v_o = \frac{V_g D^2}{2(1 - D)RC f_s} \quad (3.10)$$

Para analizar las pérdidas es necesario conocer qué dispositivos se van a usar para las llaves. Se procedió con *switch realization* para determinar qué tipos de llaves son necesarias. Esto se hace inspeccionando los sentidos de las corrientes y los signos de



**Figura 3.6:** BuckBoost corriente y voltaje en el capacitor. Se sigue asumiendo el balance de carga y SRA para  $v_o$  pero no para  $i_L$ .

los voltajes aplicados para determinar los tipos de llaves que conduzcan esas corrientes y bloqueen esos voltajes.



**Figura 3.7:** BuckBoost Switch Realization. A partir de los análisis en las Figuras 3.3 y 3.4 se determinaron los voltajes que bloquean y las corrientes que conducen las llaves. Todas bloquean voltajes positivos y las 1 conducen positivo mientras que las 2 conducen negativo. Después se presenta un dispositivo FET con su convención de signos y sus dos cuadrantes. Por último se muestra debajo la BuckBoost con las llaves reemplazadas por estos dispositivos en forma acorde.

De la Figura 3.7 se determinó qué dispositivos FET (Field Effect Transistor) pueden ser utilizados porque bloquean voltajes positivos y conducen en ambos sentidos. Las tecnologías más populares descritas en términos generales son:

#### **MOS (Metal Oxide Semiconductor)**

La más difundida, tiene prestaciones de toda gama.

#### **GaN (Gallium Nitrate)**

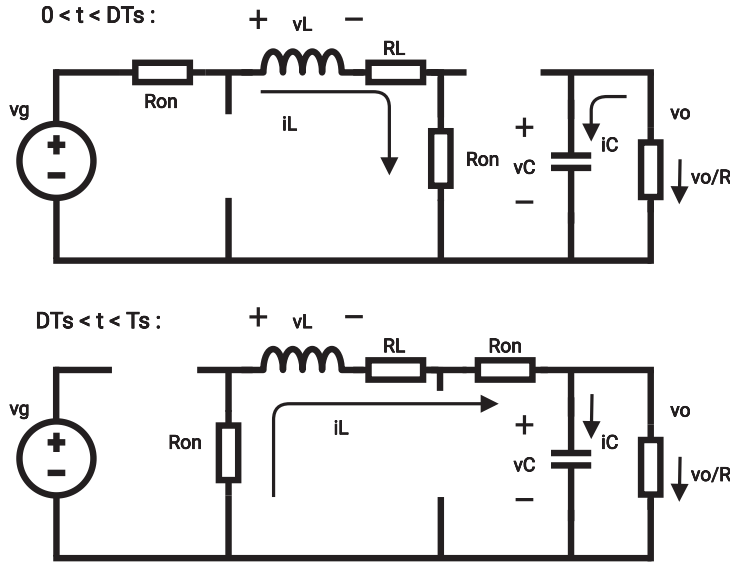
Con prestaciones medias pero ofrece muy bajas pérdidas por conmutación.

#### **SiC (Silicon Carbide)**

Con altas prestaciones pero con pérdidas elevadas.

A partir de ahora, siempre que se mencione transistores en este informe se puede asumir que se está haciendo referencia a un dispositivo FET.

Determinadas las llaves se puede proceder al análisis con *pérdidas de conducción*. Los transistores cuando se encuentran encendidos presentan una resistencia serie  $R_{on}$  que será considerada junto con la resistencia serie del inductor  $R_L$ . Se realizó el mismo análisis como en el caso ideal dividiendo en dos intervalos.



**Figura 3.8:** BuckBoost análisis con pérdidas en DC. Para el primer intervalo  $0 \leq t \leq DT_s$

$$v_L = L \frac{di_L}{dt} = v_g - i_L(R_L + 2R_{on})$$

$$i_C = C \frac{dv_o}{dt} = -\frac{v_o}{R}$$

$$i_g = i_L$$

y para el segundo  $DT_s < t \leq T_s$

$$v_L = L \frac{di_L}{dt} = -v_o - i_L(R_L + 2R_{on})$$

$$i_C = C \frac{dv_o}{dt} = -\frac{v_o}{R} + i_L$$

$$i_g = 0$$

Nuevamente se plantean los balances y SRA.

$$\int_0^{T_s} v_L dt = 0$$

$$\int_0^{DT_s} v_g - i_L(R_L + 2R_{on}) dt + \int_{DT_s}^{T_s} -v_o - i_L(R_L + 2R_{on}) dt = 0$$

$$\int_0^{DT_s} V_g - I_L(R_L + 2R_{on}) dt + \int_{DT_s}^{T_s} -V_o - I_L(R_L + 2R_{on}) dt = 0$$

$$[V_g - I_L(R_L + 2R_{on})] \int_0^{DT_s} dt - [V_o + I_L(R_L + 2R_{on})] \int_{DT_s}^{T_s} dt = 0$$

$$[V_g - I_L(R_L + 2R_{on})]D T_s - [V_o + I_L(R_L + 2R_{on})](1 - D) T_s = 0$$

$$[V_g - I_L(R_L + 2R_{on})]D - [V_o + I_L(R_L + 2R_{on})](1 - D) = 0$$

$$V_g D - V_o(1 - D) - I_L(R_L + 2R_{on}) = 0 \quad (3.11)$$

$$\int_0^{T_s} i_C dt = 0$$

$$-\int_0^{DT_s} \frac{v_o}{R} dt + \int_{DT_s}^{T_s} -\frac{v_o}{R} + i_L dt = 0$$

$$-\int_0^{DT_s} \frac{V_o}{R} dt + \int_{DT_s}^{T_s} -\frac{V_o}{R} + I_L dt = 0$$

$$-\frac{V_o}{R} \int_0^{DT_s} dt + \left(-\frac{V_o}{R} + I_L\right) \int_{DT_s}^{T_s} dt = 0$$

$$-\frac{V_o}{R} D T_s + \left(-\frac{V_o}{R} + I_L\right) (1 - D) T_s = 0$$

$$-\frac{V_o}{R} + I_L(1 - D) = 0$$

$$I_L = \frac{V_o}{R(1-D)} \quad (3.12)$$

Se sustituye  $I_L$  en 3.11

$$\begin{aligned} V_g D - V_o(1-D) - \frac{V_o}{R(1-D)}(R_L + 2R_{on}) &= 0 \\ -V_g D + V_o(1-D) + \frac{V_o}{R(1-D)}(R_L + 2R_{on}) &= 0 \\ V_o \left[ (1-D) + \frac{R_L + 2R_{on}}{R(1-D)} \right] &= V_g D \\ V_o \frac{R(1-D)^2 + R_L + 2R_{on}}{R(1-D)} &= V_g D \\ \frac{V_o}{V_g} &= \frac{DR(1-D)}{R(1-D)^2 + R_L + 2R_{on}} \\ \frac{V_o}{V_g} &= \frac{D}{(1-D)} \frac{R(1-D)^2}{R(1-D)^2 + R_L + 2R_{on}} \end{aligned} \quad (3.13)$$

Para los ripples se decidió seguir usando las expresiones para el caso ideal. Lo cual da un valor cuadrático medio (RMS) de la corriente, con forma triangular, en el inductor de:

$$I_{LRMS} = \sqrt{I_L^2 + \Delta i_L^2/3} \quad (3.14)$$

Las pérdidas por conducción se pueden expresar como el valor de las resistencias del circuito multiplicadas por el valor cuadrático medio de corriente al cuadrado:

$$P_{cond} = I_{LRMS}^2 (R_L + 2R_{on}) \quad (3.15)$$

Se procede a describir las *pérdidas por conmutación*. Hay distintos tipos porque se producen por distintos fenómenos y dentro de un mismo dispositivo se solapan al momento de conmutar. Se asumió la simple superposición de todos los efectos a fin de simplificar el análisis. Se analizó cada una y luego se las adicionó algebraicamente para calcular las pérdidas totales. Se contemplaron cuatro pérdidas distintas y todas debidas a los transistores. Las pérdidas por conmutación en el inductor no se contemplaron en esta etapa de diseño, pero serán calculadas cuando se cuente con un diseño preliminar.

### Driver

Para conmutar las llaves se utiliza un circuito llamado *gate driver*, y la potencia que debiese aportar este circuito es llamada pérdida por driver. En este trabajo no se diseñó ni determinó un gate driver comercial a utilizar, sin embargo es necesario contemplar de alguna manera la potencia que

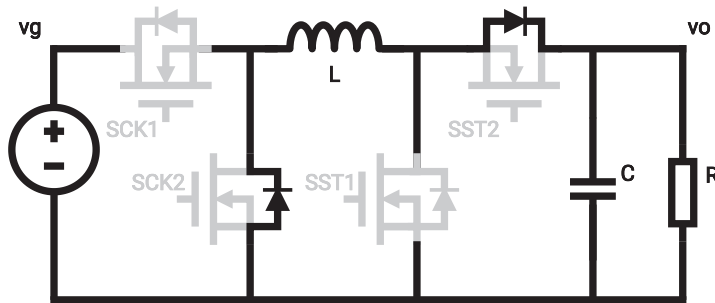
deberá aportar, para en un futuro trabajo poder diseñarlo o seleccionar un componente comercial. Esta pérdida se asocia y calcula con la carga necesaria para encenderlo del siguiente modo:

$$P_{drv} = 4V_{drv}Q_g f_s \quad (3.16)$$

donde  $V_{drv}$  es el voltaje aplicado de gate a source, en este caso idéntico para todos los transistores, y  $Q_g$  es la carga inyectada al gate del transistor. La multiplicación  $V_{drv}Q_g$  da la energía necesaria para encender un transistor, teniendo cuatro transistores, se multiplica por cuatro. Para la pérdida en tiempo, la potencia, se lo multiplica por la frecuencia de trabajo  $f_s$ .

### Dead Time

Cuando se conmutan los transistores también se alternan cuáles están conducción y cuáles abiertos, pero este proceso no es instantáneo. Es posible tener una ventana de tiempo en la cual estén todos en conducción. Si esto ocurriese se pondrían en cortocircuito los elementos, dañándose, generando pérdidas significativas. Por lo que es necesario dejar entre semiciclos un tiempo llamado dead time. Si el inductor estuviese conduciendo, continúa en este tiempo la corriente conducida por los diodos de sustrato, por lo que las pérdidas se deben a estos elementos. En este caso, en este dead time solo conducen los diodos de los transistores SCK2 y SST2. En la Figura 3.9 se presenta el estado del circuito durante este tiempo.



**Figura 3.9:** Circuito equivalente de la BuckBoost durante el dead time cuando todos los transistores son apagados (en gris) pero conducen los diodo de SCK2 y SST2 la corriente del inductor.

Entonces se puede calcular la pérdida como:

$$P_{DT} = 2V_f I_L t_d f_s \quad (3.17)$$

donde  $V_f$  es el voltaje de forward del diodo y  $t_d$  es el tiempo muerto.

### Reverse Recovery

En la pérdida anterior se describió que durante el dead ti-

me los diodos de sustrato de las llaves 2 (SCK2 y SST2) conducen la corriente  $I_L$ . En conducción los diodos en su juntura tienen cargas acumuladas. Cuando finaliza el dead time del semiciclo 2, las llaves 1 (SCK1 y SST1) conmutan a encendido. Las cargas de los diodos que estaban en conducción deben ser agotadas para apagarlos. Ese agotamiento de cargas se traduce a una corriente que debe circular por los transistores SCK1 y SST1 que se suma a la corriente del inductor. En la Figura 3.10 se ilustra la señal de control y las corrientes en las llaves.

Durante este tiempo los voltajes aplicados sobre SCK1 y SST1 no son cero, son  $V_g$  y  $V_o$  respectivamente. Por lo tanto, estas pérdidas se pueden expresar como:

$$P_{rr} = (V_g + V_o)(I_L t_{rr} + Q_{rr})f_s \quad (3.18)$$

donde  $Q_{rr}$  es la carga a agotar y  $t_{rr}$  es el tiempo que lleva este proceso.

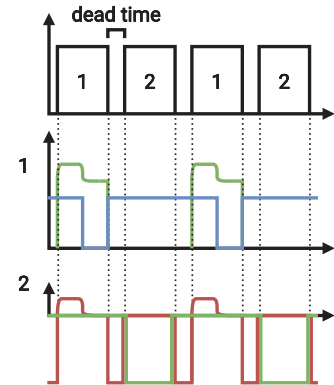
### Capacidades

En términos simples, el transistor apagado se puede ver como un capacitor, que sometido al voltaje que bloquea, se carga. Cuando se enciende el transistor, se pone en cortocircuito este capacitor cargado, lo que produce su descarga. Las pérdidas debidas a capacidades se asocian a la potencia utilizada en este proceso de carga y descarga. Se presenta en la Figura 3.11 el modelo de capacidades usado.

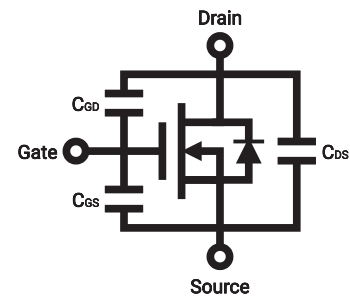
Los voltajes a los que se someten los transistores cuando se encuentran apagados cargan sus capacitores  $C_{GD}$  y  $C_{DS}$  en paralelo. La suma de estas capacidades se conoce como  $C_{oss}$ . No necesariamente son desperdiciadas estas cargas. Por ejemplo, cuando finaliza el primer semiciclo están cargados los capacitores de SCK2 y SST2, antes de encenderlos durante el dead time, estas cargas son descargadas por la corriente del inductor y por lo tanto son utilizadas en forma útil y no son consideradas como pérdidas. No pasa lo mismo con los capacitores de SCK1 y SST1 que se cargan durante el segundo semiciclo, durante el dead time siguiente no se descargan y lo hacen cuando se encienden SCK1 y SST1, por lo que se pierden. Y de lo anterior se deducen las pérdidas como:

$$P_{QC} = \frac{1}{2} C_{oss} (V_g^2 + V_o^2) f_s \quad (3.19)$$

que es la energía acumulada por cada capacitor por ciclo. Estas capacidades no son lineales, para distintos voltajes



**Figura 3.10:** BuckBoost Reverse Recovery. Arriba se presentan las señales de control para el primer y segundo semiciclo. Debajo en verde la corriente conducida por los transistores, en rojo la conducida por los diodos de sustrato y en azul se presenta el voltaje bloqueado por los transistores SCK1 y SST1. Este gráfico es ilustrativo y no está a escala.



**Figura 3.11:** Modelo de un transistor FET. Incluye el propio transistor, el diodo de sustrato y las capacidades.

tienen distintos valores, especialmente  $C_{GD}$ . Hay métodos para calcular capacidades equivalentes o para computar directamente estas pérdidas, por ejemplo en [1] se explica tal metodología. En este trabajo no se optó por ninguna consideración particular en esta etapa de diseño. Esto se hizo siguiendo la línea de primero buscar soluciones de la forma más sencilla y práctica posible. Si no hubiese resultado válido el modelo propuesto, se ajustaría modelando esta alinealidad en forma de ecuaciones.

[1]: Costinett et al. (2015), «Circuit-Oriented Treatment of Nonlinear Capacitances in Switched-Mode Power Supplies»

## Resumen y comparación

Como se había mencionado, excepto la BuckBoost, todas las deducciones se realizan en el Apéndice C. En la Tabla 3.1 se resumen todas las características de los casos ideales y se observa que las prestaciones de la BuckBoost y la SEPIC son comparables tal como se esperaba.

**Tabla 3.1:** Tabla características ideales.

Característica	BuckBoost	Buck	Boost	SEPIC
$M(D) = V_o/V_g$	$\frac{D}{1-D}$	$D$	$\frac{1}{1-D}$	$\frac{D}{1-D}$
$V_{C1}$	-	-	-	$V_g$
$\Delta v_{C1}$	-	-	-	$\frac{D^2}{1-D} \frac{V_g}{RC_1 f_s}$
$\Delta v_o = \Delta v_{C2}$	$\frac{V_g D^2}{2(1-D)RC f_s}$	$\frac{V_g(1-D)D}{16LC f_s^2}$	$\frac{V_g D^2}{2(1-D)RC f_s}$	$\frac{V_g D^2}{2(1-D)RC_2 f_s}$
$I_L = I_{L1}$	$\frac{D}{(1-D)^2} \frac{V_g}{R}$	$DV_g/R$	$\frac{1}{(1-D)^2} \frac{V_g}{R}$	$\left(\frac{D}{1-D}\right)^2 \frac{V_g}{R}$
$\Delta i_L = \Delta i_{L1}$	$\frac{V_g D}{2L f_s}$	$\frac{V_g(1-D)D}{2L f_s}$	$\frac{V_g D}{2L f_s}$	$\frac{V_g D}{2L_1 f_s}$
$I_{L2}$	-	-	-	$-\frac{D}{1-D} \frac{V_g}{R}$
$\Delta i_{L2}$	-	-	-	$\frac{V_g D}{2L_2 f_s}$
$I_{L12}$	-	-	-	$\frac{D}{(1-D)^2} \frac{V_g}{R}$

En la Tabla 3.2 se resumen todas las pérdidas.

**Tabla 3.2:** Tabla de pérdidas.

Pérdida	BuckBoost	Buck	Boost	SEPIC
$P_{cond}$	$I_{LRMS}^2(R_L + 2R_{on})$	$I_{LRMS}^2(R_L + 2R_{on})$	$I_{LRMS}^2(R_L + 2R_{on})$	$I_{L1RMS}^2 R_{L1} + I_{L2RMS}^2 R_{L2} + I_{L12RMS}^2 R_{on}$
$P_{drv}$	$4V_{drv}Q_g f_s$	$2V_{drv}Q_g f_s$	$2V_{drv}Q_g f_s$	$2V_{drv}Q_g f_s$
$P_{DT}$	$2V_f I_{Lt} f_s$	$V_f I_{Lt} f_s$	$V_f I_{Lt} f_s$	$V_f I_{L12} f_s$
$P_{rr}$	$(V_g + V_o)(I_{Ltrr} + Q_{rr})f_s$	$V_g(I_{Ltrr} + Q_{rr})f_s$	$V_o(I_{Ltrr} + Q_{rr})f_s$	$V_o(I_{L12trr} + Q_{rr})f_s$
$P_{QC}$	$\frac{1}{2}C_{oss}(V_g^2 + V_o^2)f_s$	$\frac{1}{2}C_{oss}V_g^2 f_s$	$\frac{1}{2}C_{oss}V_o^2 f_s$	$\frac{1}{2}C_{oss}(V_o + V_g)^2 f_s$

Todas las siguientes comparaciones se realizan asumiendo componentes idénticos entre las topologías. De la Tabla 3.2 se observa que la SEPIC tendría la mayor pérdida por conducción y la de capacidades. La BuckBoost es la peor en términos de pérdidas por driver, dead time y reverse recovery. Si funciona en Multi Mode, tanto en Buck como Boost, se vuelve comparable a la SEPIC.

En la Tabla 3.3 se presentan los valores que deberían tolerar los distintos transistores en las distintas topologías.

Topología	Transistor	Voltaje	Corriente
BuckBoost	SCK1	$V_g$	$I_{LRMS}$
	SCK2	$V_g$	$I_{LRMS}$
	SST1	$V_o$	$I_{LRMS}$
	SST2	$V_o$	$I_{LRMS}$
SEPIC	S1	$V_g + V_{C1}$	$I_{L12RMS}$
	S2	$V_o + V_{C1}$	$I_{L12RMS}$

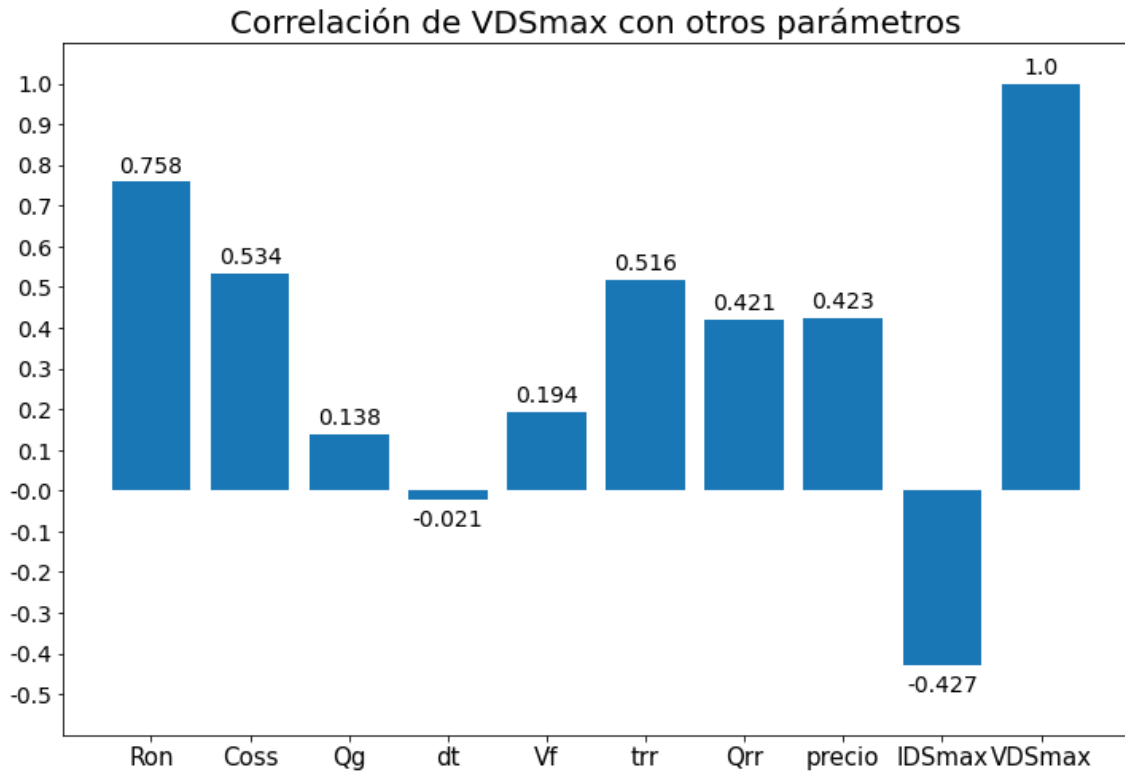
**Tabla 3.3:** Tabla de valores máximos.

Es de esta tabla que surge la observación que para el caso de seleccionar la topología SEPIC los transistores tendrían que soportar la suma de voltajes comparado con la BuckBoost. Por lo general, a medida que la tolerancia en voltaje se incrementa también aumentan las otras fuentes de pérdida. Más adelante se explica cómo se construye la base de conocimiento de transistores, pero para ilustrar esta consideración, se presenta en la Figura 3.12 la correlación<sup>3</sup> entre voltaje máximo soportado de drain a source (VDSmax) con otros parámetros, incluyendo el precio, en un conjunto de 101 modelos de transistores.

3: El coeficiente de correlación de Pearson entre una variable  $x$  y otra  $y$ :

$$r_{xy} = \frac{\sum(x_i - \bar{x})(y_i - \bar{y})}{\sqrt{\sum(x_i - \bar{x})^2 \sum(y_i - \bar{y})^2}}$$





**Figura 3.12:** Correlación entre VDSmax y otros parámetros. Donde correlación 1 significa una relación uno a uno, por eso VDSmax consigo misma tiene ese valor. También se destaca que IDSmax tiene una correlación de -0.427, que significa que la tolerancia de corriente de conducción disminuye a medida que la tolerancia en voltaje aumenta.

Dado este análisis, se descartó la SEPIC para directamente utilizar la BuckBoost. Solo se construyó la segunda en la KB. No se niega que a futuro, con otros componentes, en determinados puntos de operación, la SEPIC fuese más eficiente. Para este caso particular, que es un análisis de diseño, la BuckBoost aplica como una solución más general y, por lo tanto, prevaleció como candidata sobre la SEPIC.

## Programación

Las ecuaciones de la BuckBoost SM fueron instanciadas en una *clase*<sup>4</sup> que toma para inicializar los valores de los componentes seleccionados junto con el punto de operación y, cuando es requerido, retorna los resultados de las ecuaciones. Las tres características que se definen como especificación son la eficiencia ( $\eta$ ), el ripple de corriente en el inductor ( $\Delta i_L$ ) y el ripple de voltaje en el capacitor ( $\Delta v_o$ ).

4: Se trata de un paquete de datos y funcionalidades que permite generar múltiples objetos del mismo tipo.

### 3.5. Sección implícita

#### General

Habiendo analizado los conversores y determinado los componentes se construyó la sección implícita. Para tabular los datos, cada componente tiene su propio archivo de tipo CSV<sup>5</sup> que se organizó con un encabezado para determinar características de cada parámetro (nombre, tipo, prefijo de unidades, unidades), una columna por cada parámetro considerado y una fila por cada componente listado. Se agregó una columna MODEL para que se use como índice de búsqueda. Los componentes tabulados fueron capacitor, frecuencia, inductor y transistor. Cada tabla cuenta con un encabezado de cinco filas con el siguiente orden: nombre del parámetro, tipo de variable del parámetro, prefijo de las unidades y la unidad.

5: Comma Separated Values (Valores Separados por Coma)

#### Capacitor

Se tabularon los valores de capacidad estándar. Como ejemplo se colocan algunos componentes listados. El total es de 90 capacitores.

**Tabla 3.4:** Tabla capacitor.

MODEL	C
str	float
str	u
str	F
C01	0.1
C015	0.15
C022	0.22
...	
C22000	2200

#### Frecuencia

Se tabularon las frecuencias desde 10 kHz hasta 1 MHz dando un total de 221 opciones. En la Figura 3.13 se presenta la distribución de frecuencias. El paso entre las frecuencias de 10 y 100 kHz es de 1 kHz, entre 100 y 500 kHz de 5 kHz, y entre 500 y 1000 kHz es de 10 kHz.

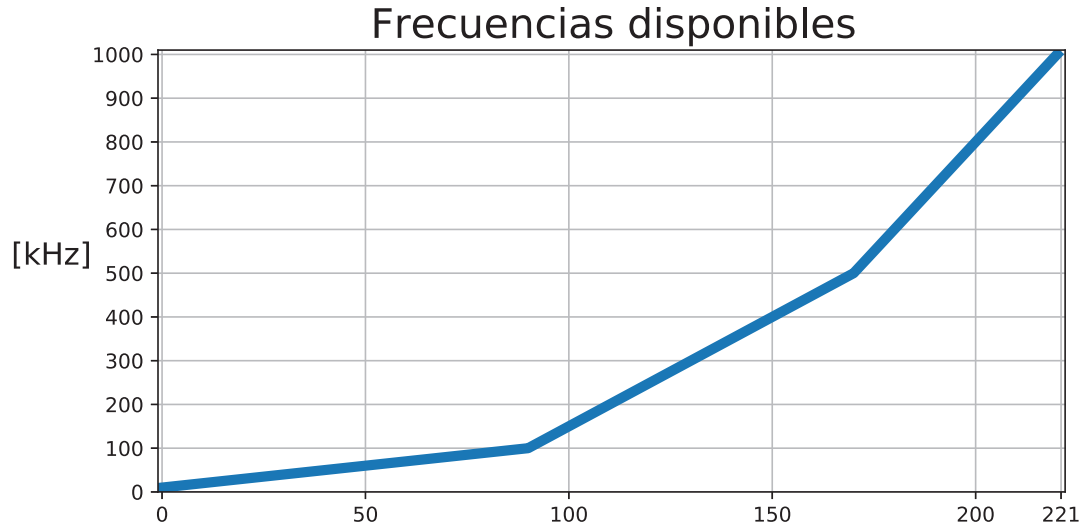


Figura 3.13: Frecuencias disponibles.

## Inductor

El software LTSpice, que fue luego usado para algunas simulaciones de circuitos, cuenta con una biblioteca de inductores comerciales. Se tomó esta lista y se filtraron aquellos cuya corriente de saturación<sup>6</sup> sea superior a la que tendrían que soportar. La corriente calculada es de aproximadamente 30 A, dejando un margen prudencial se colocaron los que saturan por encima de 45 A, inclusive. Los valores relevantes son la inductancia L y la resistencia serie RL, el resto de los valores provistos en la biblioteca de LTSpice no fueron retirados del archivo aunque no fuesen utilizados.

6: corriente a la cual el núcleo satura por el campo magnético y en consecuencia la inductancia cae significativamente.

Tabla 3.5: Tabla inductor.

MODEL	L	RL	Imax	Rpar	Cpar	mfg
str	float	float	float	float	float	str
str	u	m	A	$\Omega$	p	str
str	H	$\Omega$	A	$\Omega$	F	str
MA5172	10	20.8	45	942	0	Coilcraft
MA5172-AE	10	22.36	45	942	0	Coilcraft
SRP1770TA-5R6M	5.6	5.8	45	3234	32.785	Bourns, Inc.
...						
7443763540330 WE-HCF	33	6.38	38.9	10324	17.101	Würth Elektronik

La última entrada fue agregada manualmente y los valores son provistos por el fabricante. Más adelante será explicado por qué fue agregada. En total son 242 inductores.

## Transistor

Se realizó una búsqueda paramétrica en el portal de DigiKey.<sup>7</sup> Los filtros fueron elegidos de tal manera que en la búsqueda aparezcan transistores que soporten más de 60 A (el 150 % de la corriente que se espera que conduzcan), 150 V (mayor al 150 % del voltaje que bloquean), no obsoletos, precio menor a 10 dólares.<sup>8</sup> Luego, manualmente se eliminaron algunos transistores que se repetían pero que se ofrecen en distintos encapsulados. Resultaron en total 101 modelos. Con respecto a las distintas tecnologías FET, aplicados los filtros la única tecnología que persistió fue la MOS. Los GaNFET no tienen la misma popularidad, a pesar de prometer altas eficiencias. Los SiCFET son para otro tipo de aplicaciones, alto voltaje altas exigencias, y su precio suele ser acorde a esto.

7: <https://www.digikey.com/>

8: Este filtro por costo se empleó para eliminar transistores de altas prestaciones en su mayor parte. Por ejemplo que soporten altos voltajes y corrientes que estarían sobredimensionados para el proyecto.

**Tabla 3.6:** Tabla transistor.

MODEL str str str	Ron float m Ω	Vgate float V	Ciss float p F	Coss float p F	Crss float p F	Qg float n C
AOK60N30L	42	10	4438	593	38	88
BSC074N15NS5	6	10	3100	770	19	41
BSC093N15NS5	7.9	10	2430	604	15	33
BSC110N15NS5	9	10	2080	515	13	28
		...				
SUP90220E	18	10	1950	170	15	31.6

**Tabla 3.7:** Tabla transistor (continuación).

dt float n s	Rg float Ω	Vf float V	trr float n s	Qrr float n C	VDSmax float V	VGSmax float V	IDSmax float A	Pmax float W
670	25	0.68	320	14500	300	30	60	658
40	3	0.85	29	23	150	20	114	214
40	3	0.88	49	58	150	20	87	139
31	3	0.88	45	46	150	20	76	125
					...			
120	1	0.85	120	910	200	20	64	230

**Tabla 3.8:** Tabla transistor (continuación).

price	series	tech	FET	mfg
float	str	str	str	str
\$	str	str	str	str
4.35	None	MOS	Alpha & Omega Semiconductor Inc.	
5.35	OptiMOS 5	MOS	Infineon Technologies	
3.52	OptiMOS 5	MOS	Infineon Technologies	
3.11	OptiMOS 5	MOS	Infineon Technologies	
2.8	ThunderFET	MOS	...	Vishay Siliconix

## Programación

### General

Dado que los parámetros de los componentes tienen características especiales, como son nombre, unidad, prefijo de unidad y valor, se desarrolló una clase para que resguarde estos datos en forma *inmutable*. También se realizó una clase componente para que agrupe los parámetros de un solo renglón de las tablas antes descriptas. Todos los componentes son luego indexados en *diccionarios*<sup>9</sup> para trabajar con la memoria en lugar de cada vez que se solicite un componente leer los archivos.

9: Clase de datos que indexa mediante claves.

La IA operará navegando en el espacio de los componentes. La interpretación más básica para esto es que cada tabla es un espacio y cada parámetro dentro de ese espacio es una dimensión. Un movimiento en una dimensión significa cambiar el componente actual por el siguiente en el orden del parámetro asociado. Para no calcular el orden cada vez que se requiera una modificación, se lo precalcula y se lo indexa de modo tal que sabiendo el componente actual, qué parámetro y cuál dirección (mayor o menor) se pueda retornar el siguiente componente en esa dimensión.

Bajo la organización antes descripta, cada parámetro se puede tomar como un grado de libertad con dos posibles direcciones. Esto significa que la IA tendría dos potenciales decisiones por parámetro por componente. Si se tienen muchos parámetros, puede ocurrir algo conocido como *curse of dimensionality*, en este caso, una explosión de decisiones posibles. Por ejemplo, el transistor tiene en total 7 parámetros relevantes para el diseño, dando 14 decisiones posibles. Para mitigar este problema se propuso reducir las dimensiones de 7 a 2 para el transistor usando redes neuronales.

### Introducción a Redes Neuronales

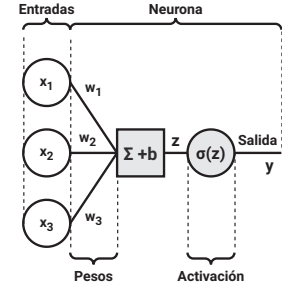
Esta tecnología fue utilizada tanto para reducir la dimensionalidad de los transistores como para la IA en el Capítulo 4, por lo que se presenta una breve introducción en esta sección.

Una red neuronal es un tipo de estimador no lineal que utiliza neuronas artificiales como bloques fundamentales. Una neurona artificial es un unidad de procesamiento que generalmente tiene múltiples entradas y una salida. Las entradas se ponderan y se suman, ese resultado pasa por una función no lineal llamada *activación* y esa es la salida. Se presenta un diagrama de una neurona artificial en la Figura 3.14. El proceso de entrenar una neurona, y por extensión una red neuronal, consiste en ajustar los pesos que ponderan la suma de las entradas para obtener una salida deseada.

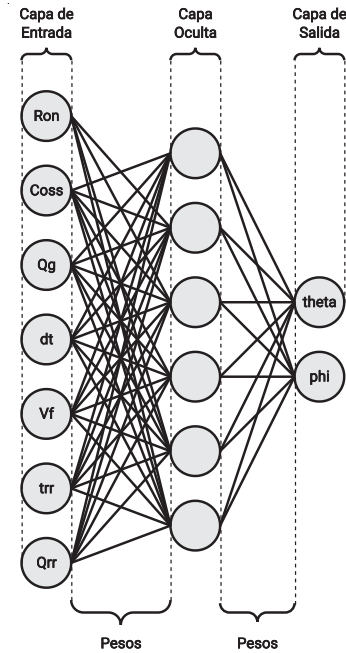
Estas neuronas, por lo general, se interconectan estructuralmente en *capas*. Estas capas se denominan: *entrada*, *ocultas* y *salida*. En la Figura 3.15 se muestra el diagrama de la red usada para reducir la dimensionalidad de los transistores. Las entradas son las 7 dimensiones originales y las 2 salidas de esta red son las nuevas dimensiones para los transistores. En la siguiente sección se explica el algoritmo que se utilizó para entrenar esta red neuronal.

### Proyección de transistores

Se supuso lo siguiente: si se interpretan los valores numéricos de un modelo como un vector, modelos parecidos son más cercanos entre sí en 7 dimensiones que con modelos muy distintos. Entonces, para ordenarlos en 2 dimensiones, se propone conservar las distancias de cada modelo con todos los demás de 7 a 2 dimensiones. Es imposible que se conserven las distancias, pero es útil para definir el error a minimizar de la proyección. Se presenta un diagrama del algoritmo en la Figura 3.16.



**Figura 3.14:** Diagrama de una neurona artificial. Donde:  $x_1, x_2$  y  $x_3$  son las entradas,  $w_1, w_2$  y  $w_3$  los pesos,  $\Sigma + b$  el sumador,  $b$  es termino llamado *bias*,  $z = x_1w_1 + x_2w_2 + x_3w_3 + b$  el resultado de la suma,  $\sigma$  la función activación e  $y = \sigma(z)$  la salida. Típicamente en diagramas de redes neuronales, se omiten los nombres de los pesos individuales y el sumador junto con la función activación se contraen en un solo bloque.



**Figura 3.15:** Diagrama de la red neuronal utilizada en la proyección de transistores. Se divide en tres capas de 7, 6 y 2 neuronas interconectadas.

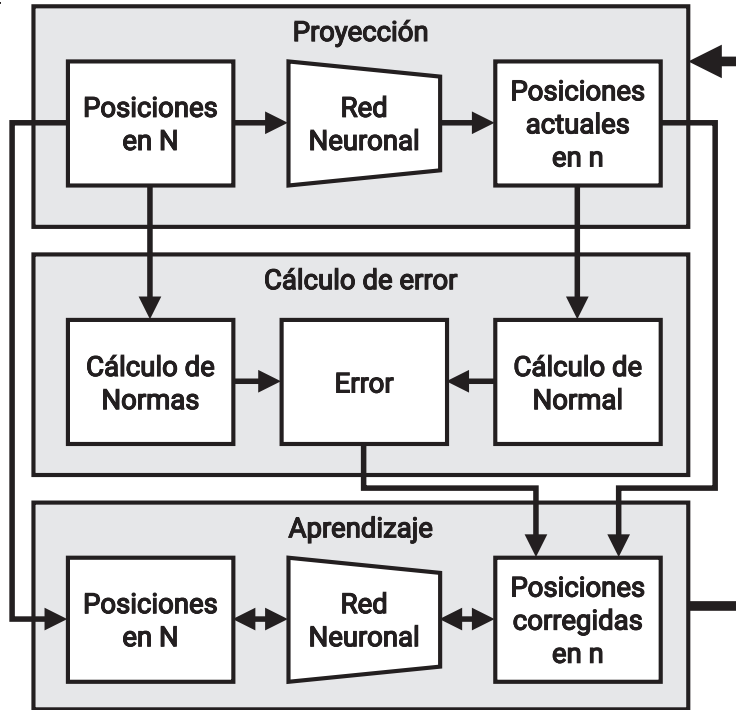


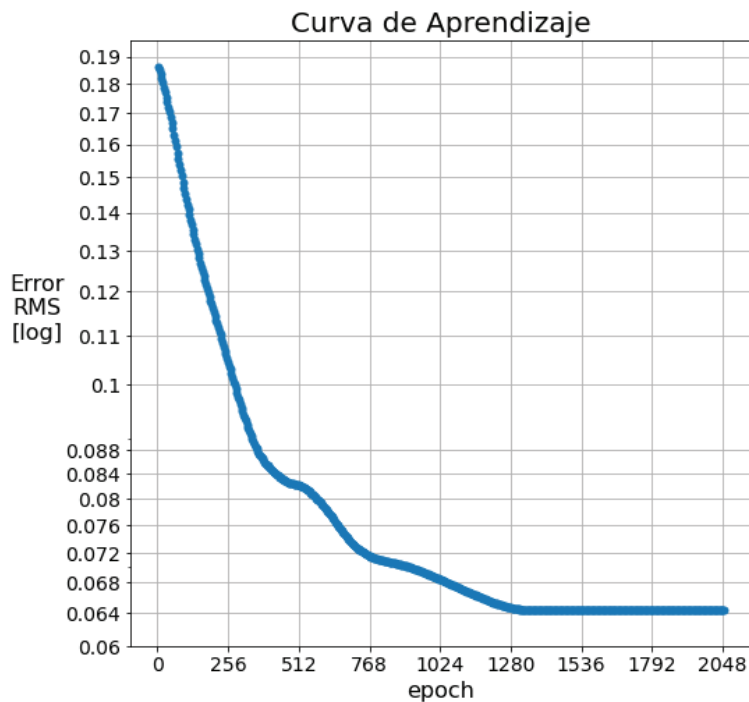
Figura 3.16: Diagrama del algoritmo de proyección para reducir de  $N$  a  $n$  dimensiones.

El algoritmo consiste en tres fases. En la primera se realiza la proyección de  $N$  a  $n$  dimensiones. En la segunda se calcula el error como la diferencia entre las normas en  $N$  y en  $n$ . Con ese error se corrigen las posiciones proyectadas a unas nuevas que minimicen el error. En la última fase se *entrena* por una cantidad de pasos a la *red neuronal* para que proyecte las posiciones en  $N$  originales a las posiciones corregidas en  $n$ . Estas tres fases se realizan tantas veces como sea necesario para minimizar el error, cada iteración por estas tres fases se llama un *epoch*.

Se desconocen precedentes de esta proyección, pero dada la simpleza es probable que existan. Una interpretación, más intuitiva y menos formal, es que la proyección *aplasta* la estructura de transistores de 7 dimensiones a una estructura de 2 dimensiones.

Para entrenar la red neuronal, los pesos de las conexiones se ajustan basándose en un cálculo de error. En el caso de esta proyección, el error es la diferencia entre normas en 7 y 2 dimensiones.

Como se mencionó previamente, se utilizó una red neuronal de 3 capas con cantidad de neuronas 7, 6 y 2. La función activación es la *hard-tanh*<sup>10</sup>. Se usó el optimizador de ADAM [6] con los *hiperparámetros*<sup>11</sup> recomendados en el artículo, excepto por el paso de aprendizaje que se dispuso en 1e-6, con 2048 epochs y un aprendizaje de 512 iteraciones. La curva de aprendizaje puede observarse en la Figura 3.17.



10:

$$htanh(x) = \begin{cases} -1 & x < -1 \\ x & -1 < x < 1 \\ 1 & 1 < x \end{cases}$$

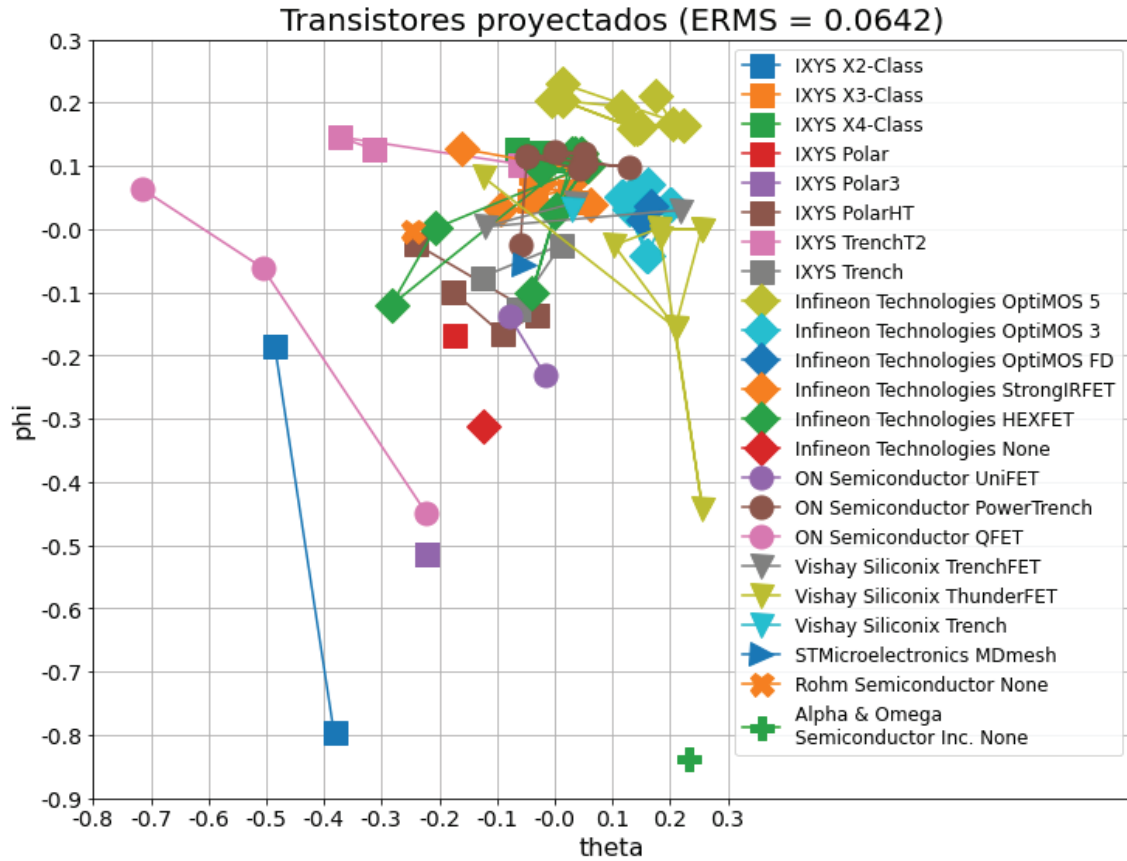
[6]: Kingma et al. (2017), *Adam: A Method for Stochastic Optimization*

11: En la nomenclatura de *machine learning* se denomina de esta forma a los parámetros que regulan el aprendizaje.

**Figura 3.17:** Curva de aprendizaje de la proyección de transistores. Demuestra que se minimizó el error.



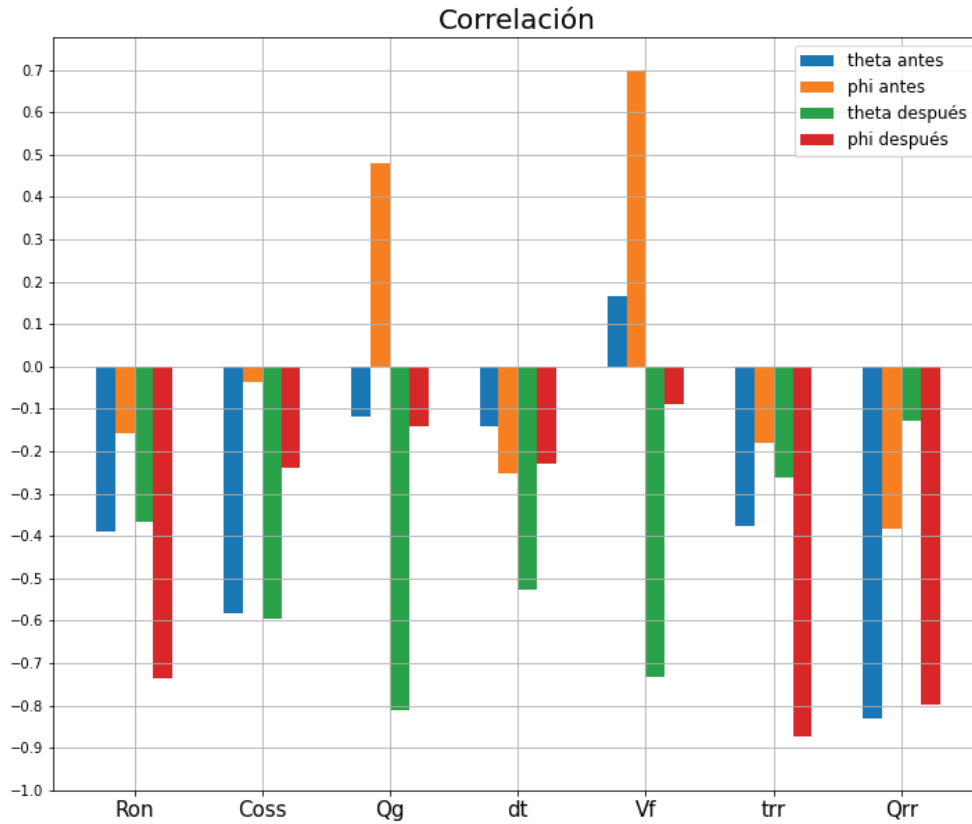
El resultado es la proyección de la Figura 3.18.



**Figura 3.18:** Proyección de transistores. Se distinguen las distintas series ofrecidas por los distintos fabricantes, en caso de no pertenecer a ninguna se clasifica con None.

Luego de que se realizó esta proyección, se indexa en diccionarios los modelos de transistores ordenados con estos 2 parámetros nuevos que se llamaron theta y phi. Se analiza la correlación de estos dos parámetros nuevos con los parámetros originales en la Figura 3.19.

Todos los parámetros originales son fuentes de pérdida y después del entrenamiento todos terminan con correlación negativa con respecto a los nuevos dos parámetros. Por lo tanto, es esperable que los mejores transistores para esta aplicación se encuentren en la esquina superior derecha en el gráfico de la Figura 3.18. Esto emergerá también del *criterio inferido* de la IA una vez que se haya operado. Será demostrado en el capítulo correspondiente a la verificación.



**Figura 3.19:** Correlación entre parámetros theta y phi antes y después de entrenar.

### 3.6. Cierre

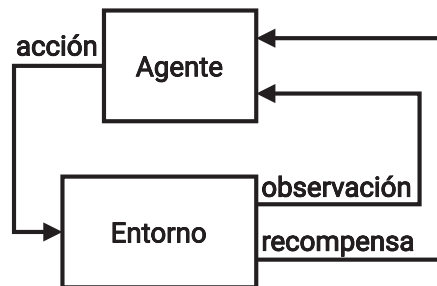
Se describió la clasificación de la KB y los criterios de las secciones explícita e implícita. Para la primera se dedujeron las ecuaciones de los convertidores y se hizo un análisis de ellas. Con este análisis se descartó la SEPIC. Para la implícita se mostró cómo se tabularon los distintos componentes y cómo se redujeron las dimensiones de los transistores. En el siguiente capítulo se describirá la construcción de la IA.

## 4.1. Resumen

En este capítulo se presenta una breve introducción al marco teórico de RL y, a partir de ella, se explican las piezas desarrolladas de la máquina usada junto a cómo se ensamblaron.

## 4.2. Introducción a RL

Se planeó operar con una topología a la vez y que la IA itere cambiando los componentes. De capítulos previos, hay definidas dos entidades: la IA más la KB natural. Una reinterpretación posible es la de *agente-entorno*, que es el modelo básico de la disciplina Reinforcement Learning (RL). Por lo que el desarrollo de la IA se basó en el libro *Reinforcement Learning: An Introduction* de Sutton y Barto [12]. Para ser aplicables los conceptos de RL es necesario saber si el proceso de iterar sobre las listas de componentes se puede expresar como un *Markovian Decision Process* (MDP), Proceso de Decisiones de Markov. Esto consiste en un proceso en el cual encontrándose en un estado  $S$ , se toma una acción  $a$ , se transiciona a un estado  $S'$  y se recibe una recompensa  $R$ . El objetivo central de RL es maximizar la suma total de recompensas. Para ser un MDP es necesario que cuente con la siguiente propiedad: la transición a un estado  $S'$  depende solo del estado presente  $S$  y la acción  $a$ , y no depende de estados y/o acciones previas. Se presenta un diagrama con el modelo agente-entorno en la Figura 4.1.



4.1 Resumen . . . . .	39
4.2 Introducción a RL . . . . .	39
4.3 Entorno . . . . .	40
Decodificación . . . . .	40
Codificación observación	41
Codificación recompensa	42
Control . . . . .	42
4.4 Agente . . . . .	43
Aprendizaje . . . . .	43
Política . . . . .	46
Estimación . . . . .	46
4.5 Ensamble . . . . .	47
4.6 Cierre . . . . .	48

Figura 4.1: Modelo Agente-Entorno, el agente realiza una acción y recibe una observación, que puede ser el estado, y una recompensa.

Se definen entonces las variables utilizadas:

**Acción**

Cambiar un componente de acuerdo a uno de sus parámetros.

**Recompensa**

La diferencia entre la cercanía a especificaciones antes y después de tomar una acción.

**Estado**

Conjunto de valores de componentes actuales y los resultados que arrojen las ecuaciones, lo que previamente se definió como punto de diseño. Con esto ya se cumple MDP, porque estados futuros solo dependen del estado presente.

**Observación**

A partir del estado se obtiene la cercanía a especificaciones y solo esta información se le pasa al agente. Se explica más adelante por qué es más práctico transmitirle esto al agente en lugar del estado completo.

En las siguientes dos secciones, se describe cómo se componen el entorno y el agente, y en la última sección del capítulo se explica el ensamble de la arquitectura.

## 4.3. Entorno

**Decodificación de acciones**

El agente retorna un número que se corresponde a acciones predeterminadas. Este número permite extraer de un diccionario un componente, un parámetro y la dirección a cambiar. El entorno realiza el cambio y retorna el nuevo estado del diseño.

Número de acción	Componente	Parámetro	Paso
0	transistor	theta	-1
1	transistor	theta	1
2	transistor	phi	-1
3	transistor	phi	1
4	capacitor	capacidad	-1
5	capacitor	capacidad	1
6	inductor	inductancia	-1
7	inductor	inductancia	1
8	inductor	resistencia serie	-1
9	inductor	resistencia serie	1
10	frecuencia	frecuencia	-1
11	frecuencia	frecuencia	1
12	frecuencia	frecuencia	-10
13	frecuencia	frecuencia	10

**Tabla 4.1:** Acciones disponibles. El número de acción es lo que el agente entrega al entorno y es éste quien lo traduce a qué componente, qué parámetro y en qué tamaño de paso debe realizar la acción.

### Codificación de observación

La observación que se hizo fue un vector de 4 posiciones. En líneas generales, 3 posiciones corresponden a cada especificación y una al estado general. Si las especificaciones de eficiencia, ripple de voltaje y ripple de corriente se denotan con el vector:

$$\mathbf{S} = (S_\eta, S_{dvo}, S_{dil})$$

la diferencia entre especificaciones y valores actuales se calcula como:

$$\Delta \mathbf{S} = (\eta - S_\eta, S_{dvo} - \Delta v_o/V_o, S_{dil} - \Delta i_L/I_L)$$

siendo la norma de este vector  $\bar{\Delta} \mathbf{S}$ .

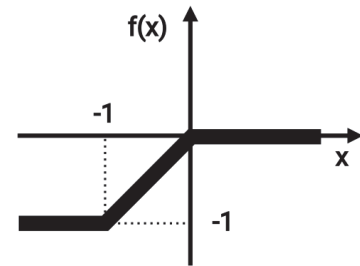
Para el cuarto elemento, a los tres primeros se le aplica la siguiente función:

$$f(x) = \begin{cases} -1 & x < -1 \\ x & -1 < x < 0 \\ 0 & 0 < x \end{cases}$$

y en la Figura 4.2 se presenta su gráfico.

Esta función cumple el trabajo de tornar igual a 0 los elementos que cumplan las especificaciones y por lo tanto ya no interesen cambiar. De estos tres elementos con la función aplicada se obtiene un nuevo vector del cual se extrae su norma:

$$C_{norm} = \|(f(\eta - S_\eta), f(S_{dvo} - \Delta v_o/V_o), f(S_{dil} - \Delta i_L/I_L))\| \quad (4.1)$$



**Figura 4.2:** Función observación. Esta función garantiza no exceder la unidad y cuando se cumple una especificación retornar 0.

Y este es el cuarto elemento de la observación e indica el estado general del diseño. El autor decidió llamarlo *dificultad*. Porque se asumió en una primera aproximación que cuanto mayor es, más alejado se está, y por lo tanto serán necesarios más cambios para llegar a cumplir las especificaciones.

Se define entonces la observación como los tres primeros elementos del vector  $\Delta S$  dividido por su norma  $\bar{\Delta S}$  unido al cuarto elemento  $C_{norm}$ :

$$\mathbf{O} = (\Delta S / \bar{\Delta S}, C_{norm}) \quad (4.2)$$

Cuando los tres primeros elementos dan cero significa que se cumplen las especificaciones. Siendo que está normalizado este vector, se interpreta como un indicador para saber cómo se encuentran las especificaciones entre sí. Y la cuarta posición indica el estado general.

La motivación para hacer este tipo de observación y no el estado completo es para presentar solo la información necesaria para determinar una acción. Por ejemplo, si el ripple de corriente es más alto que el especificado y la eficiencia es alta, en general una decisión puede ser aumentar la frecuencia para disminuir el ripple a costa de reducir la eficiencia. Sin embargo, en esta decisión no se tuvieron en cuenta los valores actuales de las especificaciones ni de los componentes, solo se observaron las diferencias y se asumió que se podía tomar una acción. Esto permite que lo que aprenda el agente sea la *intuición de diseño* y no las decisiones puntuales para cada situación particular.

### Codificación de recompensa

Se calcula  $C_{norm}$  antes y luego de realizar una acción, se restan los dos valores y la diferencia multiplicada por una constante es la recompensa. Si empeora el diseño, la diferencia resultará negativa y penalizará al agente; si mejora sucederá lo contrario. Cuando se cumplen todas las especificaciones el agente recibe una recompensa única de un valor mayor a las que recibe durante el episodio. Estas constantes que se multiplicaron se determinaron durante el proceso de operación y ajuste. Su función es regular el aprendizaje.

### Control

El problema se planteó como episódico. Un episodio es un conjunto de pasos terminando cuando cumpla especificaciones o dada una cantidad de estos. En operación, se realizan múltiples

episodios y al conjunto de episodios se le llamó lote. A cada episodio se le asignó un punto de diseño<sup>1</sup>. Esto se hizo para tener tiempos más predecibles para obtener resultados, lo que ayuda cuando se opera y se ajustan parámetros de la máquina, y también para utilizar múltiples puntos de partida como estrategia general.

1: Del capítulo anterior, se definió como el conjunto de parámetros de componentes seleccionados y los resultantes de las ecuaciones del conversor.

## 4.4. Agente

### Aprendizaje

El aprendizaje se realizó *online*, el agente aprende a medida que va realizando acciones y no solo al final del episodio. En [12] se definen conceptos utilizados en este proyecto, serán presentados en las siguientes subsecciones. Es importante destacar que todos están basados en estados y no observaciones. Para evitar confusión, se puede asumir que estados y observaciones son equivalentes a los efectos prácticos de explicar los conceptos.

### Retorno

El retorno a tiempo  $t$  se define como la suma ponderada de todas las recompensas futuras:

$$G_t = R_{t+1} + \gamma R_{t+2} + \gamma^2 R_{t+3} + \dots = \sum_{k=0}^{\infty} \gamma^k R_{t+k+1}$$

$\gamma$  es el parámetro de *descuento*, cuanto mayor es, más importan las ganancias a futuro, y cuanto menor le da más relevancia a la recompensa inmediata en  $t+1$ . El retorno es la señal recompensa, el objetivo de RL a maximizar.

A partir de la ecuación previa, en [12] se expresa también:

$$G_t = R_{t+1} + \gamma G_{t+1} \quad (4.3)$$

que establece que el retorno en  $t$  es igual a la suma de la recompensa en  $t+1$  más el retorno en  $t+1$  ponderado por  $\gamma$ .

### Política

La política  $\pi(A_t|S_t)$  es la función que dado un estado presente  $S_t$  devuelve la probabilidad de tomar la acción  $A_t$ . Será explicada más adelante la función específica que se utilizó.

### Función estado-valor

Esta función determina el *valor* de encontrarse en un estado particular. Se define como la esperanza del retorno bajo la política  $\pi$  dado que se encuentra en el estado  $s$ :

$$v_{\pi}(s) = \mathbb{E}_{\pi} [G_t | s]$$

En [12] también se define su versión estimada para un estado  $S_t$  en un tiempo  $t$  como:

$$V_{\pi}(S_t) = [G_t | S_t] \quad (4.4)$$

### Función acción-valor

Similar a la función anterior, la función acción-valor determina el valor de tomar una acción en un estado particular. Se define como la esperanza del retorno bajo la política  $\pi$  dado que se encuentra en el estado  $s$  y se toma la acción  $a$ :

$$q_{\pi}(s, a) = \mathbb{E}_{\pi} [G_t | s, a]$$

Como la definición anterior, también en [12] se presenta su versión estimada:

$$Q_{\pi}(S_t, A_t) = [G_t | S_t, A_t] \quad (4.5)$$

A partir de esta función se puede obtener  $V_{\pi}$  sumando todos los retornos posibles ponderados por la probabilidad de tomar todas las acciones:

$$V_{\pi}(S_t) = \sum_a \pi(a | S_{t+1}) Q(S_{t+1}, a) \quad (4.6)$$

La función acción-valor es la más importante, porque de conocerse, es posible en cada estado determinar la acción que maximiza el retorno. Es por esto que el objetivo del aprendizaje del agente es estimar esta función. Se usaron redes neuronales como estimadores, que serán a su vez la KB artificial, porque resguardan en sus pesos la información desarrollada por la máquina.

### Double Expected SARSA

Para poder entrenar las redes neuronales es necesario calcular el error de la estimación del retorno. Si se encuentra en un tiempo  $t + 1$  se puede usar la estimación de este tiempo y la del tiempo



anterior en  $t$  para calcular el error. Se sabe de la ecuación 4.3 que:

$$0 = R_{t+1} + \gamma G_{t+1} - G_t$$

si se estiman los retornos, cualquier diferencia con 0 se puede considerar como el error:

$$\delta = R_{t+1} + \gamma \widehat{G}_{t+1} - \widehat{G}_t$$

No es necesario estimar la recompensa en  $t + 1$  porque necesariamente se tiene que haber recibido en este tiempo. Por este motivo también, los otros datos conocidos son los estados  $S_t$ ,  $S_{t+1}$ , y la acción tomada en  $t$  como  $A_t$ . Esto condiciona a los retornos:

$$\delta = R_{t+1} + \gamma \left[ \widehat{G}_{t+1} | S_{t+1} \right] - \left[ \widehat{G}_t | S_t, A_t \right]$$

Se pueden reemplazar estos retornos por funciones estimadas 4.4 y 4.5:

$$\delta = R_{t+1} + \gamma V_\pi(S_t) - Q_\pi(S_t, A_t)$$

se reemplaza  $V_\pi$  por lo definido en 4.6 quedando el error como:

$$\delta = R_{t+1} + \gamma \sum_a \pi(a|S_{t+1}) Q_\pi(S_{t+1}, a) - Q_\pi(S_t, A_t)$$

Esta ecuación es referida como Expected SARSA en [12]. Definido el error, basándose en el algoritmo de Double Q-learning también descrito en [12] se decidió usar dos estimadores, una red neuronal por cada uno. Este método consiste en usar la estimación de una red neuronal para la política y usar la otra red para estimar los valores de  $Q_\pi$ . Se denota con subíndices 1 y 2 los valores para las correspondientes redes neuronales 1 y 2:

$$\delta_1 = R_{t+1} + \gamma \sum_a \pi_2(a|S_{t+1}) Q_{\pi,1}(S_{t+1}, a) - Q_{\pi,1}(S_t, A_t)$$

$$\delta_2 = R_{t+1} + \gamma \sum_a \pi_1(a|S_{t+1}) Q_{\pi,2}(S_{t+1}, a) - Q_{\pi,2}(S_t, A_t)$$

La motivación de usar dos estimadores es para evitar sesgos de inicialización en las redes. Esto significa que el agente tenga preferencias iniciales por ciertas acciones. En el algoritmo se alterna aleatoriamente cuál red se someterá al entrenamiento en un determinado paso.

Para entrenar las redes neuronales, el agente se inicializa con un *buffer* para guardar la información de cada experiencia. El agente entrena solo cuando se cuenta con un determinado volumen en el *buffer*, que se determina con el *batch*<sup>2</sup> necesario para las redes neuronales. Antes de entrenar por primera vez, selecciona

2: conjunto vectorizado de pares entrada-salida de la red neuronal.

acciones aleatorias. Una vez que entrenó por primera vez, todas las decisiones las toma a partir de la política.

## Política

El agente sigue una política *softmax con temperatura* para tomar acciones donde la probabilidad de tomar la acción  $a_i$  dado el estado  $s$  se calcula del siguiente modo:

$$\pi(a_i|s) = \frac{\exp\frac{Q_{\pi,1}(s,a_i)+Q_{\pi,2}(s,a_i)}{T}}{\sum_j \exp\frac{Q_{\pi,1}(s,a_j)+Q_{\pi,2}(s,a_j)}{T}}$$

El parámetro de temperatura  $T$  permite regular cuan equiprobables son las acciones entre sí. A mayor temperatura, más parecidas son las probabilidades, y a menor temperatura, más dispares las diferencias.

## Estimación con redes neuronales

Se basó principalmente en el libro de Nielsen *Neural Networks and Deep Learning* [9] para el desarrollo de la biblioteca. El desarrollo de ésta fue anterior a este trabajo y en su momento fue un proyecto meramente didáctico que resultó práctico para este trabajo. No se usaron bibliotecas como TensorFlow<sup>3</sup> porque en este caso particular de implementación con bajos volúmenes de datos resultaba ineficiente.

Las arquitecturas utilizadas fueron simples redes neuronales sin optimizadores. La capa de entrada queda definida por el tamaño de la observación (4) y la capa de salida por la cantidad de decisiones disponibles (14). Se usaron regularizaciones L1 y L2 que evitan el sobreajuste y mejoran la generalización.<sup>4</sup>

El aprendizaje se realiza en *batch de descenso por gradiente*. Para la función activación se utilizó la *hard-tanh*, la misma utilizada para la proyección de los transistores, y para motivar exploración se le sumó ruido gaussiano antes de implementar la activación. Lo que se busca con el ruido es garantizar que la red no entre en un *régimen determinístico*. Si la estimación no es determinística la acción considerada óptima, la que ofrezca mayor retorno, varía estocásticamente. Esto hace que se exploren acciones que no se estiman como la mejor. En [12] se explica el dilema entre explotación o exploración, seguir o no el camino óptimo respectivamente.

3: <https://www.tensorflow.org/>

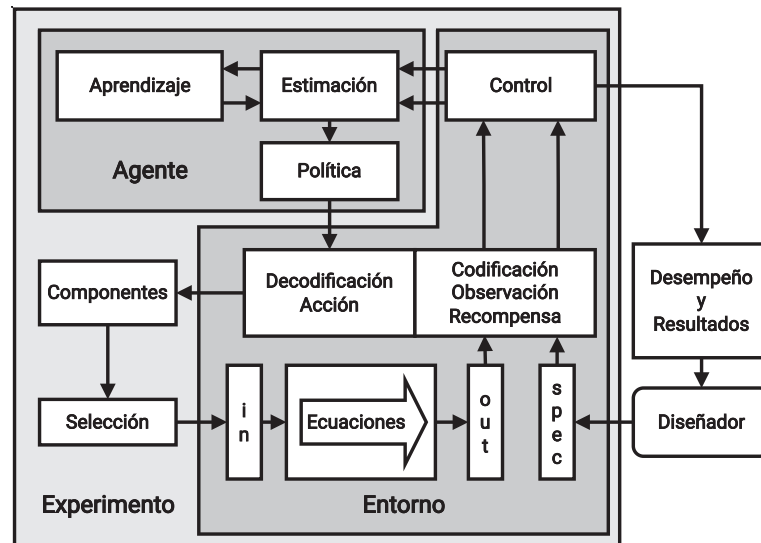
4: Estos regularizadores agregan al error calculado términos relacionados con los pesos de las conexiones entre neuronas. L1 tiende a llevar algunos pesos a cero concentrando la información en pocas conexiones y L2 tiende a reducir el tamaño de los pesos. Las ventajas son demostradas en [9].

Como se mencionó antes, las redes neuronales son la KB artificial. Una de las ventajas es que son extremadamente portables. Con tener solo los valores de las matrices de pesos que las constituyen se pueden reproducir para usar en otros algoritmos.

## 4.5. Ensamble

Para poder dar cohesión a la máquina, se utilizó el *software independiente de lenguaje* RL-Glue de Tanner y White [13]. En términos prácticos, funciona como un protocolo o guía para el armado e intercomunicación del modelo agente-entorno en un experimento. Para este proyecto esta guía se utilizó para programar en Python las clases agente, entorno y RL-Glue.

Se esquematiza la arquitectura planteada en la Figura 4.3



[13]: Tanner et al. (2009), «RL-Glue: Language-Independent Software for Reinforcement-Learning Experiments»

Figura 4.3: Esquema de la arquitectura RL empleada.

Se puede apreciar en la región Experimento la presencia de la KB Natural formada por el conjunto componentes, los seleccionados y las ecuaciones del conversor. La tarea del entorno será actuar de interfaz y control entre el agente y la KB natural. Esto permite cambiar el tipo del agente y la KB natural en forma más independiente. A pesar de funcionar como interfaz, el autor decidió conservar el nombre entorno porque es en esencia todo lo que el agente conoce, es su entorno.

## 4.6. Cierre

Se explicaron los conceptos básicos utilizados de RL y cómo se usaron. Al final del capítulo se detalló el ensamble de la IA. En el siguiente capítulo se presenta la operación de la máquina.

## 5.1. Resumen

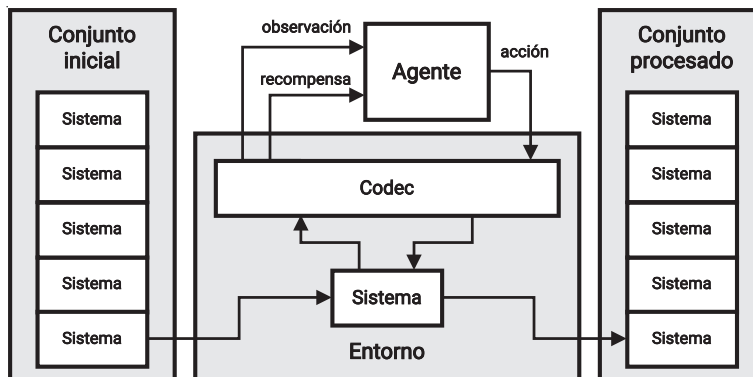
En este capítulo se explica el proceso de operación y la estrategia que se utilizó, se diagrama el algoritmo, se detallan los resultados y se exponen los ajustes realizados.

## 5.2. Proceso

Se agrupa a las ecuaciones y los valores de los componentes seleccionados en un elemento que es llamado *sistema*. Haciendo esto en la arquitectura propuesta en el capítulo anterior este sistema se puede cambiar por otro. Esto permite trabajar de a conjuntos de sistemas. Se planteó el siguiente proceso de operación:

- Se construye un conjunto llamado inicial con una selección aleatoria de componentes.
- Se inserta un sistema de este conjunto al entorno, que funciona de interfaz al agente, con la codificación de observación-recompensa y con la decodificación de acciones.
- Durante una serie de pasos, el agente, trabaja sobre este sistema y cuando termina por llegar a la cantidad de pasos límite o cumplir especificaciones pasa este sistema a un conjunto llamado procesado.

Este proceso se diagrama en la Figura 5.1



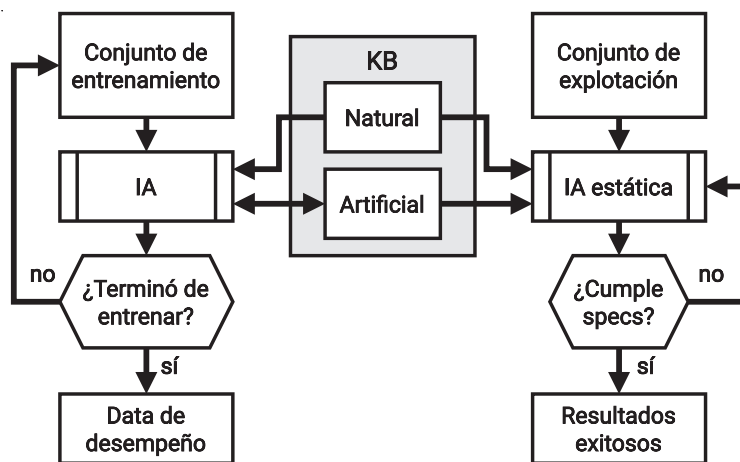
- 5.1 Resumen . . . . . 49
- 5.2 Proceso . . . . . 49
- 5.3 Estrategia . . . . . 50
- 5.4 Algoritmo . . . . . 50
- 5.5 Operación . . . . . 52
  - Entrenamiento . . . . . 52
  - Explotación . . . . . 55
  - Verificación IA . . . . . 57
- 5.6 Ajustes . . . . . 57
  - Sección implícita . . . . . 57
  - Especificaciones . . . . . 57
- 5.7 Cierre . . . . . 57

**Figura 5.1:** Proceso de operación. El conjunto inicial que contiene los sistemas se van pasando uno a uno al entorno. Con sus codificaciones y decodificaciones (Codec) interactúa con el agente. Cuando finaliza, este sistema pasa al conjunto procesado.

Para hablar particularmente de los sistemas del conjunto inicial se los llamará en este informe como *puntos de partida*. Cada serie de pasos para un sistema particular se lo denomina *episodio*. Y cuando se realiza una pasada por todo el conjunto de sistemas se denomina *lote*.

### 5.3. Estrategia

Analizando la metodología propuesta, una de las ventajas es que si la máquina funciona acorde, se pueden obtener rápidamente múltiples soluciones en un tiempo corto. Para explotar esto, se planteó operar con dos IA, una capaz de aprender y otra que no aprende pero opera con el conocimiento adquirido por la primera. Se presenta un diagrama de esta estrategia en la Figura 5.2. A la primera etapa el autor la denomina *entrenamiento* y a la segunda *explotación*.



**Figura 5.2:** Estrategia de operación. La primera IA a la izquierda es capaz de aprender y se usa para generar la KB artificial. A la de la derecha no aprende pero opera usando la KB artificial.

### 5.4. Algoritmo

Se resume en el diagrama en bloques de la Figura 5.3 el algoritmo realizado sobre la plataforma Colab. Se destaca que sigue la sucesión de pasos:

1. Ensamble de KB Natural
2. Ensamble de IA
3. Entrenamiento
4. Ensamble KB Artificial
5. Explotación

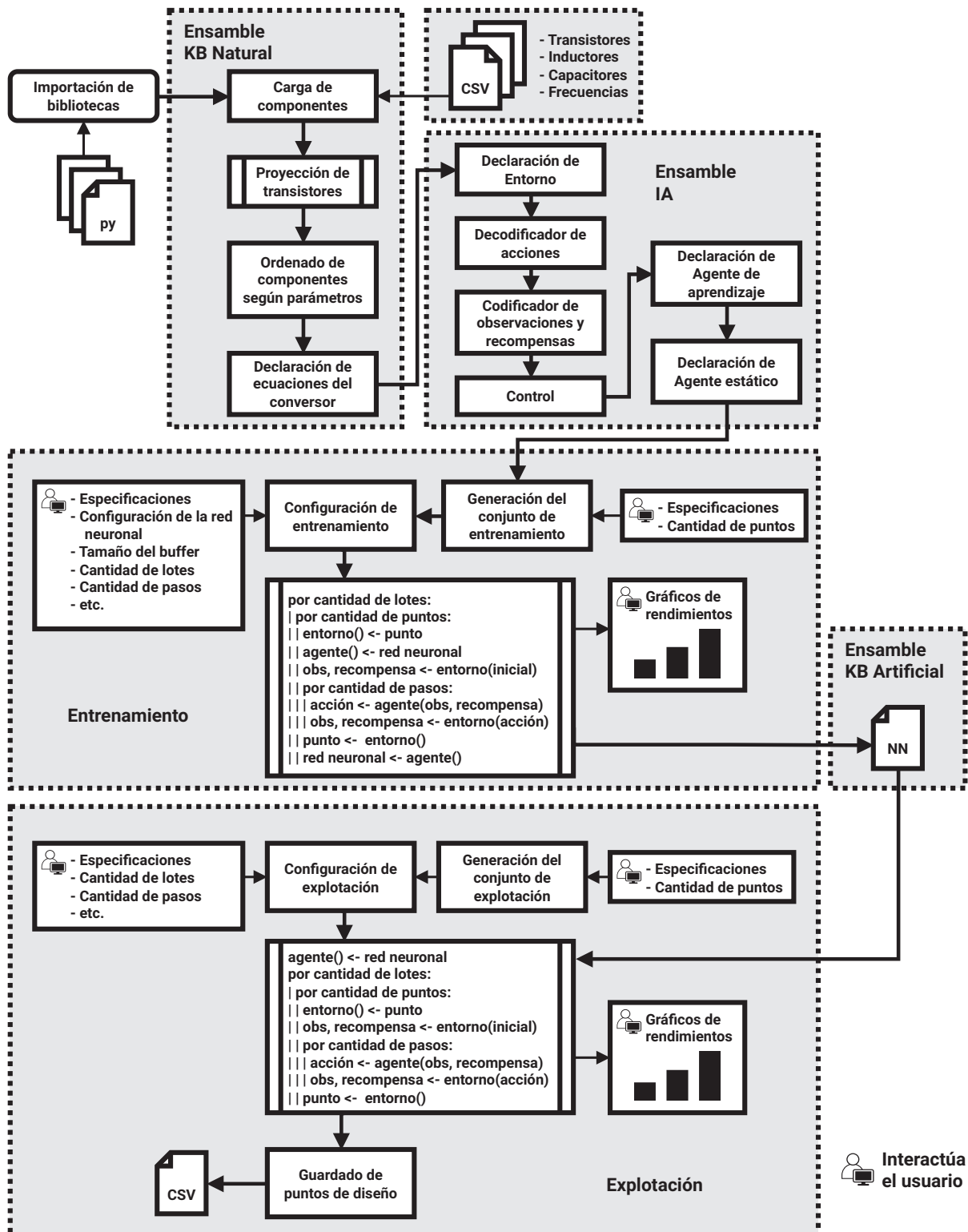


Figura 5.3: Diagrama en bloques del algoritmo de operación. En las instancias de entrenamiento y explotación el diseñador interviene ajustando los hiperparámetros y recibiendo gráficos del desempeño y diseños resultantes.

## 5.5. Operación

### Entrenamiento

#### Descripción

Se le presenta a la máquina una serie de puntos de partida aleatorios de diseño que no cumplan especificaciones y ordenados de menor a mayor dificultad<sup>1</sup>. Cada punto es un punto de partida para un episodio y el conjunto de episodios es un lote. En cada lote se usaron siempre los mismos puntos de partida en el entrenamiento. Se corre el experimento hasta tener un porcentaje de éxitos que se considere aceptable y, en los casos que falle se determina si redujo la dificultad.

1: En el capítulo anterior se definió a la dificultad como un indicador de la diferencia con especificaciones, si es reducida significa que necesariamente está más cerca de cumplir especificaciones.

#### Hiperparámetros

Los hiperparámetros del entrenamiento se detallan en la Tabla 5.1.

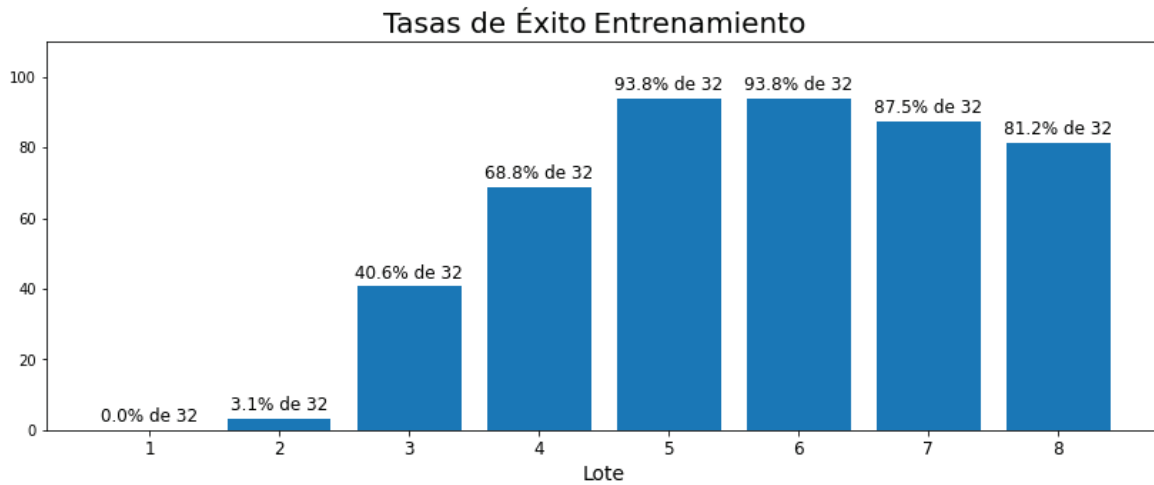
Nombre	Valor
Eficiencia mínima	94 %
Ripple de voltaje máximo	2 %
Ripple de corriente máximo	10 %
Número de capas ocultas	2
Número de neuronas en capas ocultas	32
Tasa de aprendizaje	0.001
Tasa de regularización L1	0.1
Tasa de regularización L2	0.1
Desviación standard del ruido	0.1
Tamaño máximo del buffer	8192
Tamaño del Batch	64
Temperatura	0.1
Descuento	0.9
Número de puntos de partida	32
Número de pasos por episodio	256
Número de lotes	8

**Tabla 5.1:** Hiperparámetros Entrenamiento.



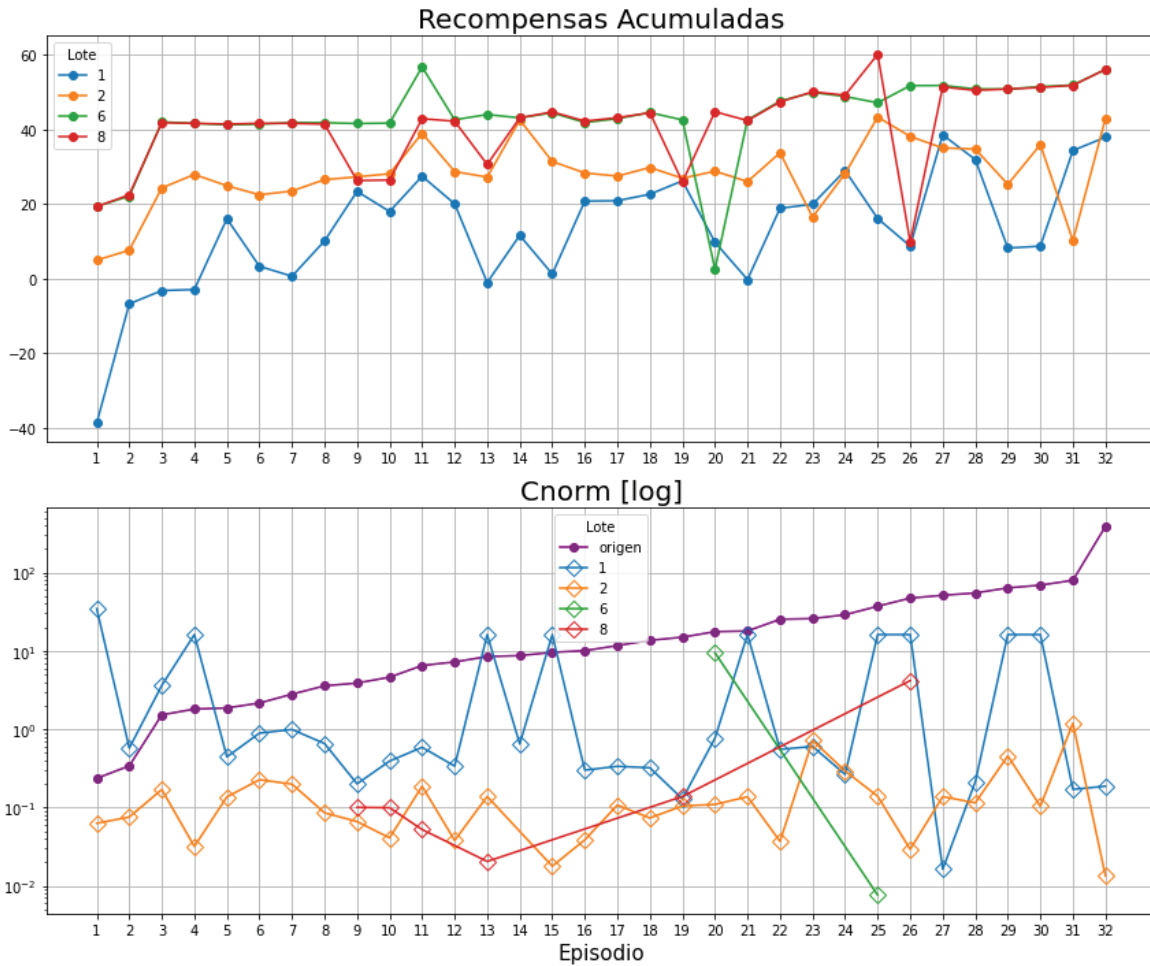
## Resultados

Se presentan las tasas de éxito a continuación en la Figura 5.4.



**Figura 5.4:** Tasas de Éxito Entrenamiento. Por ejemplo, en los lotes 5 y 6, un 93.8% de éxito significa que llegó a cumplir especificaciones en 30 de los 32 casos presentados.

Siendo que la tasa aumenta de los lotes 1 a 5 se demuestra aprendizaje, porque mejora su tasa de éxito en tiempo. De 6 a 8 se puede observar una declinación que se debe a efectos asociados al sobreajuste y se encuentran aminorados por las regularizaciones. Las redes entrenadas, la KB artificial, que se utilizaron en la explotación son las correspondientes al lote 6. Se presentan también las recompensas acumuladas y las dificultades por episodio en la Figura 5.5.



**Figura 5.5:** Recompensas acumuladas al fin del episodio y dificultades iniciales más la de los puntos de diseño que no cumplen especificaciones. Cnorm definido en Ecuación 4.1 indica el estado general del diseño con respecto a especificaciones.

De la Figura 5.5 en las recompensas acumuladas se destaca que el lote 1 está por debajo de todos, seguido por el lote 2 encima y, finalmente, los lotes 6 y 8 por encima del resto pero comparables entre sí. Con lo cual se reafirma que se cumplió con el objetivo de RL, aumentar la señal de recompensa en tiempo. En el caso de las dificultades Cnorm, se puede observar que pasado el primer lote todos los subsecuentes puntos, que no cumplieron especificaciones, quedaron con una dificultad reducida. El tiempo total de ejecución de los 8 lotes fue de aproximadamente 7 minutos.

## Explotación

### Descripción

Como en entrenamiento, se presentan una serie de puntos de partida ordenados. El agente utilizado es estático y toma las redes neuronales del agente entrenado. En este caso, los puntos de partida varían lote a lote. El conjunto inicial de un lote particular es el conjunto procesado que no cumpla especificaciones del lote anterior. El primer lote tiene un conjunto inicializado aleatoriamente, se procesa y si cumple especificaciones se guarda el resultado. Si no cumple, vuelve al conjunto de explotación para ser procesado en el siguiente lote. Se corre el experimento y se termina cuando se cumplieron especificaciones para todos los puntos de diseño o un lote límite.

### Hiperparámetros

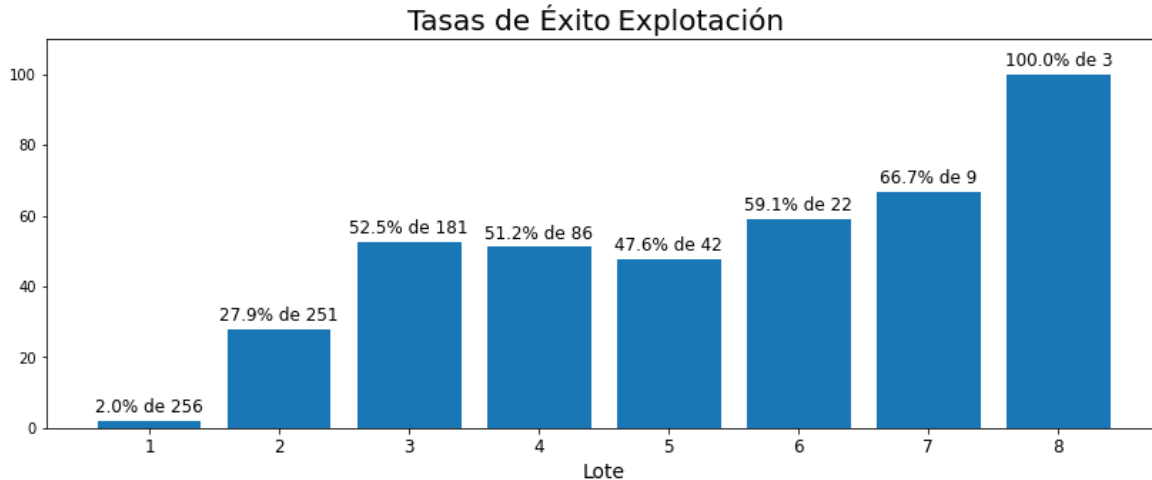
Los hiperparámetros de explotación se detallan en la Tabla 5.2.

Nombre	Valor
Eficiencia mínima	94 %
Ripple de voltaje máximo	2 %
Ripple de corriente máximo	10 %
Desviación standard del ruido	0.1
Temperatura	0.1
Número de puntos de partida	256
Número de pasos por episodio	64
Número de lotes	8

**Tabla 5.2:** Hiperparámetros Explotación.

## Resultados

Se resolvieron con éxito los 256 puntos de partida, aproximadamente en 5 minutos, con las siguientes tasas de éxito.



**Figura 5.6:** Tasas de Éxito Explotación. Por ejemplo para el lote 1 el porcentaje 2% de 256 significa que de los 256 casos se cumplieron con las especificaciones en 5 casos. En el siguiente lote 2, esos 5 casos son retirados y por eso el límite son 251 casos.

Finalizada la explotación, de los puntos que cumplieron especificaciones se eliminó aquellos diseños que contaron con todos los componentes iguales excepto el capacitor <sup>2</sup> y se ordenaron de mayor a menor eficiencia, resultando en los siguientes diseños.

2: El capacitor lo único que afecta es el ripple de voltaje, por lo que los otros elementos son más relevantes y reducir el conjunto permite seleccionar más fácilmente un diseño.

**Tabla 5.3:** Tabla de resultados que cumplen especificaciones.

Transistor	Capacitor	Inductor	$f_s$ [kHz]	$\eta$ [%]	$\Delta i_L$ [%]	$\Delta v_o$ [%]
BSC074N15NS5	C470	7443763540330 WE-HCF	255	95.5786	9.6352	0.3683
BSC074N15NS5	C180	7443763540330 WE-HCF	260	95.5163	9.4499	0.9431
BSC074N15NS5	C270	7443763540330 WE-HCF	265	95.4541	9.2716	0.6169
BSC074N15NS5	C3000	7443763540330 WE-HCF	270	95.3919	9.0999	0.0545
BSC074N15NS5	C120	7443763540330 WE-HCF	275	95.3298	8.9345	1.3375
BSC074N15NS5	C270	7443763540330 WE-HCF	285	95.2058	8.621	0.5736
IPB044N15N5	C100	7443763540330 WE-HCF	250	94.3051	9.8279	1.7655
IPB044N15N5	C100	7443763540330 WE-HCF	255	94.2124	9.6352	1.7309
BSC074N15NS5	C6200	7443763540330 WE-HCF	370	94.1642	6.6405	0.0192
IPB044N15N5	C200	7443763540330 WE-HCF	260	94.1198	9.4499	0.8488
BSC074N15NS5	C560	7443763540330 WE-HCF	375	94.1036	6.5519	0.2102
BSC074N15NS5	C7000	7443763540330 WE-HCF	380	94.0431	6.4657	0.0166
IPB044N15N5	C100	7443763540330 WE-HCF	265	94.0275	9.2716	1.6656

Se eligió la selección de componentes de la primera fila pero se decidió cambiar el capacitor por uno menor que siga satisfaciendo la especificación del ripple de voltaje. El capacitor elegido fue de 220  $\mu\text{F}$ .

## Verificación IA

Para verificar que efectivamente se desarrolló una IA, se realizó un agente que toma decisiones en forma aleatoria para comparar su rendimiento con el estático de explotación. Operando de los mismos puntos de partida, bajo mismas especificaciones y condiciones, el agente aleatorio nunca tuvo éxito. Siendo el desempeño del agente estático superior al del aleatorio bajo idénticas condiciones se considera por definición al estático como IA.

## 5.6. Ajustes

### Sección implícita

A la lista de inductores fue necesario agregarle dos de mayor inductancia. Esto surgió porque durante la operación una decisión recurrente de la máquina fue llegar a la inductancia más alta disponible.

### Especificaciones

Se comenzó especificando un ripple de corriente en el orden del 50 al 30 %, pero rápidamente se hizo evidente que este nivel destruiría al inductor. Como se había anticipado, no se consideraron en las ecuaciones del convertidor las pérdidas por conmutación en el inductor, pero no se ignoró su existencia. Estas pérdidas, en su mayor parte, se producen por la excursión en corriente que a su vez produce pérdidas en el núcleo que se transforman en calor. Si la disipación de este calor no es adecuada, el inductor va a incrementar su temperatura hasta su destrucción. Por esto, grandes excursiones como 50 o 30 % de ripple de corriente, para las magnitudes de esta aplicación, destruirían al inductor. Se terminó determinando que 10 % era un máximo tolerable para este ripple en esta etapa.

## 5.7. Cierre

Tras realizar los ajustes necesarios, demostrar aprendizaje e inteligencia artificial, y obtener resultados satisfactorios, se procedió a verificar el diseño.

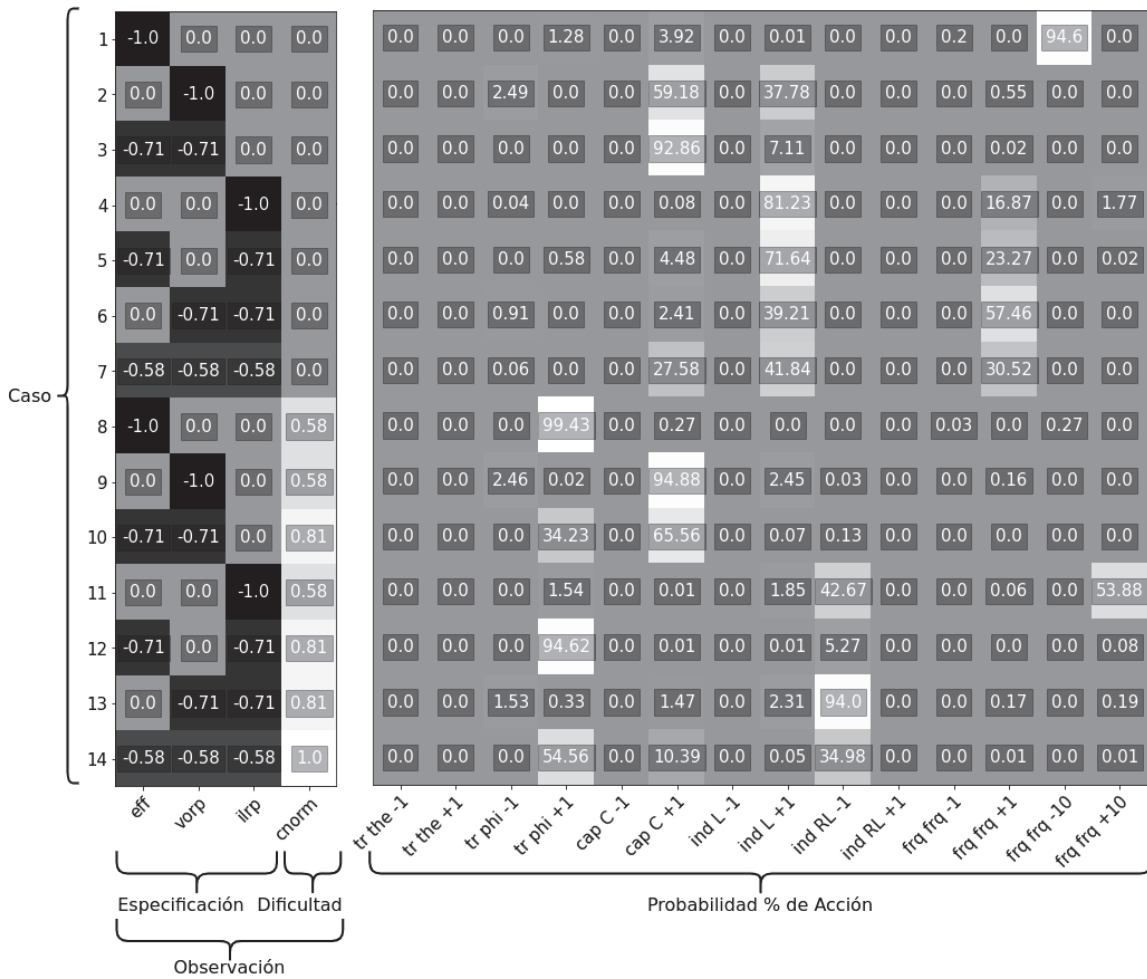
## 6.1. Resumen

El proceso de verificación consistió en constatar que la máquina haya tenido un desempeño razonable y que los resultados del modelo analítico fuesen coherentes con los resultados de simulación.

## 6.2. Criterio de la máquina

Se analizó si el criterio desarrollado por la máquina es razonable. Para inferirlo, se estudiaron las distintas decisiones que tomaría el agente presentadas distintas observaciones. A fin de esto, se elaboró una matriz de decisiones que se presenta en la siguiente figura.

6.1 Resumen . . . . .	58
6.2 Criterio de la máquina . .	58
Eficiencia y transistor . .	59
Eficiencia y frecuencia . .	60
Ripples . . . . .	60
6.3 Modelado del transistor .	60
6.4 Simulación del diseño . .	61
6.5 Cierre . . . . .	67



**Figura 6.1:** Matriz de decisiones. Cada fila es un caso distinto de observación. Las primeras 4 columnas representan la observación y el resto de las columnas la probabilidad de las distintas acciones a tomar. De la fila 1 a la 7 se representan los casos donde la dificultad es baja y de 8 a 14 donde es alta.

Se remarcan algunos aspectos del criterio en las siguientes subsecciones.

### Eficiencia y transistor

En los casos en los que la eficiencia no se está cumpliendo y la dificultad es alta (8, 10, 12 y 14) cambiar el transistor con respecto al parámetro phi está siempre presente como una probable decisión de la máquina. Lo cual es consistente con lo que se había presentado en este informe sobre la proyección de los transistores a partir de la Figura 3.19 del Capítulo 3; había resultado con una correlación negativa phi con respecto a todos los parámetros de pérdidas del transistor. Aumentar en dirección del phi disminuye los parámetros de pérdidas y aumenta la eficiencia.

## Eficiencia y frecuencia

De la Tabla 3.2 del Capítulo 3, la expresión de todas las pérdidas por conmutación se encuentran multiplicadas por la frecuencia. Por lo anterior, disminuir la frecuencia puede aumentar la eficiencia. En el caso 1 donde la única especificación que no se cumple es la eficiencia y la dificultad es baja, la máquina mayormente disminuye la frecuencia.

## Ripples

Para los casos donde la dificultad es baja y no se cumple con el ripple de corriente (4, 5, 6, 7) están presentes las acciones de aumentar la inductancia o la frecuencia que es razonable, teniendo en cuenta las ecuaciones del conversor la Tabla 3.1 del Capítulo 3. En los casos donde lo único que no se cumple es el ripple de voltaje (2 y 9) está presente aumentar el valor del capacitor.

## 6.3. Modelado del transistor

Para simular es necesario contar con los modelos de los componentes. Las bibliotecas ofrecidas por el fabricante cuentan con el modelo del transistor realizado como un subcircuito.<sup>1</sup> Describe fielmente a la hoja de datos, pero para este diseño no resultó adecuado. Dada la complejidad de este modelo, diverge fácilmente para algunos puntos de operación y prolonga los tiempos de simulación. Para soslayar este problema, se decidió realizar el modelado en un modelo propio tipo VDMOS para SPICE, basándose en los trabajos de Hendrik Jan Zwerver [16] y Heggulun Ian [5]. La información para esto se extrajo tanto de la hoja de datos como los modelos de nivel 0 y 1 provistos por el fabricante.

El procedimiento que se siguió fue:

- Releva todos los datos necesarios de la hoja de datos.
- Usar las ecuaciones de los trabajos antes mencionados para obtener un modelo inicial.
- Iterar con distintos archivos de simulación para ajustar los parámetros SPICE.
- Comparar las características del modelo extraído con la hoja de datos y/o el modelo provisto por el fabricante.

1: Transistor ideal con componentes como inductancias, resistencias, capacitores, diodos parásitos y ecuaciones de comportamiento.

[16]: Zwerver (2006), *LTspice built in VDMOS model*

[5]: Heggulun (2020), *VDMOS Parameter Extraction*



El desarrollo se presenta en el Apéndice D.

Se verificaron las características del modelo de transistor extraído contra la hoja de datos y los modelos provistos por el fabricante y juzgándose razonablemente modelado, se pasó a simular el circuito diseñado.

## 6.4. Simulación del diseño

Para tener una caracterización completa de la fuente y para validar el diseño se decidió simular para varios puntos de operación el circuito de la Figura 6.2.

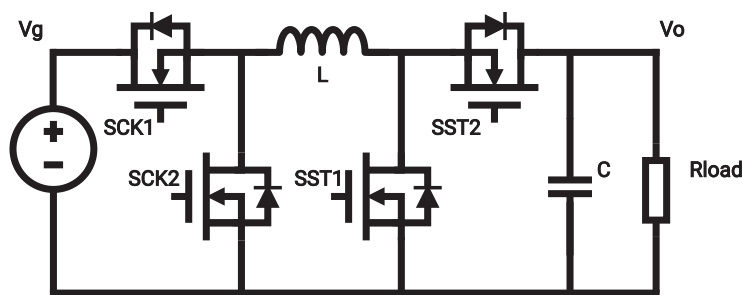


Figura 6.2: Circuito BuckBoost simulado.

Los parámetros fueron: voltajes de entrada y salida en 30, 50 y 80 V y potencias de salida 100, 300 y 500 W. Los puntos de operación se determinaron como la combinación de estos parámetros resultando en 27 puntos diferentes de operación para la caracterización. Al punto de operación que usó la máquina<sup>2</sup> se lo evalúa aparte por ser el más crítico. Se enumeran en la siguiente tabla los puntos para caracterización donde la carga (Rload) se calcula como  $V_o^2/P_o$  y el duty cycle usando la ecuación ideal  $D = V_o/[V_g(1 + V_g/V_o)]$ .

2:  $V_g = 70$  V,  $V_o = 48$  V y  $P_o = 500$  W

Número	Vg [V]	Vo [V]	Po [W]	Rload [ $\Omega$ ]	Duty cycle
0	30	30	100	9	0.5
1	30	30	300	3	0.5
2	30	30	500	1.8	0.5
3	30	50	100	25	0.625
4	30	50	300	8.333	0.625
5	30	50	500	5	0.625
6	30	80	100	64	0.727
7	30	80	300	21.333	0.727
8	30	80	500	12.8	0.727
9	50	30	100	9	0.375
10	50	30	300	3	0.375
11	50	30	500	1.8	0.375
12	50	50	100	25	0.5
13	50	50	300	8.333	0.5
14	50	50	500	5	0.5
15	50	80	100	64	0.615
16	50	80	300	21.333	0.615
17	50	80	500	12.8	0.615
18	80	30	100	9	0.273
19	80	30	300	3	0.273
20	80	30	500	1.8	0.273
21	80	50	100	25	0.385
22	80	50	300	8.333	0.385
23	80	50	500	5	0.385
24	80	80	100	64	0.5
25	80	80	300	21.333	0.5
26	80	80	500	12.8	0.5

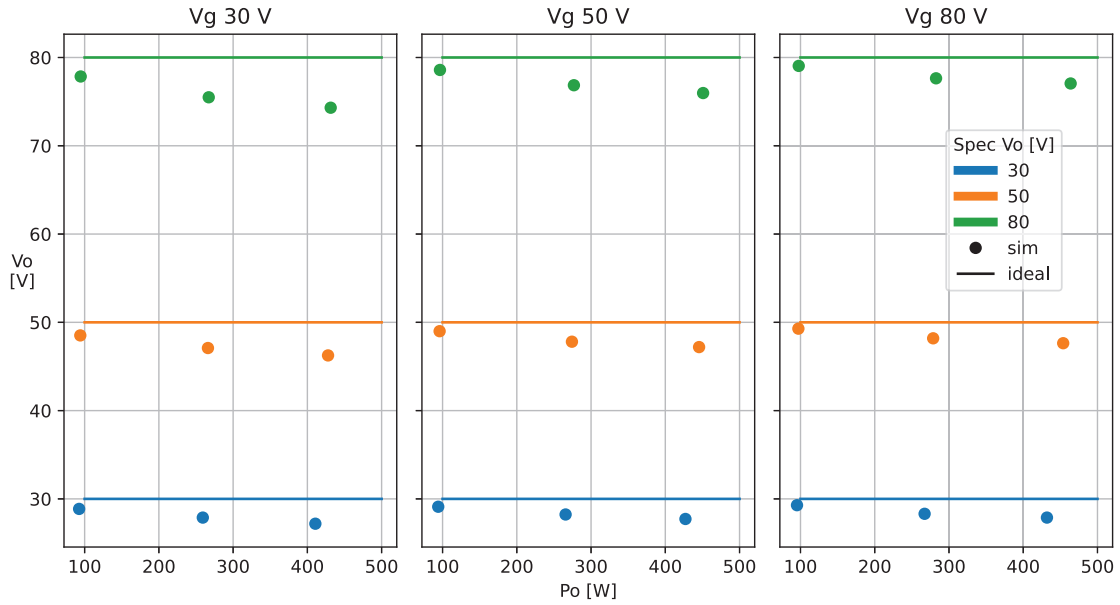
Tabla 6.1: Puntos de operación.

Dado que realizar esta tarea en forma manual llevaría un tiempo considerable, se decidió automatizar este proceso. Para llevar a cabo esto se desarrolló un simple programa en Python usando la biblioteca PySpice<sup>3</sup> que permite realizar simulaciones integrando el software NGSpice.<sup>4</sup> Como con la máquina, este programa se ejecuta sobre la plataforma Colab.

Al usar la ecuación ideal para calcular el duty cycle el problema que se presentó fue que las pérdidas reducen la potencia de salida, por lo que los puntos de operación antes mencionados no se cumplen. En la Figura 6.3 se ilustra la desviación, destacando que los puntos de simulación están por debajo de los ideales.

3: <https://pyspice.fabrice-salvaire.fr/releases/v1.5/>

4: <http://ngspice.sourceforge.net/>



**Figura 6.3:** Voltaje de salida ideal y simulado para la BuckBoost Single Mode.

Para corregir este problema se puede usar la ecuación con las pérdidas por conducción de  $V_o$  para calcular un duty cycle más exacto, se presenta a continuación:

$$V_o = V_g \frac{D}{(1-D)} \frac{R(1-D)^2}{R(1-D)^2 + R_L + 2R_{on}} \quad (6.1)$$

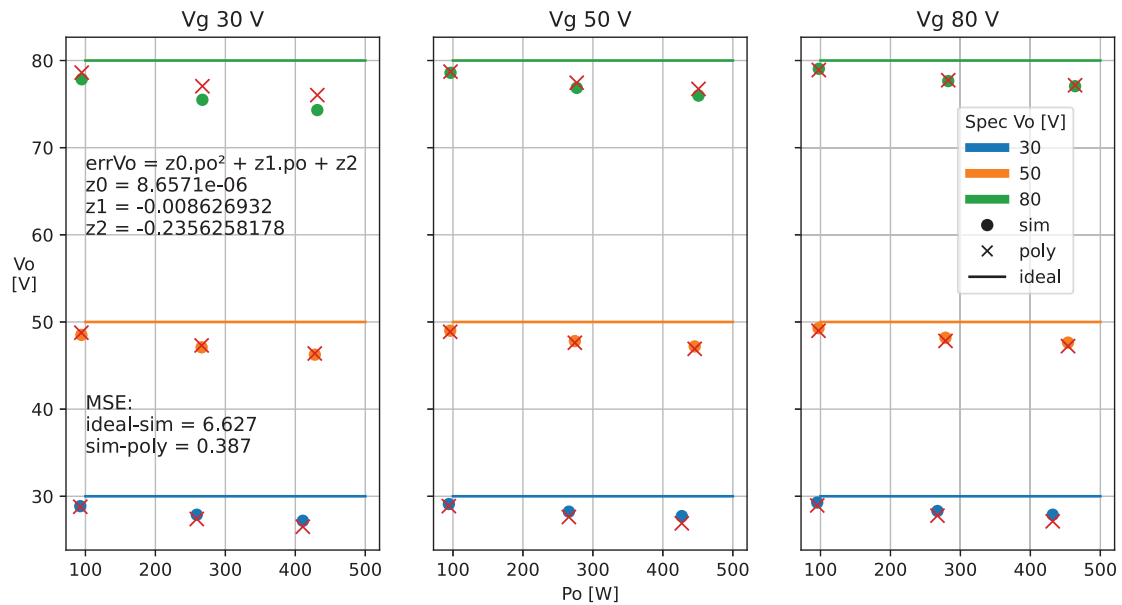
Sin embargo, para ser más exactos, además sería necesario modelar circuitalmente las pérdidas por conmutación para obtener una nueva ecuación para el duty cycle. Se optó por una alternativa más sencilla, práctica y expeditiva basada en la siguiente observación empírica. Observando el gráfico de la Figura 6.3 se percibe el siguiente patrón: el voltaje de salida cae de izquierda a derecha siguiendo el aumento de potencia de salida. Por lo que para corregir este problema se agregó a la ecuación con pérdidas por conducción un término extra. Éste es un polinomio ajustado dependiente únicamente de la potencia de salida. La siguiente ecuación es este término:

$$errV_o(P_o) = z_0 P_o^2 + z_1 P_o + z_2 \quad (6.2)$$

quedando la ecuación para calcular el voltaje de salida como:

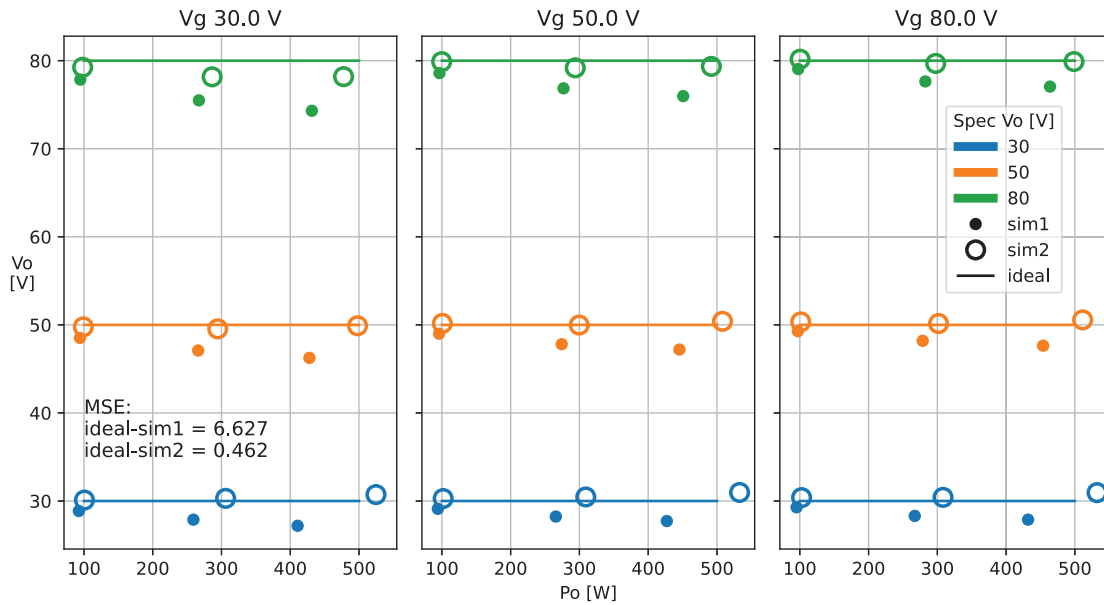
$$V_o = V_g \frac{D}{(1-D)} \frac{R(1-D)^2}{R(1-D)^2 + R_L + 2R_{on}} + errV_o(P_o) \quad (6.3)$$

Realizando este ajuste a los puntos simulados anteriormente con los duty cycles ideales usados predice los siguientes voltajes de salida aproximados en la Figura 6.4.



**Figura 6.4:** Voltaje de salida ideal, simulado y aproximación, con el error cuadrático medio y el término de corrección empleado.

Teniendo una ecuación que se ajusta más a los valores de simulación, se extrajeron los duty cycles necesarios para alcanzar los puntos de operación deseados haciendo uso del método de bisección. Con estos nuevos valores se realizaron nuevamente las simulaciones y se presentan en la Figura 6.5 los nuevos resultados de  $V_o$ .



**Figura 6.5:** Voltaje de salida ideal y de las dos simulaciones, con el error cuadrático medio.

Usando este método de ajuste polinomial también se simuló, el mismo circuito, para el punto de operación usado por la máquina en la etapa de diseño. Se ajustó manualmente el duty cycle por tratarse del punto más crítico en el proceso de verificación. Se presenta a continuación una tabla comparativa entre el resultado de simulación y el modelo analítico.

**Tabla 6.2:** Comparación entre simulación y modelo analítico.

Parámetro	Analítico	Simulación	Diferencia [%]
$V_g$ [V]	70	70	0
$V_o$ [V]	48	48.01	0.02
$P_o$ [W]	500	500.22	0.04
$R_{load}$ [ $\Omega$ ]	4.608	4.608	0
$D$	0.41	0.42	3.21
$P_{in}$ [W]	523.13	521.15	-0.38
$\eta$ [%]	95.58	95.98	0.42
$I_L$ [A]	17.56	17.81	1.42
$\Delta i_L / I_L$ [%]	1.69 A (9.64 %)	1.81 (10.16 %)	6.90 (0.52)
$\Delta v_o / V_o$ [%]	0.38 V (0.79 %)	0.39 (0.83 %)	4.98 (0.04)

Para verificar si este es un buen diseño dados los componentes e información disponibles, se comparó con un posible diseño rival. Se observa que otra alternativa era usar el transistor IPB044N15N5 de la Tabla 5.3 con idénticos inductor y frecuencia ofreciendo una eficiencia de 94.3 %. Se tomó a partir de la Tabla 6.2 un error aproximado de la eficiencia como 0.42 entre modelo y simulación para este punto de operación. Observan-

do que la diferencia entre las eficiencias de las alternativas es mayor a este error, se asumió entonces que usar el transistor BSC074N15NS5 es la mejor opción. Se determinó con este criterio al diseño como verificado para los componentes por ofrecer la mejor eficiencia.

A fin de verificar no solo el diseño sino además el modelo usado se utilizaron los 27 puntos de operación antes mencionados y se comparan en la Figura 6.6 las eficiencias entre el modelo y la simulación.

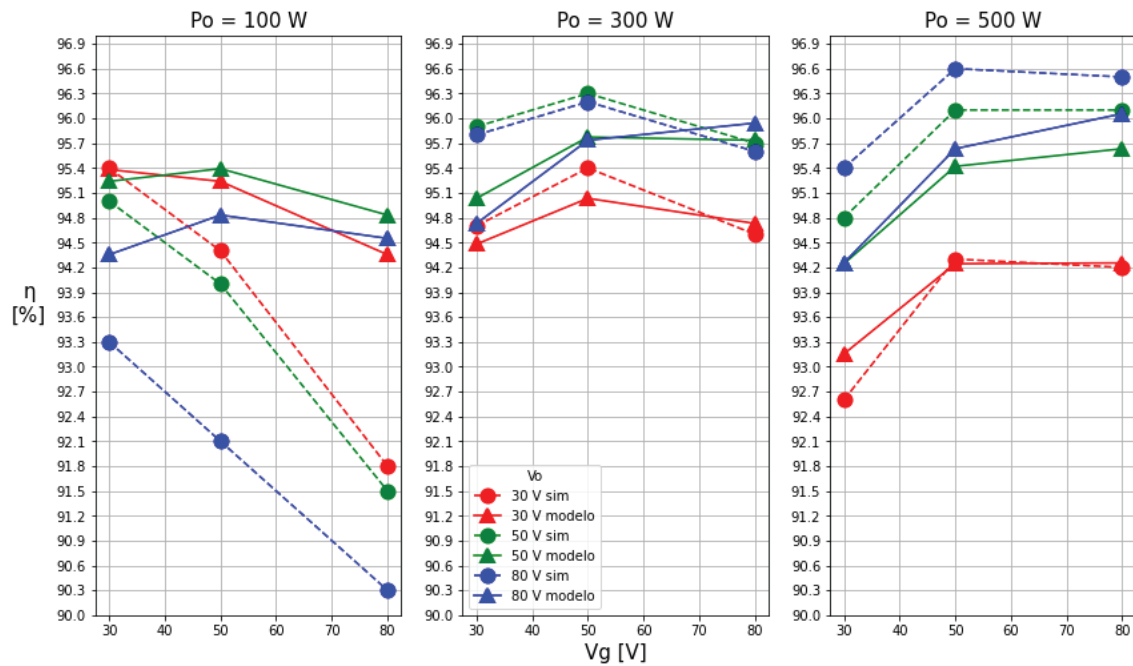


Figura 6.6: Eficiencia del modelo y simulación.

Se grafican las diferencias de las eficiencias en la Figura 6.7.

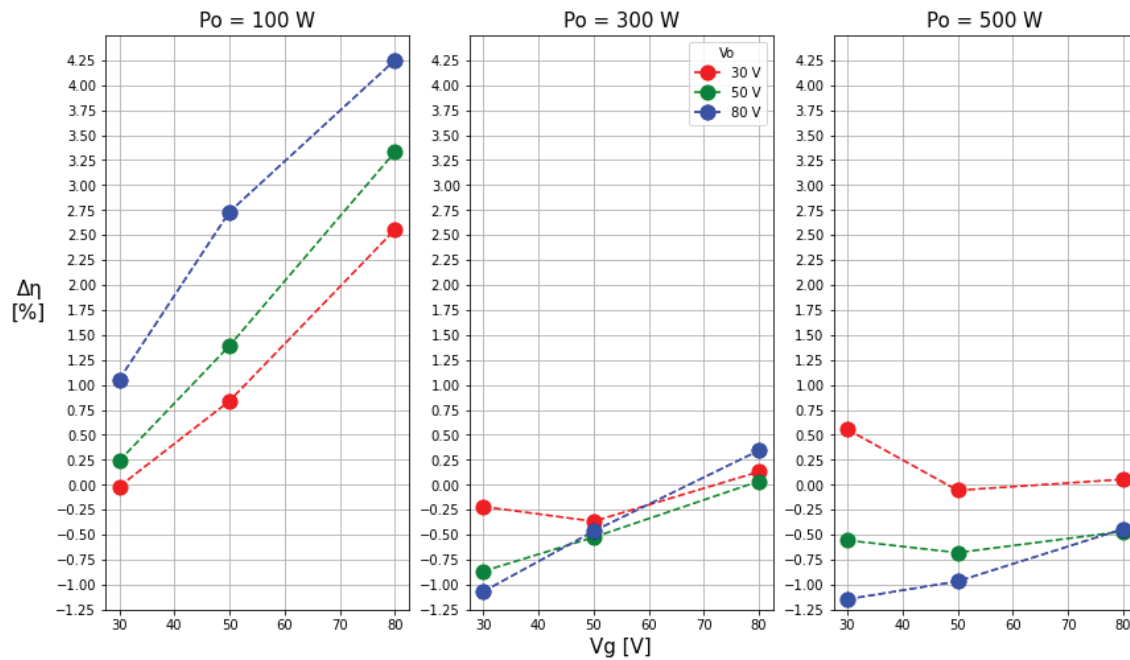


Figura 6.7: Diferencia de eficiencias del modelo y simulación.

De la Figura 6.7 se observa que el modelo es más similar a la simulación para valores bajos de voltaje de salida y que para 100 W de potencia de salida la diferencia es la mayor de todas. Previamente se definió el error entre modelo y simulación para  $V_g = 70$  V,  $V_o = 48$  V y  $P_o = 500$  W como  $\delta\eta = 0,42$  %. Se extiende para los puntos de operación con potencias de salida entre 300 a 500 W, voltajes de 30 a 80 V de entrada y salida, una incerteza estimada al 1.5 % en la eficiencia.

## 6.5. Cierre

- Del criterio de la máquina se observó que toma decisiones razonables acorde a las ecuaciones deducidas de la fuente.
- Fue necesario modelar el transistor para realizar las simulaciones.
- Se simularon 28 puntos de operación distintos para comparar el modelo y simulación para verificar el diseño.

## 7.1. Resumen

Acorde al planteo de la metodología, el proceso de validación consistió en evaluar la solución, en este caso, simular el diseño usando paneles solares. Se evaluaron las pérdidas por conmutación en el inductor que no fueron contempladas en el diseño, se verificó el rango de operación y se evaluó el circuito en Multi Mode. Luego se modelaron los paneles solares, se comprobó que la fuente sea capaz de trazar la curva del panel y finalmente se simuló en puntos de máxima potencia con paneles solares en Multi Mode.

## 7.2. Pérdidas en el inductor

Para calcular las pérdidas en el inductor se usó la herramienta REDEXPERT <sup>1</sup> que ofrece en línea el fabricante, Würth Elektronik, del inductor seleccionado. El motivo por el cual se usa esta herramienta y no ecuaciones es porque el modelado de inductores es un proceso complejo que requiere un número significativo de datos empíricos. Al no ser este componente objeto de diseño se decidió simplificar este paso usando la herramienta mencionada. Introduciendo la frecuencia, el duty cycle, la corriente promedio y el ripple esta herramienta devuelve las pérdidas por conmutación (AC) y el aumento de la temperatura con respecto a la de ambiente. Se grafica en la Figura 7.1 la eficiencia teniendo en cuenta estas pérdidas.

7.1 Resumen . . . . .	68
7.2 Pérdidas en el inductor . . . . .	68
7.3 Rango operativo . . . . .	69
7.4 Multi Mode . . . . .	70
7.5 Paneles solares . . . . .	72
7.6 Barrido de curvas . . . . .	74
7.7 Resultados finales . . . . .	75
7.8 Cierre . . . . .	75

1: <https://redexpert.wuerth-electronic.com/redexpert/>



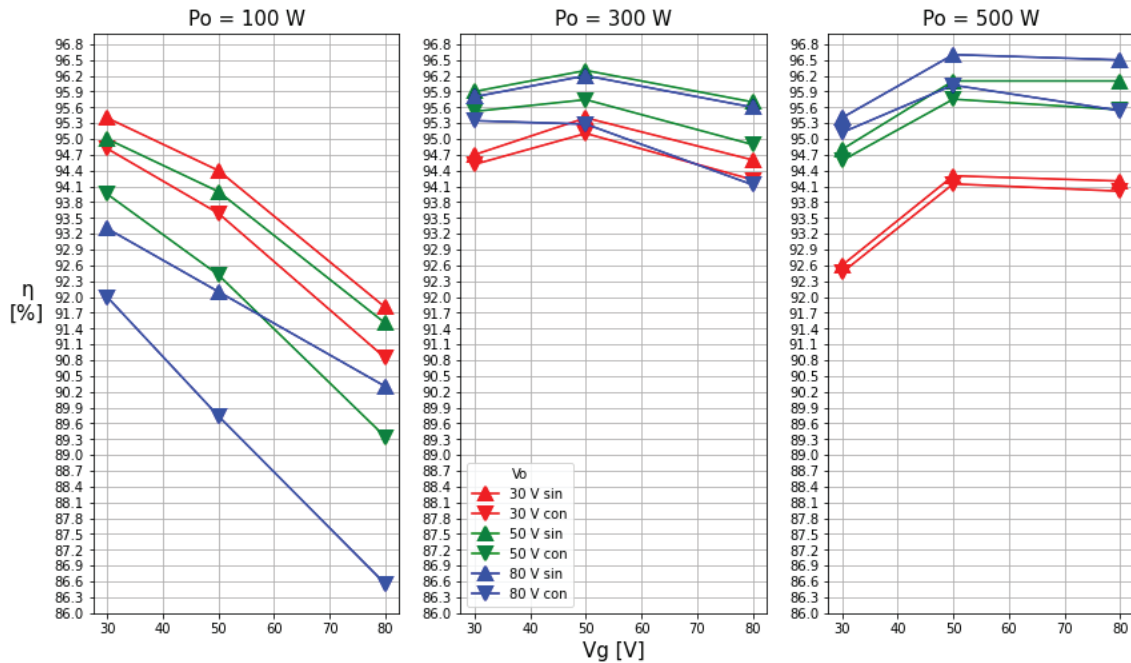


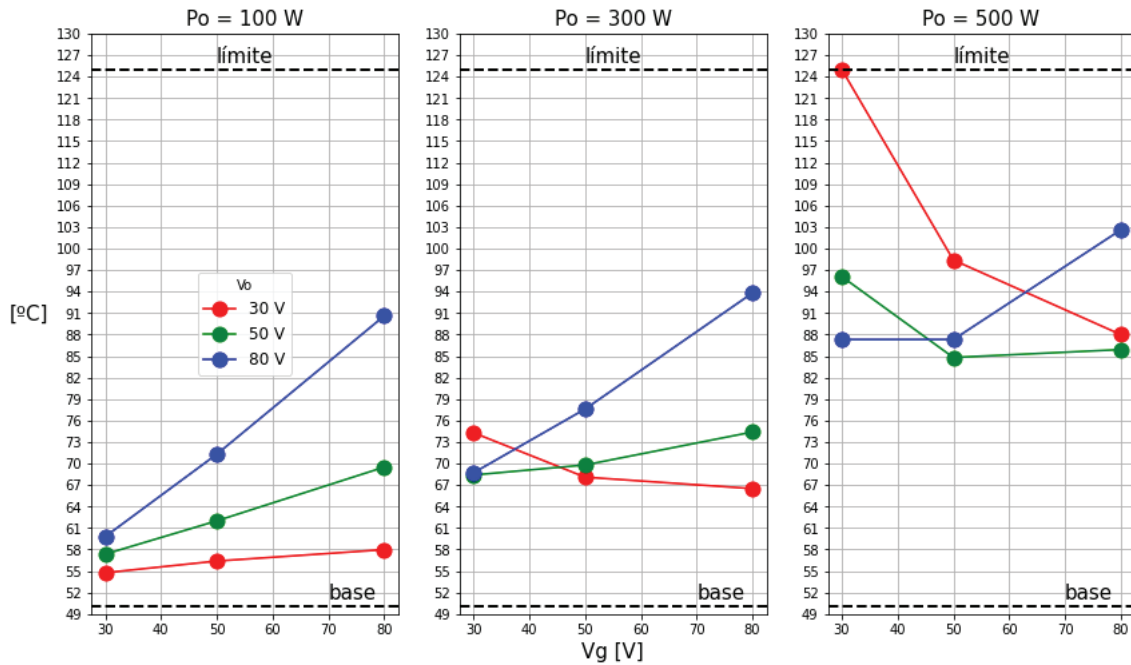
Figura 7.1: Eficiencias con y sin las pérdidas AC en el inductor.

Se observa que los puntos de operación más afectados son a 100 W de potencia de salida y para valores altos de voltaje de salida 80 V.

### 7.3. Rango operativo

Para determinar el rango operativo el único elemento que restó verificar fue el inductor. A este fin, usando la herramienta REDEXPERT, se determinaron las temperaturas del inductor asumiendo una temperatura ambiente base de 50 °C. La temperatura máxima para este inductor informada por el fabricante es de 125 °C. En la Figura 7.2 se muestran para los distintos puntos de operación las temperaturas obtenidas. El único punto que incurre en una zona destructiva es para 500 W de potencia de salida y 30 V de entrada y salida. Si el diseño fuese un simple convertor para una fuente de voltaje este diseño no sería aceptable en este rango. Sin embargo, para la aplicación de extracción de energía fotovoltaica es aceptable porque a 30 V no se espera que los paneles en serie puedan entregar más de 300 W, lo que lo deja fuera de la zona destructiva. Cuando se modele el panel este argumento quedará demostrado.

Para la aplicación propuesta este diseño es operativo en el rango de 100 a 500 W de salida, 30 a 80 V de voltajes de entrada y salida.



**Figura 7.2:** Temperatura del inductor sobre una temperatura ambiente de 50 °C obtenida usando la herramienta REDEXPERT.

## 7.4. Multi Mode

En este modo el convertor establece operación Buck para el caso que el voltaje de entrada sea superior al de salida, Boost si es el de salida superior al de entrada y BuckBoost si la diferencia es menor a un límite establecido. De la Tabla 3.2 del Capítulo 3 se puede observar que estos modos teóricamente ofrecen menores pérdidas. Para las simulaciones, la misma metodología usada para la verificación fue realizada para esta sección: se simuló con los duty cycles ideales, luego se corrigió con un polinomio el duty cycle cuya variable depende de la potencia de salida. Solo se simuló los puntos Multi Mode donde son distintos los voltajes de entrada y salida porque cuando son iguales Multi Mode establece el modo BuckBoost.

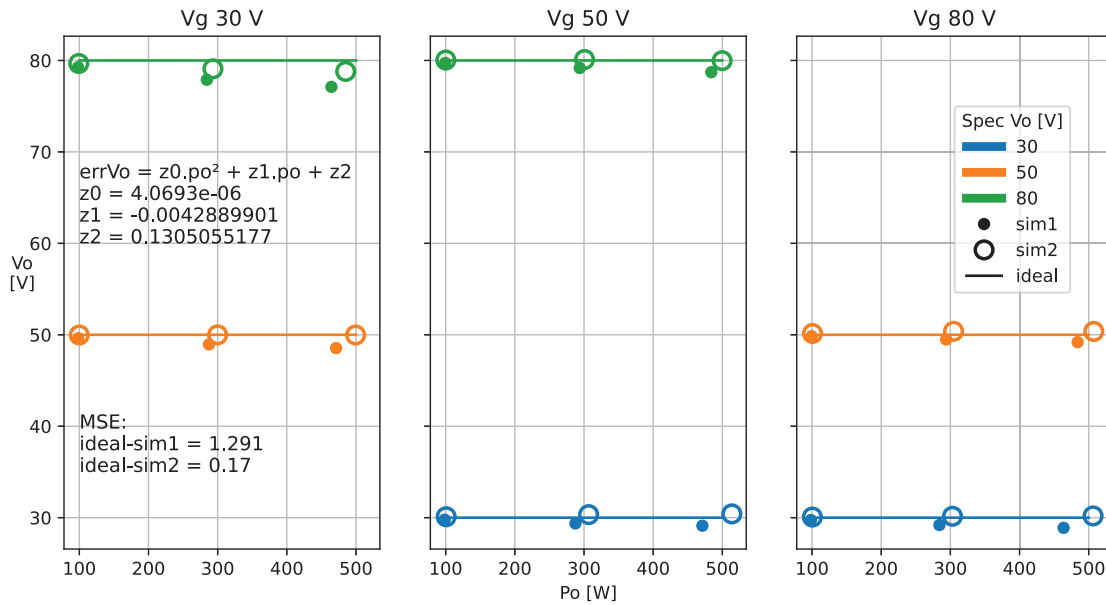


Figura 7.3: Voltaje de salida con simulaciones Multi Mode.

Se verificó que el inductor tampoco exceda su temperatura límite de 125 °C. Se presentan las eficiencias del diseño contemplando las pérdidas AC en el inductor en la Figura 7.4 comparando el Multi Mode contra el Single Mode.

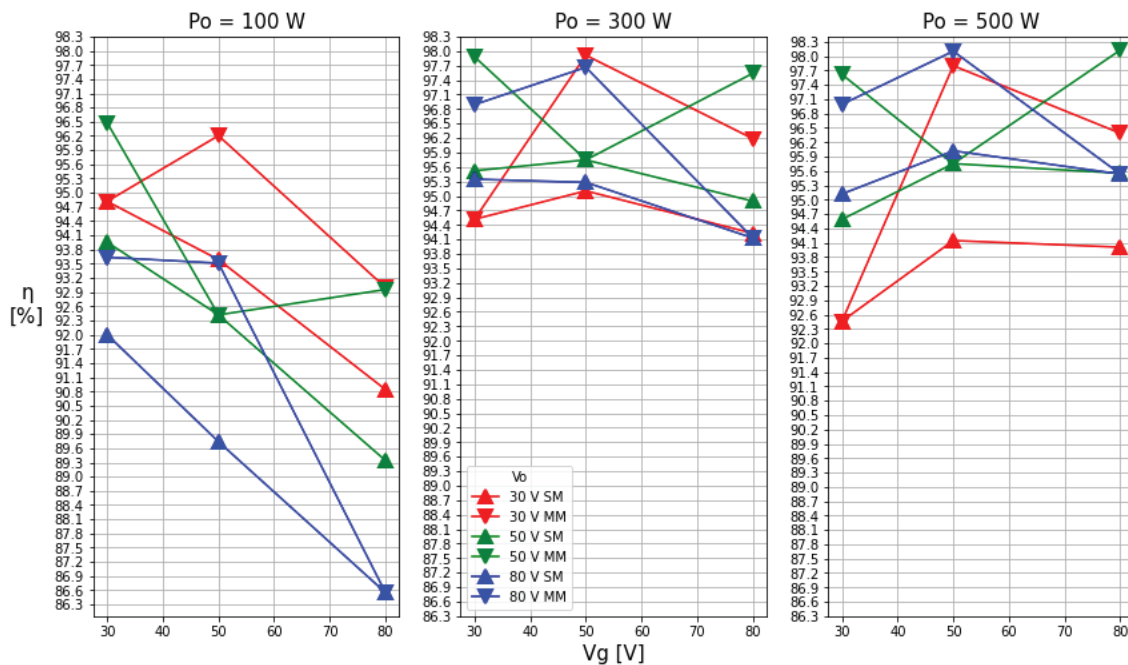


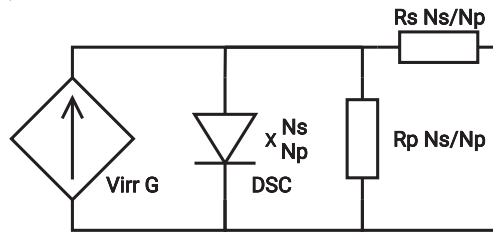
Figura 7.4: Eficiencias Multi Mode y Single Mode.

Se comprobó que para todos los casos donde los voltajes de entrada y salida fueron distintos la eficiencia del Multi Mode es

superior al Single Mode.

## 7.5. Paneles solares

Usando el modelo circuital visto en la Figura 2.2 en el Capítulo 2 se realizó un modelo del panel como ilustra la Figura 7.5



**Figura 7.5:** Modelo circuital de un panel solar que es equivalente a un arreglo de celdas  $N_s$  en serie y  $N_p$  en paralelo.  $G$  es una fuente de corriente controlada por voltaje ( $V_{irr}$ ) que se puede utilizar para simular distintas irradianzas.

Se eligió el panel comercial SLP270-20 de la empresa Logus porque presenta características similares a las típicas que se habían relevado al principio del proyecto. Las mismas son:

- $P_m \approx 250 \text{ W}$
- $V_m \approx 35 \text{ V}$
- $I_m \approx 7.15 \text{ A}$
- $V_{oc,m\acute{a}x} \approx 40 \text{ V}$
- $I_{sc,m\acute{a}x} \approx 7.15 \text{ A}$

Se modeló el panel usando el software LTSpice y se determinaron los siguientes parámetros del modelo:

- $N_s = 60$
- $N_p = 1$
- $G = 9.22e-3 \text{ A/V}$
- $R_p = 1.35 \Omega$
- $R_s = 3.5 \text{ m}\Omega$
- $I_s = 130 \text{ pA}$

$I_s$  es la corriente de saturación del diodo.

Se comparan las características eléctricas de la hoja de datos contra los valores de simulación en la siguiente tabla.

Parámetro	Hoja de datos	Modelado	Diferencia [%]
$P_m$ [W]	270.00	272.02	0.75
$V_m$ [V]	31.14	31.53	1.25
$I_m$ [A]	8.67	8.39	-3.23
$V_{oc}$ [V]	38.12	38.20	0.21
$I_{sc}$ [A]	9.22	9.19	-0.33

**Tabla 7.1:** Comparación del panel solar modelado con una irradianza de  $1000 \text{ W/m}^2$  a  $25 \text{ }^\circ\text{C}$ .

Siendo que este panel se eligió como ejemplo y no es un análisis para una instalación típica, se consideraron aceptables las

diferencias. También se simuló para distintas irradianzas a 25 °C y se compararon las curvas IV y PV en las Figuras 7.6 y 7.7.

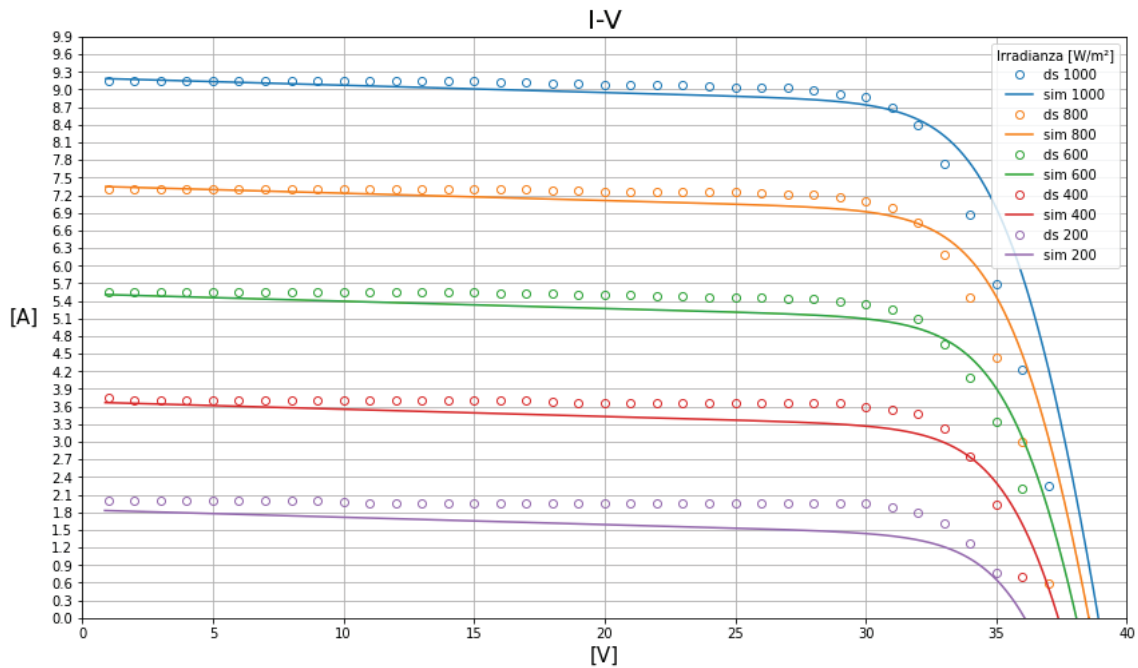


Figura 7.6: Curvas IV de la hoja de datos (ds) y el simulado.

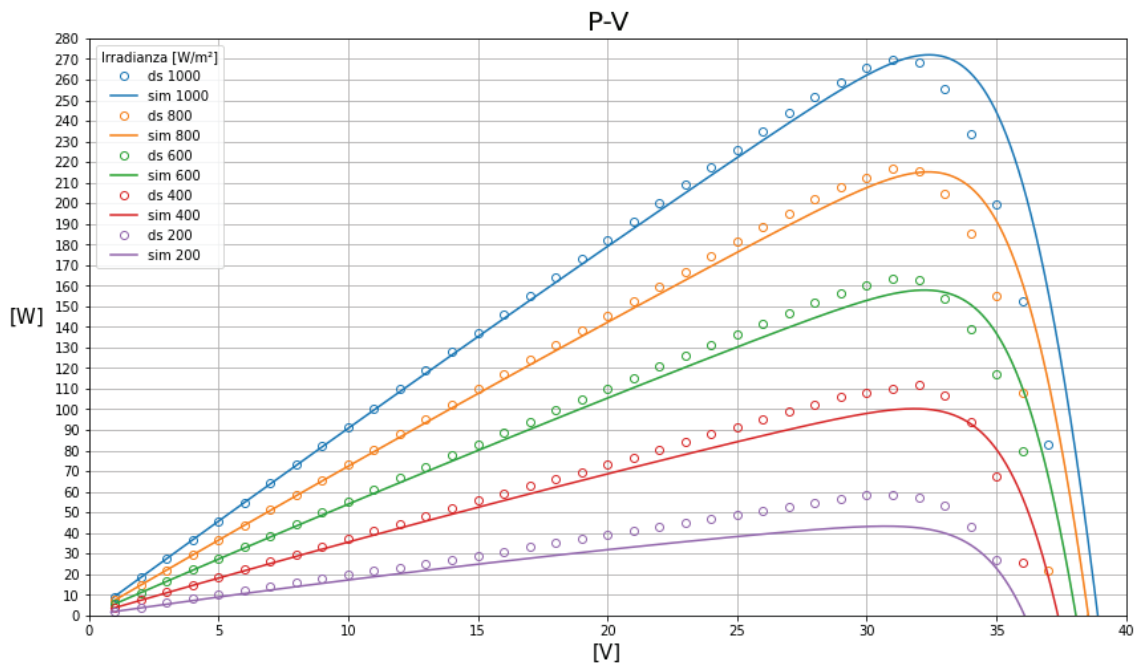


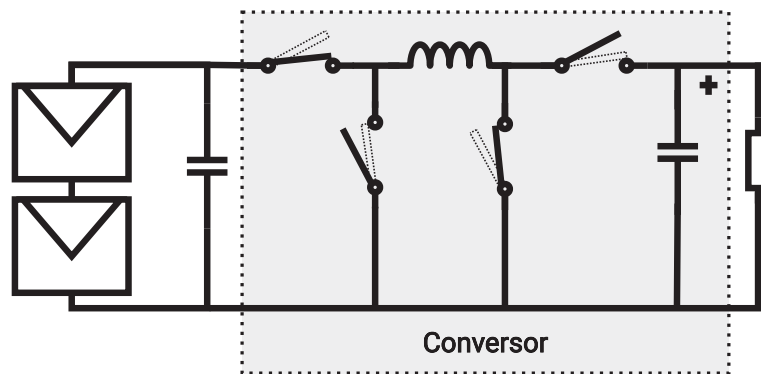
Figura 7.7: Curvas PV de la hoja de datos (ds) y el simulado.

Las curvas fueron relevadas de la hoja de datos usando la web <http://www.graphreader.com/>. Se observa que el modelo y la hoja de datos siguen el mismo comportamiento. Siendo que

se buscó un panel solar típico que refleje las características relevadas en los requerimientos, se consideraron aceptable las pequeñas diferencias porcentuales.

## 7.6. Barrido de curvas

Usando el circuito de la Figura 7.8 se realizó un barrido del duty cycle. Para una potencia de salida de 500 W y voltajes de salida 30, 48 y 80 V los valores de las cargas quedan definidas como 1.731, 4.44 y 12.308  $\Omega$ .



**Figura 7.8:** Circuito de barrido de curvas simulado.

Se agregó un capacitor en paralelo con los paneles para mitigar los efectos de picos de corrientes que estos debiesen suplir. No se corresponde a ningún modelo de capacidad parásita y su valor se fijó en 220  $\mu\text{F}$ . El objetivo de suprimir los picos de corriente fue evitar divergencias y tiempos extensos de simulación. En el mundo real, los paneles tienen capacidades e impedancias parásitas que hacen imposible grandes variaciones en cortos tiempos. En simulación, el panel fue modelado con solo fuentes de corriente ideales con diodos y resistencias, por lo que es posible generar grandes variaciones en corto tiempo. Estas variaciones tienen que ser resueltas por el simulador y pueden generar divergencias y/o tiempos extensos de simulación.

Se grafica la potencia entregada por los paneles en la Figura 7.9. Se destaca que la potencia máxima es 540.055 W, la misma en los tres casos, y es consistente con lo esperado que es aproximadamente el doble de la potencia máxima de los paneles individuales de 272 W. Se verifica que, de implementarse un algoritmo MPPT, el convertor es capaz de establecer los puntos de máxima potencia para su rango de operación.

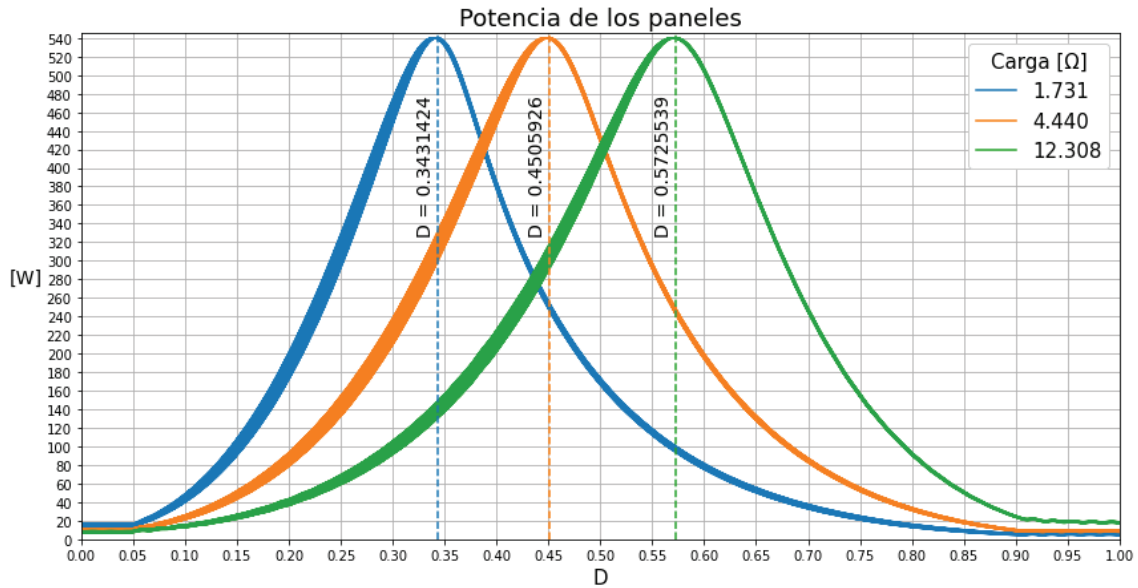


Figura 7.9: Potencia de los paneles en función del duty cycle.

## 7.7. Resultados finales

Para los puntos de máxima potencia de los paneles, se simuló la BuckBoost en Single Mode y en Multi Mode, los resultados de las eficiencias se presentan en la Tabla 7.2 que incluye las pérdidas por AC en el inductor.

Carga [ $\Omega$ ]	Voltaje de salida $\pm 1$ V	$\eta_{SM}$ [%]	$\eta_{MM}$ [%]
1.731	30	94.66	97.22
4.440	48	95.77	98.32
12.308	80	95.72	98.29

Tabla 7.2: Eficiencias finales para voltaje de paneles  $65.3 \pm 0.5$  V y potencia de entrada  $540.5 \pm 1$  W

En este trabajo se logró una eficiencia aceptable para los rangos de operación de la fuente. Por aceptable se entiende como alta eficiencia, superior al 90 %. Considerando que las pérdidas aumentarían con una implementación física, es razonable que la exigencia sea alta para este análisis.

## 7.8. Cierre

Se listan las conclusiones de la validación:

- La operación Multi Mode es más eficiente que Single Mode, como se esperaba.
- Las pérdidas por conmutación en el inductor resultaron ser significativas y se incluyeron en el análisis en este capítulo.

- Para las aplicaciones fotovoltaicas el inductor seleccionado es adecuado.
- Se corroboró que el conversor sea capaz de relevar los puntos de máxima potencia, condición necesaria para MPPT.
- Finalmente se determina que es una solución válida para este proyecto siendo que cumple los requisitos con una eficiencia razonable
  - Capaz de convertir el voltaje de dos paneles solares a 48 V
  - Potencia máxima de 500 W
  - Capacidad MPPT



## 8.1. Conclusiones

En este trabajo se desarrolló un análisis de diseño de un convertor para aplicaciones fotovoltaicas. Para ello fue necesario realizar un estudio de la problemática con aspectos fundamentales de convertidores y paneles solares; desde la física de los dispositivos, hasta el modelado y simulación de elementos.

Se propuso una nueva metodología de diseño para simplificar, agilizar y mecanizar el procedimiento, cuya herramienta destacada fue IA. Lo cual conllevó el estudio e implementación de un sistema inteligente. Se demostró que esta metodología se pudo emplear para esta aplicación, pero se destaca que muchos aspectos fueron resueltos con soluciones genéricas, aspirando a la reutilización de herramientas. La máquina desarrollada con la nueva metodología fue capaz de resolver el problema, el objetivo principal, y se demostró tanto aprendizaje como inteligencia.

## 8.2. Diseño final

### Aspectos destacados

El diseño del convertor fotovoltaico destaca por su eficiencia y versatilidad. La elección de la topología BuckBoost se ha mostrado adecuada para el rango de potencias y voltajes considerados, garantizando una solución robusta. Los modelos matemáticos y circuitales han respaldado las decisiones de diseño, proporcionando resultados satisfactorios en simulaciones. La selección de componentes ha contribuido a optimizar la eficiencia del sistema, mientras que la capacidad de realizar MPPT asegura su adaptabilidad a condiciones variables de irradiancia solar.

### Mejoras posibles

#### Exploración y evaluación de otras topologías

Investigar alternativas topológicas para determinar si alguna ofrece ventajas significativas en términos de eficiencia o rendimiento para las aplicaciones fotovoltaicas.

8.1 Conclusiones . . . . .	77
8.2 Diseño final . . . . .	77
Aspectos destacados . . . . .	77
Mejoras posibles . . . . .	77
8.3 Máquina . . . . .	78
Aspectos destacados . . . . .	78
Mejoras posibles . . . . .	79
8.4 FODA de la metodología . . . . .	79
Fortalezas . . . . .	79
Oportunidades . . . . .	79
Debilidades . . . . .	80
Amenazas . . . . .	80
8.5 Experiencia personal . . . . .	80

**Refinamiento de los modelos**

Mejorar la precisión de los modelos utilizados en el diseño mediante la incorporación de detalles adicionales no contemplados. Por ejemplo, fuera del rango aquí utilizado.

**Ampliación de la KB de componentes**

Buscar componentes con características específicas que puedan mejorar la eficiencia y la confiabilidad del convertidor.

**Desarrollo de un inductor**

Diseñar un inductor específicamente adaptado a las características del sistema para reducir pérdidas y mejorar la eficiencia.

**Realización de ensayos experimentales**

Construir el convertidor y llevar a cabo pruebas físicas para validar los resultados obtenidos en las simulaciones y asegurar la precisión del modelo.

**Incorporación de un sistema de control**

Implementar algoritmos de control avanzados para el convertidor que permitan optimizar la extracción de energía del panel.

**Análisis de riesgo y robustez**

Investigar, planear y ejecutar un análisis de variaciones en tolerancias de componentes y la sensibilidad del diseño a cambios en condiciones y especificaciones. Puede derivar en la incorporación de circuitos de protección y garantizar la seguridad.

**Análisis de mercado**

Realizar un estudio exhaustivo del mercado de energía solar fotovoltaica para comprender las tendencias y demanda del mercado que puedan influir en el diseño y la implementación del convertidor.

## 8.3. Máquina

**Aspectos destacados**

La máquina desarrollada fue capaz de seleccionar los componentes necesarios optimizando para el punto de operación seleccionado. Se comparó con un agente aleatorio y se demostró que este no logró ningún éxito comparado con la máquina desarrollada, demostrando su capacidad de IA. Los ajustes necesarios fueron mínimos: expansión de la KB de componentes, redefinición de una especificación y ajuste de hiperparámetros. Se demostró también con éxito la estrategia de dividir la operación en un fase de exploración para el aprendizaje de la máquina y

una fase de explotación para arribar al mejor diseño. Se analizó el criterio desarrollado por la máquina y se explicó porqué es razonable.

### Mejoras posibles

Existen bibliotecas, como TensorFlow, que no fueron usadas en este proyecto. Pero para proyectos de mayor envergadura, pueden llegar a ser de gran utilidad o incluso necesarias.

Una mejora sustancial con respecto al desarrollo de máquinas inteligentes puede ser el empleo de un plan sistemático de trazabilidad. Por ejemplo, cada vez que se realiza un experimento, datos de las configuraciones, del desempeño y de resultados pueden ser resguardados en un sistema de control de versiones. Existen herramientas como MLflow<sup>1</sup> que permiten realizar estas tareas en forma automatizada.

1: <https://www.mlflow.org/>

## 8.4. FODA de la metodología

### Fortalezas

Ofrece simplificación, mecanización y agilización a través del uso de IA, lo que reduce el tiempo y el esfuerzo del diseño. Su enfoque modular facilita la adaptación a diferentes situaciones y requisitos. Promueve un proceso estructurado, que otorga coherencia y calidad en el diseño.

El lineamiento propuesto garantiza que la metodología siga siendo robusta, relevante y efectiva en un entorno en constante cambio y evolución como es la ingeniería.

### Oportunidades

Gracias al uso de IA, la metodología tiene espacio para expandir y mejorar las herramientas, lo que puede conducir a mejoras y optimizaciones significativas en el proceso de diseño. Puede ser adaptada a otras aplicaciones ampliando su alcance.<sup>2</sup> A medida que se adquiere experiencia y se desarrollan nuevas herramientas y técnicas, la metodología puede evolucionar y adaptarse para enfrentar desafíos más complejos. Fomenta la colaboración interdisciplinaria, generando nuevas ideas y enfoques.

2: Por ejemplo, en las mejoras se propone el desarrollo de un inductor específico a la aplicación. Este diseño puede emplear la misma metodología: construir una KB con los datos necesarios como ecuaciones de acuerdo a geometrías, modelos de núcleos, medidas de cables, otros elementos comerciales disponibles y una arquitectura de IA similar.

## Debilidades

La dependencia de herramientas como IA puede introducir complejidad y requerir habilidades técnicas especializadas. Podría no ser adecuada para escenarios de diseño altamente personalizados. Requiere una curva de aprendizaje para desarrolladores no familiarizados con IA.

## Amenazas

La rápida evolución en el campo de IA podría hacer que las herramientas utilizadas se vuelvan obsoletas cuando se compara con otras; hace relevante la importancia de mantenerse al tanto de los nuevos avances en este campo. Además, la implementación de IA podría introducir sesgos o limitaciones en el diseño, lo que requiere una cuidadosa evaluación durante la fase de verificación. La aceptación y adopción de la metodología pueden enfrentar resistencia si existen técnicas menos sofisticadas pero ampliamente aceptadas en la industria.

## 8.5. Experiencia personal

Este análisis conllevó un gran esfuerzo para encarar un desafío de ingeniería. Destaco que el aprendizaje en el desarrollo ha sido continuo. Ha sido crucial cementar los conocimientos de electrónica de potencia, que a su vez requiere el despliegue de una plétora de temas vistos durante la carrera de Ingeniería Electrónica. Algunos de los temas clave incluyen: la comprensión de la física de dispositivos, el modelado de celdas solares, los principios básicos de los circuitos electrónicos, el análisis de circuitos, la selección y modelado de transistores, así como el uso de técnicas de simulación y programación para el diseño y análisis del convertidor.

De la metodología propuesta resalto su novedad, modularidad y escalabilidad, asentando un precedente y plataforma de trabajo para futuros diseños en ingeniería. Resalto que lo novedoso no viene dado por la implementación técnica ni las tecnologías usadas, sino por el enfoque ingenieril. Basándome en la idea que la infraestructura no es más que la mera extensión de las capacidades del desarrollador, planteo al diseño como un proceso que requiere al desarrollador y su infraestructura funcionando en forma sinérgica para habilitar la mejora continua en todo aspecto que permita ofrecer la mejor solución posible.

Destaco que cuando comencé con el proyecto, subestimé significativamente el nivel de exigencia que iba a enfrentar con la introducción de una metodología novedosa. La necesidad de demostrar eficacia, utilidad y justificación de esta nueva aproximación requirió un esfuerzo superlativo, que es reflejado en la cantidad de pruebas y demostraciones presentes en este informe. Esto sumado a la complejidad de un análisis de diseño, que requiere su propio conjunto de pruebas y demostraciones. A pesar de los desafíos, de las demoras, idas y vueltas, múltiples correcciones y revisiones, concluyo que todo valió la pena, a nivel personal y profesional.

# APÉNDICES

# A

---

## Gerenciamiento del proyecto

---

### A.1. Revisiones

1. Anteproyecto (19/12/2019). Se presentó este capítulo como anteproyecto y se iniciaron las actividades.
2. Gestión de Riesgos y flujo de fondos (16/01/2020). Se corrió la fecha de compras de materiales en vista a los riesgos previstos.
3. Cambio en el alcance del proyecto (26/12/2020). Deviniendo imposible la realización física del proyecto "Extracción de Energía Fotovoltaica", se cambió el alcance por uno de análisis de diseño.
4. Tutoría (02/12/2021). Después de haber participado en la etapa inicial el tutor M.Sc. Ing. Gabriel Gabián, finalizado el trabajo se decidió no continuar con la tutoría para el cierre. El motivo fue que el proyecto fue desarrollado en su mayor parte en forma independiente por el autor y excedió en la metodología utilizada el alcance planificado en conjunto con el tutor.
5. Tutoría (19/04/2022). Se incorpora como nuevo tutor el Lic. Nicolás Ávalos al proyecto.

## A.2. Project Charter

### Objetivo

Realizar un análisis de diseño de un módulo que tome el voltaje de salida de paneles solares y lo convierta a 48 V de voltaje continuo.

### Propósito

El proyecto se enmarca dentro del equipo Solar, grupo de trabajo en formación de la Universidad Nacional de San Martín (UNSAM). Solar se enfoca en la energía de origen fotovoltaico.

### Descripción y alcance

Se realizará el análisis de diseño de un módulo capaz de convertir el voltaje de dos paneles solares a 48 V, con potencia máxima de 500 W y capaz de hacer maximum power point tracking (MPPT). Se presenta una diagrama en la Figura A.1

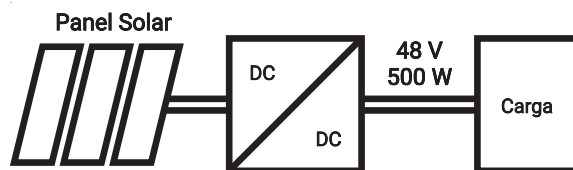


Figura A.1: Diagrama del proyecto.

El entregable consistirá en el análisis de diseño. Esto es, un análisis de distintas topologías, comparaciones, simulaciones detalladas del diseño final y el criterio de diseño.

### Supuestos

- Existen desarrollos similares en el área de potencia.
- El estudiante cuenta con la aprobación del 94 % de la carrera y particularmente la materia Electrónica de Potencia, por lo que se presupone su disponibilidad y buen juicio.
- Se cuenta con los equipos necesarios para su desarrollo, computadora con software necesario en la fase de diseño.

### Restricciones

Disponibilidad horaria del estudiante y de contar con software, de ser necesarios, para evaluaciones de diseño.



## Stakeholders

**Client:** Solar

**Sponsor:** M. Calcagno

**End-user:** Solar

**Champion:** M. Calcagno

**Drivers:** Magister N. Ávalos, M. Calcagno

**Supporters:** Magister N. Ávalos, Solar

**Project Manager:** M. Calcagno

**Team members:** M. Calcagno

## Work Breakdown Structure (WBS)

Para este proyecto se propone una nueva metodología de diseño desarrollada por el estudiante. Dicha metodología consiste en delegar a una máquina inteligente la exploración del espacio de diseño y la selección de los componentes. Para tal fin, el estudiante debe construir el espacio a navegar (base de conocimiento) y dicha máquina. A continuación se presenta el WBS con las tareas a realizar.

1. Estudio del problema
  - a) Energía fotovoltaica
    - 1) Electrónica
    - 2) Modelado
  - b) Condiciones de operación
  - c) Márgenes eléctricos
2. Búsqueda de precedentes
  - a) Soluciones preexistentes
  - b) Desarrollos experimentales
  - c) Estudio del mercado
3. Propuesta de topologías
4. Base de conocimiento
  - a) Sección analítica
    - 1) Análisis de topologías
    - 2) Tabulación de ecuaciones
    - 3) Programación
  - b) Sección numérica
    - 1) Búsqueda de componentes
    - 2) Tabulación de componentes
    - 3) Programación
5. Máquina inteligente
  - a) Selección de la arquitectura
  - b) Selección del algoritmo
  - c) Programación
6. Operación y validación
  - a) Ensamble del conjunto
  - b) Propuesta de especificaciones
  - c) Optimización
  - d) Análisis de resultados
  - e) Ajustes
  - f) Validación con simulación
    - 1) Validación del diseño analítico
    - 2) Análisis de resultados
    - 3) Comparación entre topologías
7. Verificación con simulación
  - a) Análisis en puntos de operación
  - b) Simulación con paneles
  - c) Análisis de resultados
8. Documentación y cierre

# B

## Celdas fotovoltaicas

### B.1. Ecuación de celda

El circuito equivalente de celda se presenta en la Figura B.1

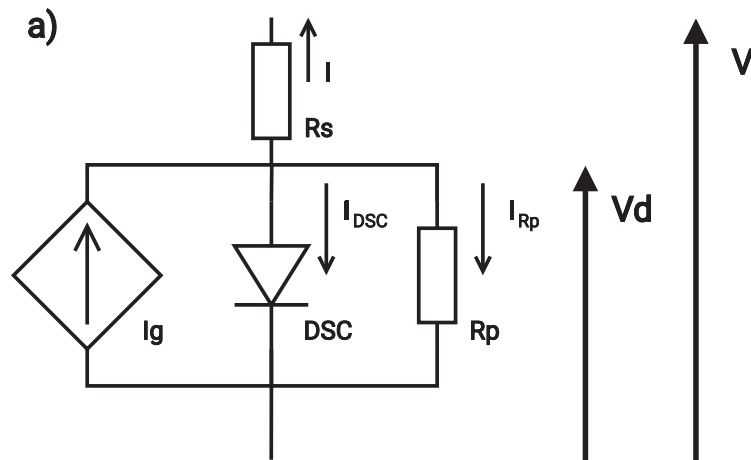


Figura B.1: a) Circuito de celda.

Del circuito se puede determinar que la corriente total de celda es igual a la suma de las tres corrientes de los elementos en paralelo

$$I = I_g - I_{DSC} - I_{R_p}$$

Se sabe que la expresión de la corriente de un diodo se puede describir con la ecuación de Shockley

$$I_{DSC} = I_s \left[ \exp \left( \frac{qV_d}{nkT} \right) - 1 \right] \quad (B.1)$$

donde

- $I_s$ : corriente de saturación
- $q$ : carga del electrón
- $n$ : factor de idealidad
- $k$ : constante de Boltzmann
- $T$ : temperatura en Kelvin

También se puede definir corriente en  $R_p$  como

$$I_{R_p} = \frac{V_d}{R_p}$$

Por último, se puede expresar  $V_d$  como el potencial total menos la caída de potencial en  $R_s$

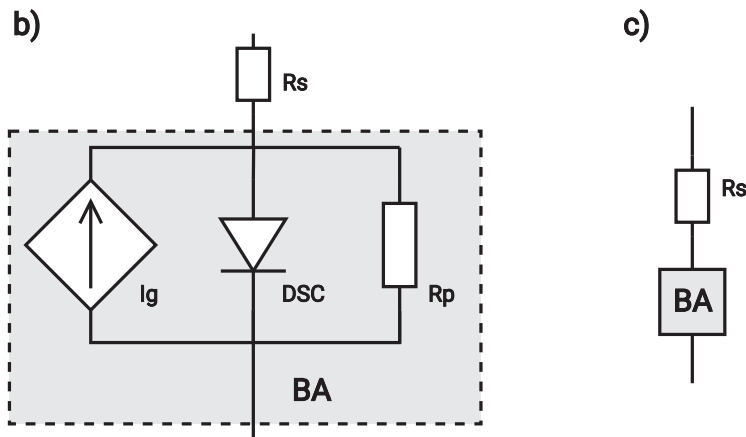
$$V_d = V - IR_s$$

Reemplazando todo en la ecuación de la suma de corrientes resulta en la ecuación de celda

$$I = I_g - I_s \left[ \exp \left( \frac{q(V - IR_s)}{nkT} \right) - 1 \right] - \frac{V - IR_s}{R_p} \quad (B.2)$$

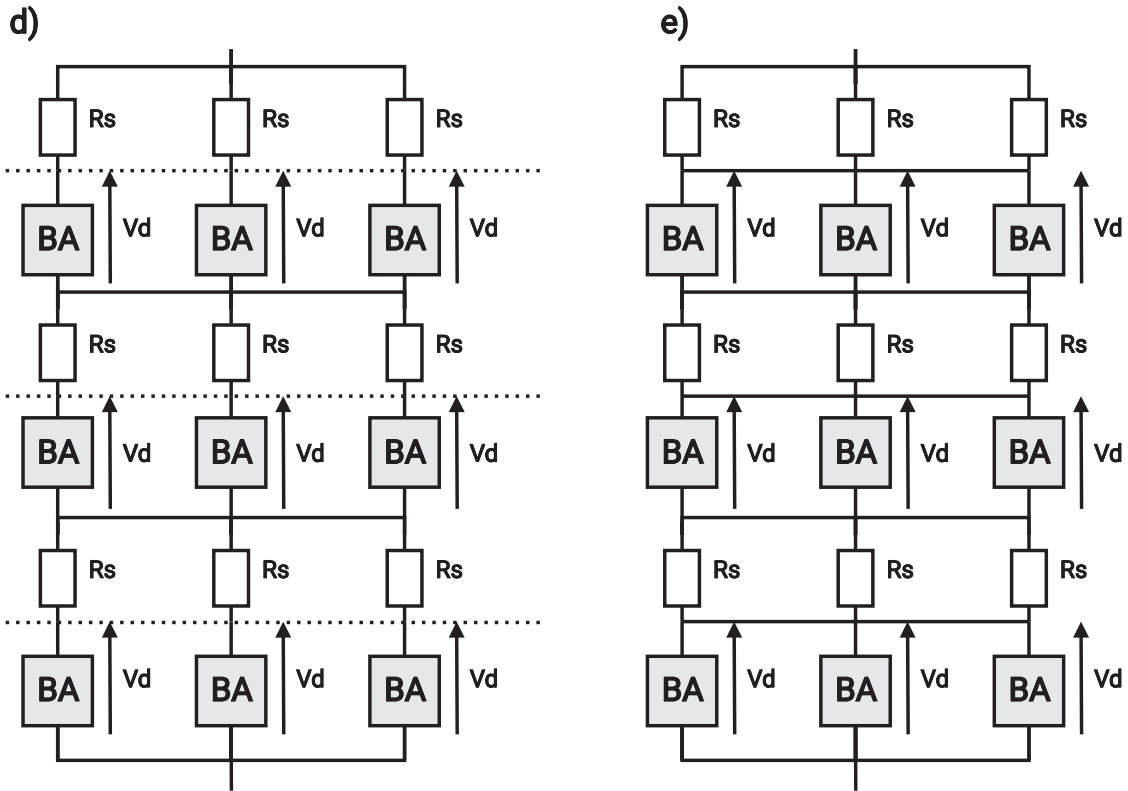
## B.2. Ecuación de Panel

Partiendo de la Figura B.1 se agrupan los tres componentes en paralelo en uno solo llamado **BA**, referenciando que es un Bloque Activo, ver Figura B.2



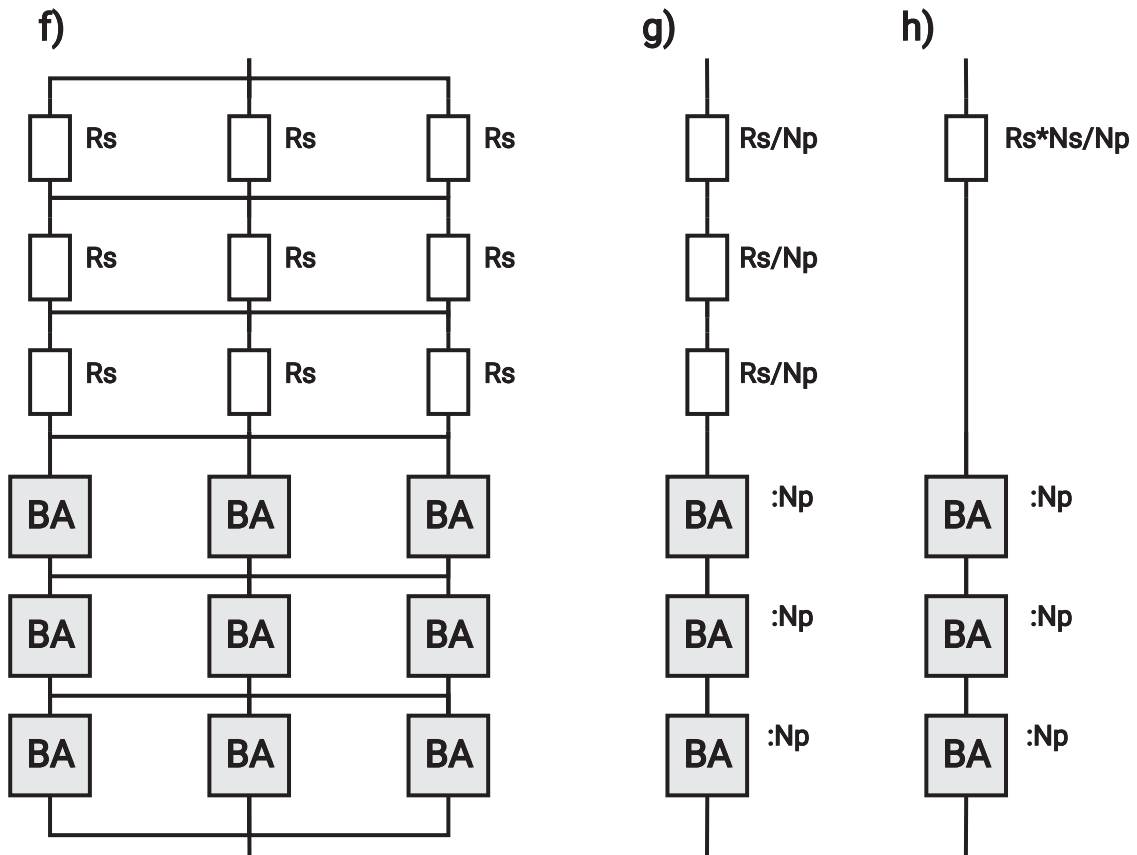
**Figura B.2:** b) Circuito de celda re-marcando el Bloque Activo **BA**. c) Circuito de celda simplificado.

Si se conectan  $N_s$  celdas en serie y  $N_p$  en paralelo se obtiene un arreglo como el de la Figura B.3



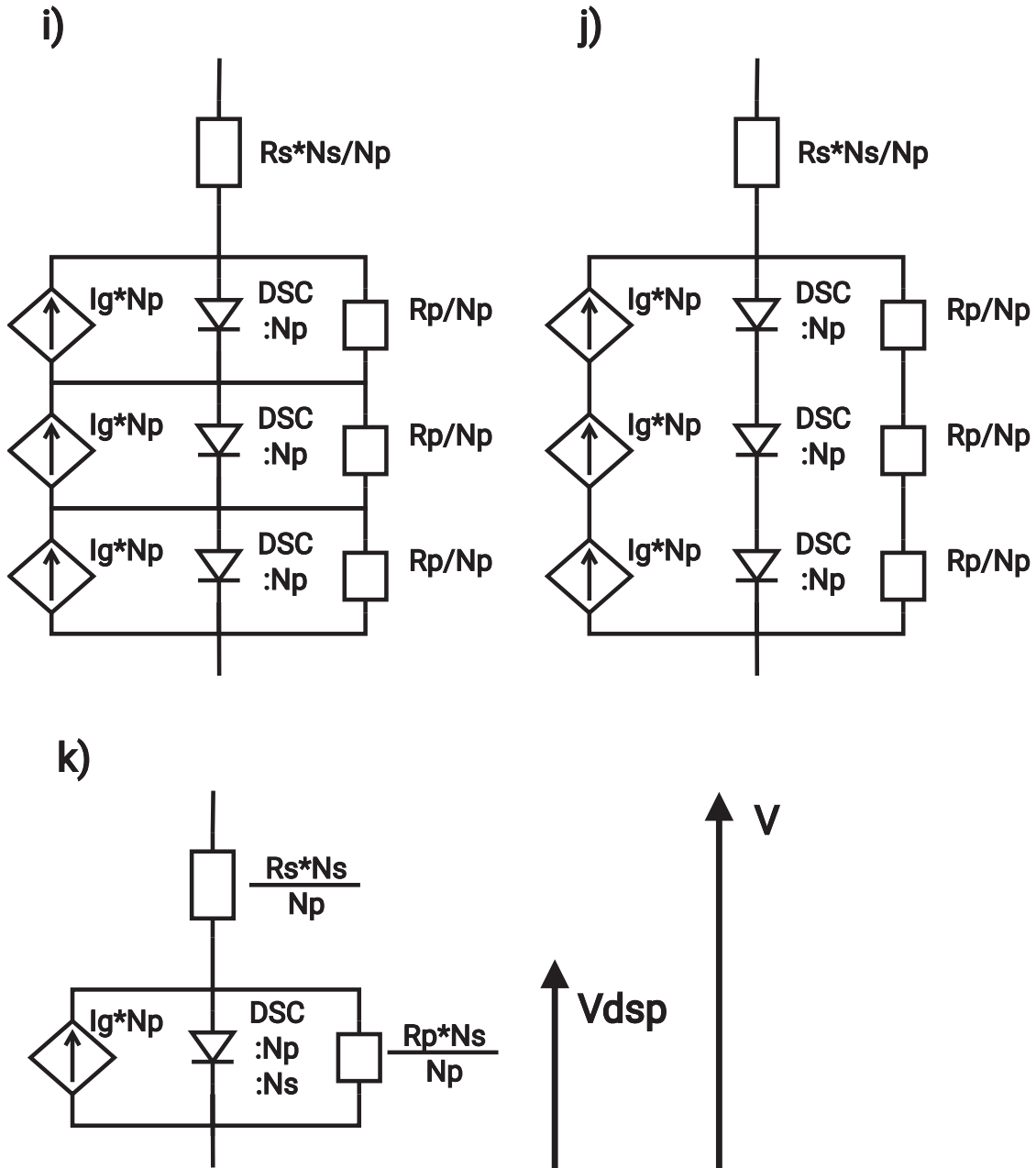
**Figura B.3:** d) Siendo todas las celdas idénticas, en cada BA cae el potencial  $V_d$ . Por lo que las líneas discontinuas son equipotenciales e) Siendo que las líneas son equipotenciales se pueden conectar y no circulará corriente.

Si se asume que todas las celdas son idénticas, necesariamente sobre cada **BA** cae el mismo potencial, por lo que se pueden trazar líneas equipotenciales entre celdas paralelas. Si se unen estas líneas, no circulará corriente, por lo que el circuito de la Figura B.3 d) y e) son equivalentes. Se reorganizan los elementos en la Figura B.4 f) y se agrupan los equivalentes serie-paralelo en g) y h) para las  $R_s$ .



**Figura B.4:** f) Se agrupan las resistencias  $R_s$  y los **BA** en dos grupos. g) Se convierten en elementos equivalentes paralelos. h) Las resistencias serie se convierten en un solo elemento equivalente.

Agrupados los elementos, se reemplazan los **BA** por sus equivalentes en la Figura B.5 i). Siendo que son celdas idénticas, por cada fuente controlada necesariamente tiene que circular la misma corriente por elemento. Por las resistencias paralelo y diodos cae el mismo potencial, que es lo que controla la corriente por elemento. Por lo que por los diodos circula la misma corriente y por las resistencias sucede lo mismo. Lo cual significa que entre ramas no circula corriente, entonces se pueden asumir que es equivalente a que estén desconectadas las ramas, ver Figura B.5 j). Finalmente, se pueden agrupar los elementos restantes en su equivalente serie en k).



**Figura B.5:** i) Se reemplazaron los BA por sus componentes. j) Se asume que entre ramas no circula corriente y se desconectan. k) Se agrupa en un modelo equivalente de panel.

Como se había realizado para el caso de una única celda, la corriente total se puede expresar como la suma de las corrientes por los tres elementos.

$$I = I_g N_p - I_{DSC:N_p:N_s} - I_{R_p:N_p:N_s}$$



La corriente por la resistencia paralelo se puede expresar como

$$I_{R_p:N_p:N_s} = \frac{V_{dsp}}{R_p \frac{N_s}{N_p}}$$

El voltaje  $V_{dsp}$  se puede describir como

$$V_{dsp} = V - IR_s \frac{N_s}{N_p}$$

quedando

$$I_{R_p:N_p:N_s} = \frac{V - IR_s \frac{N_s}{N_p}}{R_p \frac{N_s}{N_p}}$$

$$I_{R_p:N_p:N_s} = N_p \left( \frac{V - IR_s \frac{N_s}{N_p}}{R_p N_s} \right)$$

Para el caso de la corriente de los diodos  $I_{DSC:N_p:N_s}$  se puede usar la ecuación de Shockley multiplicando por la cantidad de diodos en paralelo  $N_s$ . Y el voltaje aplicado sobre cada diodo se puede expresar como la caída de todos los diodos,  $V_{dsp}$ , dividido el número de diodos en serie  $N_s$

$$I_{DSC:N_p:N_s} = N_p I_s \left[ \exp \left( \frac{q V_{dsp}}{n k T N_s} \right) - 1 \right]$$

$$I_{DSC:N_p:N_s} = N_p I_s \left[ \exp \left( \frac{q (V - IR_s \frac{N_s}{N_p})}{n k T N_s} \right) - 1 \right]$$

Reemplazando la ecuación de panel queda

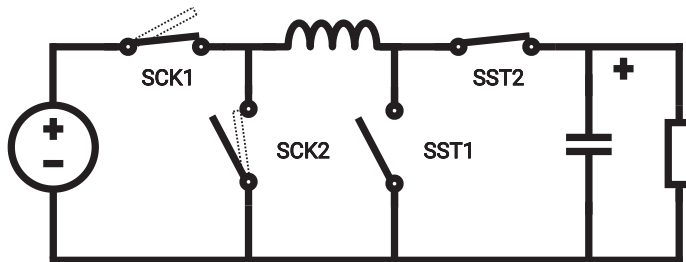
$$I = N_p \left\{ I_g - I_s \left[ \exp \left( \frac{q (V - IR_s \frac{N_s}{N_p})}{n k T N_s} \right) - 1 \right] - \frac{V - IR_s \frac{N_s}{N_p}}{R_p N_s} \right\} \quad (\text{B.3})$$

# C

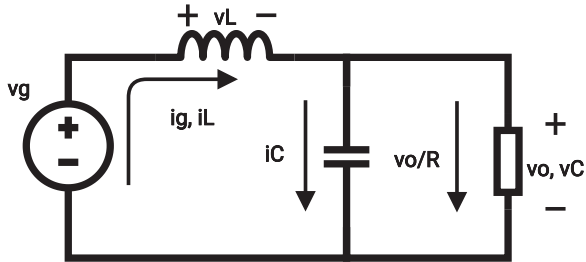
## Complemento de análisis

### C.1. Buck

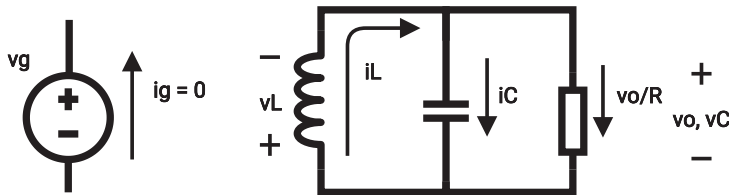
Se presentan los dos intervalos del caso ideal a continuación.



$0 < t < DT_s$ :



$DT_s < t < T_s$ :



Planteando balance volt-segundo y SRA se obtiene la relación

**Figura C.1:** Buck intervalos ideal. El análisis del primer semiciclo con  $0 < t < DT_s$

$$v_L = L \frac{di_L}{dt} = v_g - v_o$$

$$i_C = C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$

$$i_g = i_L$$

las llaves en este semiciclo

$$SCK1: v = 0; i = i_L$$

$$SCK2: v = v_g; i = 0$$

$$SST1: v = v_o; i = 0$$

$$SST2: v = 0; i = i_L$$

En el segundo semiciclo con  $DT_s < t < T_s$

$$v_L = L \frac{di_L}{dt} = -v_o$$

$$i_C = C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$

$$i_g = 0$$

y para las llaves

$$SCK1: v = v_g; i = 0$$

$$SCK2: v = 0; i = i_L$$

$$SST1: v = v_o; i = 0$$

$$SST2: v = 0; i = i_L$$

de conversión

$$\begin{aligned}
 \int_0^{T_s} v_L dt &= \int_0^{DT_s} v_g - v_o dt - \int_{DT_s}^{T_s} v_o dt = 0 \\
 (V_g - V_o) \int_0^{DT_s} dt - V_o \int_{DT_s}^{T_s} dt &= 0 \\
 (V_g - V_o)D T_s - V_o(1 - D) T_s &= 0 \\
 DV_g - V_o &= 0 \\
 \frac{V_o}{V_g} &= D \tag{C.1}
 \end{aligned}$$

Para la corriente en el inductor se hace el balance de carga

$$\begin{aligned}
 \int_0^{T_s} i_C dt &= \int_0^{T_s} i_L - v_o/R dt = 0 \\
 (I_L - V_o/R) \int_0^{T_s} dt &= (I_L - V_o/R) T_s = 0 \\
 I_L &= V_o/R \tag{C.2}
 \end{aligned}$$

De las llaves se observa que aplica el switch realization de la BuckBoost y que deben soportar las mismas características.

Se analiza el ripple de corriente en el inductor. Se grafica en forma cualitativa en la Figura C.2.

Teniendo en cuenta que el inicio del ciclo el valor de corriente es  $I_L - \Delta i_L$ , en tiempo  $t = DT_s$  es igual a  $I_L + \Delta i_L$  y que el voltaje aplicado es  $V_g - V_o$  tenemos que

$$\begin{aligned}
 \frac{di_L}{dt} &\approx \frac{(I_L + \Delta i_L) - (I_L - \Delta i_L)}{DT_s - 0} = \frac{V_g - V_o}{L} \\
 \frac{2\Delta i_L}{DT_s} &= \frac{V_g - V_g D}{L} \\
 \Delta i_L &= \frac{V_g(1 - D)D}{2Lf_s} \tag{C.3}
 \end{aligned}$$

Por último, se analiza el ripple de voltaje en el capacitor. De la Figura C.1 se sabe que para ambos intervalos vale  $i_C = i_L - v_o/R$  y habiendo deducido la expresión  $I_L = V_o/R$  se puede determinar que la corriente en el inductor es igual a la corriente de ripple en el inductor resultando en la Figura C.3.

Teniendo ya graficada cualitativamente la corriente en el capacitor y sabiendo que la integral de la corriente es proporcional al voltaje,  $\int i_C/C dt = \int dV$ , se puede determinar que el capacitor se carga solo cuando la corriente es positiva y se descarga

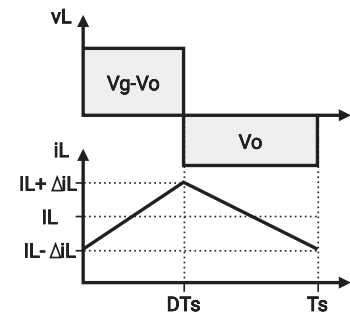


Figura C.2: Buck voltaje y corriente en el inductor. Se sigue asumiendo el balance volt-segundo y SRA para  $v_g$  y  $v_o$ .

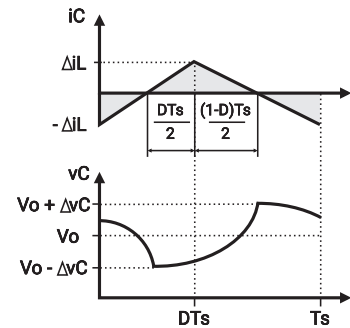


Figura C.3: Buck voltaje y corriente en el capacitor.

solo cuando es negativa. Asumiendo balance de carga necesariamente el voltaje es mínimo cuando la corriente pasa de valor negativo a cero y es máximo cuando pasa de valor positivo a cero. Conociendo el área encerrada cuando la corriente es positiva se puede saber la carga total acumulada durante ese tiempo y dividiéndola por la capacidad se obtiene la diferencia de voltaje.

$$\frac{1}{C} \int i_C dt = \int dV$$

$$\int dV \approx 2\Delta v_o$$

cuando la corriente en la Figura C.3 es positiva se puede dividir en dos triángulos rectángulos y usando la conocida expresión de sus áreas, base por altura dividido dos, se suman para obtener el área total

$$\frac{1}{C} \int i_C dt \approx \frac{1}{C} \left[ \frac{D}{2f_s} \Delta i_L \frac{1}{2} + \frac{1-D}{2f_s} \Delta i_L \frac{1}{2} \right]$$

$$\frac{1}{C} \int i_C dt \approx \frac{\Delta i_L}{4Cf_s} [D + 1 - D]$$

$$\frac{1}{C} \int i_C dt \approx \frac{\Delta i_L}{4Cf_s}$$

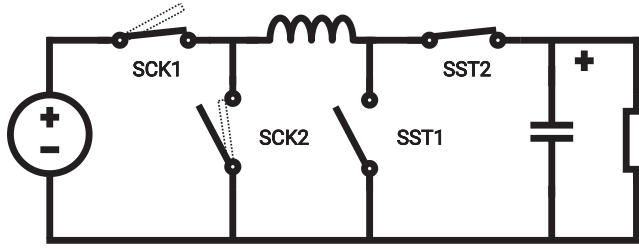
$$\frac{\Delta i_L}{4Cf_s} = 2\Delta v_o$$

$$\Delta v_o = \frac{\Delta i_L}{8Cf_s}$$

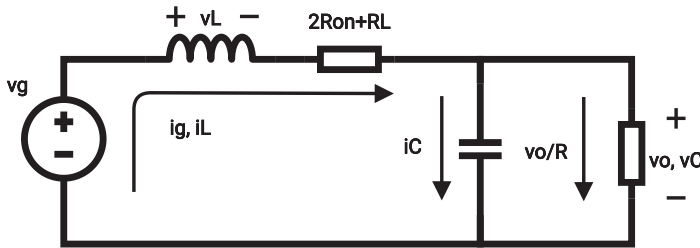
reemplazando  $i_L$  por su expresión de la ecuación C.3

$$\Delta v_o = \frac{V_g(1-D)D}{16LCf_s^2} \quad (\text{C.4})$$

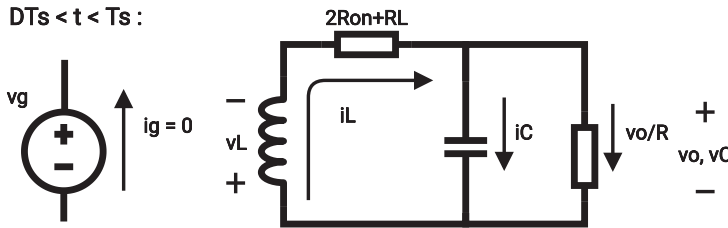
Se presentan los dos intervalos del caso con pérdidas por conducción a continuación.



$0 < t < DT_s$  :



$DT_s < t < Ts$  :



**Figura C.4:** Buck análisis con pérdidas en DC. El análisis del primer semiciclo con  $0 < t < DT_s$

$$v_L = L \frac{di_L}{dt} = v_g - v_o - i_L(R_L + 2R_{on})$$

$$i_C = C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$

$$i_g = i_L$$

En el segundo semiciclo con  $DT_s < t < T_s$

$$v_L = L \frac{di_L}{dt} = -v_o - i_L(R_L + 2R_{on})$$

$$i_C = C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$

$$i_g = 0$$

Planteando balance volt-segundo y SRA

$$\int_0^{T_s} v_L dt = \int_0^{DT_s} v_g - v_o - i_L(R_L + 2R_{on}) dt - \int_{DT_s}^{T_s} v_o + i_L(R_L + 2R_{on}) dt = 0$$

$$(V_g - V_o - I_L(R_L + 2R_{on})) \int_0^{DT_s} dt - (V_o + I_L(R_L + 2R_{on})) \int_{DT_s}^{T_s} dt = 0$$

$$(V_g - V_o - I_L(R_L + 2R_{on}))D T_s - (V_o + I_L(R_L + 2R_{on}))(1 - D) T_s = 0$$

$$DV_g - V_o - I_L(R_L + 2R_{on}) = 0$$

Para conocer la relación de conversión se vuelve necesario conocer la corriente en el inductor que se deduce del balance de carga

$$\int_0^{T_s} i_C dt = \int_0^{T_s} i_L - v_o/R dt = 0$$

$$(I_L - V_o/R) \int_0^{T_s} dt = (I_L - V_o/R) T_s = 0$$

$$I_L = V_o/R \tag{C.5}$$

reemplazando para obtener la relación de conversión

$$DV_g - V_o - \frac{V_o}{R}(R_L + 2R_{on}) = 0$$

$$DV_g = V_o \left( 1 + \frac{R_L + 2R_{on}}{R} \right)$$

$$DV_g = V_o \left( \frac{R + R_L + 2R_{on}}{R} \right)$$

$$\frac{V_o}{V_g} = D \frac{R}{R + R_L + 2R_{on}} \quad (C.6)$$

Como en el caso de la BuckBoost las pérdidas por conducción son

$$P_{cond} = I_{LRMS}^2 (R_L + 2R_{on}) \quad (C.7)$$

Se procede a analizar las pérdidas por conmutación.

**Driver:** se están conmutando solo dos transistores en este caso

$$P_{drv} = 2V_{drv}Q_g f_s \quad (C.8)$$

**Dead Time:** solo el diodo del transistor SCK2 conduce durante este tiempo

$$P_{DT} = V_f I_L t_d f_s \quad (C.9)$$

**Reverse Recovery:** hay un solo reverse recovery correspondiente también al diodo de SCK2

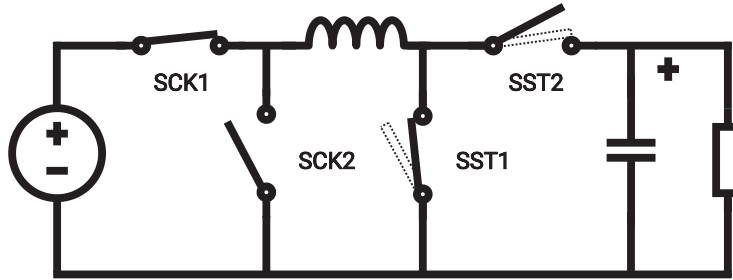
$$P_{rr} = V_g (I_L t_{rr} + Q_{rr}) f_s \quad (C.10)$$

**Capacidades:** se pierde solo la carga acumulada en SCK1

$$P_{QC} = \frac{1}{2} C_{oss} V_g^2 f_s \quad (C.11)$$

## C.2. Boost

Se presentan los dos intervalos del caso ideal a continuación.



**Figura C.5:** Boost intervalos ideal. El análisis del primer semiciclo con  $0 < t < DT_S$

$$v_L = L \frac{di_L}{dt} = v_g$$

$$i_C = C \frac{dv_o}{dt} = -\frac{v_o}{R}$$

$$i_g = i_L$$

las llaves en este semiciclo

$$\begin{aligned} \text{SCK1: } & v = 0; \quad i = i_L \\ \text{SCK2: } & v = v_g; \quad i = 0 \\ \text{SST1: } & v = 0; \quad i = i_L \\ \text{SST2: } & v = v_o; \quad i = 0 \end{aligned}$$

En el segundo semiciclo con  $DT_S < t < T_S$

$$v_L = L \frac{di_L}{dt} = v_g - v_o$$

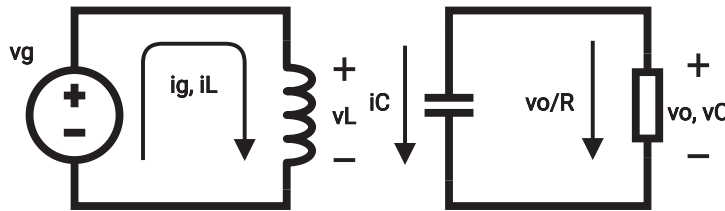
$$i_C = C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$

$$i_g = 0$$

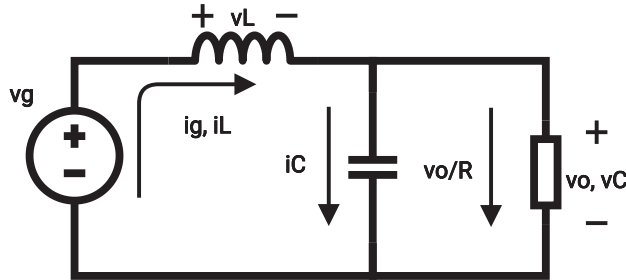
y para las llaves

$$\begin{aligned} \text{SCK1: } & v = 0; \quad i = i_L \\ \text{SCK2: } & v = v_g; \quad i = 0 \\ \text{SST1: } & v = v_o; \quad i = 0 \\ \text{SST2: } & v = 0; \quad i = i_L \end{aligned}$$

$0 < t < DT_S$ :



$DT_S < t < T_S$ :



Planteando balance volt-segundo y SRA se obtiene la relación de conversión

$$\int_0^{T_S} v_L dt = \int_0^{DT_S} v_g dt + \int_{DT_S}^{T_S} v_g - v_o dt = 0$$

$$V_o \int_0^{DT_S} dt + (V_g - V_o) \int_{DT_S}^{T_S} dt = 0$$

$$V_g D T_S + (V_g - V_o)(1 - D) T_S = 0$$

$$V_g - V_o(1 - D) = 0$$

$$\frac{V_o}{V_g} = \frac{1}{1 - D} \tag{C.12}$$

Para la corriente en el inductor se hace el balance de carga

$$\begin{aligned}
 \int_0^{T_s} i_C dt &= - \int_0^{DT_s} v_o/R dt + \int_{DT_s}^{T_s} i_L - v_o/R dt = 0 \\
 -V_o/R \int_0^{DT_s} dt + (I_L - V_o/R) \int_{DT_s}^{T_s} dt &= 0 \\
 -V_o D T_s/R + (I_L - V_o/R)(1 - D) T_s &= 0 \\
 -V_o/R + I_L(1 - D) &= 0 \\
 I_L &= \frac{V_o}{(1 - D)R} \tag{C.13}
 \end{aligned}$$

De las llaves se observa que aplica el switch realization de la BoostBoost y que deben soportar las mismas características.

Se analiza el ripple de corriente en el inductor. Se grafica en forma cualitativa en la Figura C.6.

Teniendo en cuenta que el inicio del ciclo el valor de corriente es  $I_L - \Delta i_L$ , en tiempo  $t = DT_s$  es igual a  $I_L + \Delta i_L$  y que el voltaje aplicado es  $V_g - V_o$  tenemos que

$$\begin{aligned}
 \frac{di_L}{dt} &\approx \frac{(I_L + \Delta i_L) - (I_L - \Delta i_L)}{DT_s - 0} = \frac{V_g}{L} \\
 \frac{2\Delta i_L}{DT_s} &= \frac{V_g}{L} \\
 \Delta i_L &= \frac{V_g D}{2L f_s} \tag{C.14}
 \end{aligned}$$

Por último, se analiza el ripple de voltaje en el capacitor. Observando la Figura C.7 se plantea para el primer semiciclo

$$\begin{aligned}
 C \frac{dv_o}{dt} &= -\frac{V_o}{R} \\
 \frac{dv_o}{dt} &= -\frac{V_o}{RC}
 \end{aligned}$$

se aproxima la derivada

$$\begin{aligned}
 \frac{dv_o}{dt} &\approx \frac{(v_o - \Delta v_C) - (v_o + \Delta v_C)}{DT_s - 0} = -\frac{V_o}{RC} \\
 2\Delta v_C &= \frac{V_o D}{RC f_s}
 \end{aligned}$$

expresado en función de  $V_g$  con  $V_o = V_g D/(1-D)$  y  $\Delta v_C = \Delta v_o$

$$\Delta v_o = \frac{V_g D^2}{2(1 - D)RC f_s} \tag{C.15}$$

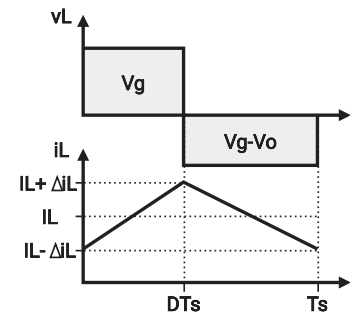


Figura C.6: Boost voltaje y corriente en el inductor. Se sigue asumiendo el balance volt-segundo y SRA para  $v_g$  y  $v_o$ .

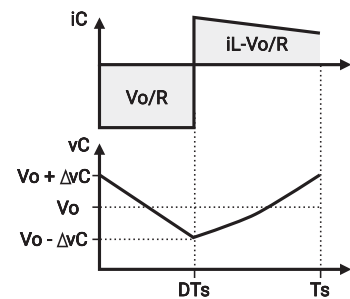
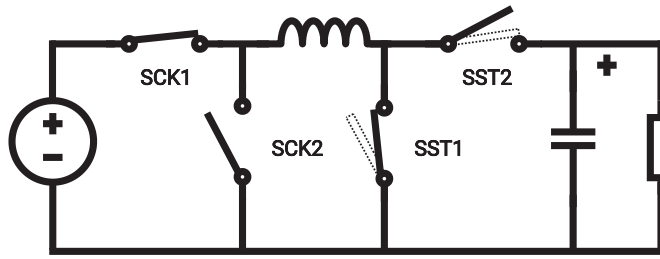


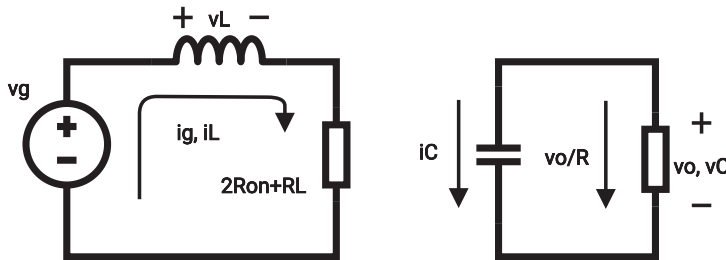
Figura C.7: Boost voltaje y corriente en el capacitor.



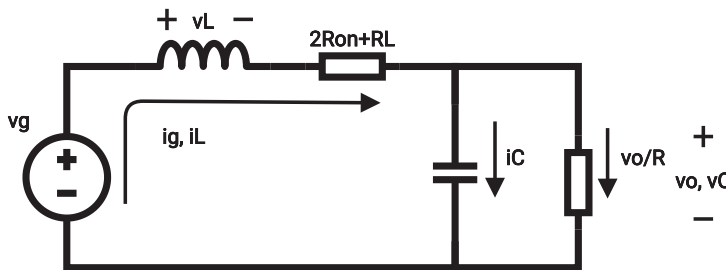
Se presentan los dos intervalos del caso con pérdidas por conducción a continuación.



$0 < t < DT_s$ :



$DT_s < t < Ts$ :



**Figura C.8:** Boost análisis con pérdidas en DC. El análisis del primer semiciclo con  $0 < t < DT_s$

$$v_L = L \frac{di_L}{dt} = v_g - i_L(R_L + 2R_{on})$$

$$i_C = C \frac{dv_o}{dt} = -\frac{v_o}{R}$$

$$i_g = i_L$$

En el segundo semiciclo con  $DT_s < t < T_s$

$$v_L = L \frac{di_L}{dt} = v_g - v_o - i_L(R_L + 2R_{on})$$

$$i_C = C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$

$$i_g = 0$$

Planteando balance volt-segundo y SRA

$$\int_0^{T_s} v_L dt = \int_0^{DT_s} v_g - i_L(R_L + 2R_{on}) dt + \int_{DT_s}^{T_s} v_g - v_o - i_L(R_L + 2R_{on}) dt = 0$$

$$(V_g - I_L(R_L + 2R_{on})) \int_0^{DT_s} dt + (V_g - V_o - I_L(R_L + 2R_{on})) \int_{DT_s}^{T_s} dt = 0$$

$$(V_g - I_L(R_L + 2R_{on}))D T_s + (V_g - V_o - I_L(R_L + 2R_{on}))(1 - D) T_s = 0$$

$$V_g - I_L(R_L + 2R_{on}) - V_o(1 - D) = 0$$

Para conocer la relación de conversión se vuelve necesario conocer la corriente en el inductor que se deduce del balance de

carga

$$\begin{aligned}
 \int_0^{T_s} i_C dt &= - \int_0^{DT_s} v_o/R dt + \int_{DT_s}^{T_s} i_L - v_o/R dt = 0 \\
 -V_o/R \int_0^{DT_s} dt + (I_L - V_o/R) \int_{DT_s}^{T_s} dt &= 0 \\
 -V_o D T_s/R + (I_L - V_o/R)(1-D) T_s &= 0 \\
 -V_o/R + I_L(1-D) &= 0 \\
 I_L &= \frac{V_o}{(1-D)R} \quad (C.16)
 \end{aligned}$$

reemplazando para obtener la relación de conversión

$$\begin{aligned}
 V_g - \frac{V_o}{(1-D)R} (R_L + 2R_{on}) - V_o(1-D) &= 0 \\
 V_o(1-D) \left( 1 + \frac{R_L + 2R_{on}}{R(1-D)^2} \right) &= V_g \\
 (1-D) \frac{R(1-D)^2 + R_L + 2R_{on}}{R(1-D)^2} &= \frac{V_g}{V_o} \\
 \frac{V_o}{V_g} &= \frac{1}{1-D} \frac{R(1-D)^2}{R(1-D)^2 + R_L + 2R_{on}} \quad (C.17)
 \end{aligned}$$

Como en el caso de la BuckBoost las pérdidas por conducción son

$$P_{cond} = I_{LRMS}^2 (R_L + 2R_{on}) \quad (C.18)$$

Se procede a analizar las pérdidas por conmutación.

**Driver:** se están conmutando solo dos transistores en este caso

$$P_{drv} = 2V_{drv} Q_g f_s \quad (C.19)$$

**Dead Time:** solo el diodo del transistor SST1 conduce durante este tiempo

$$P_{DT} = V_f I_L t_d f_s \quad (C.20)$$

**Reverse Recovery:** hay un solo reverse recovery correspondiente también al diodo de SST1

$$P_{rr} = V_o (I_L t_{rr} + Q_{rr}) f_s \quad (C.21)$$

**Capacidades:** se pierde solo la carga acumulada en SST2

$$P_{QC} = \frac{1}{2} C_{oss} V_o^2 f_s \quad (C.22)$$

### C.3. SEPIC

Siendo que el análisis de esta topología es más complejo y extenso que las anteriores, directamente se pasa al caso con pérdidas por conducción del cual se puede igualmente extraer las ecuaciones ideales. Se presentan los dos intervalos a continuación.

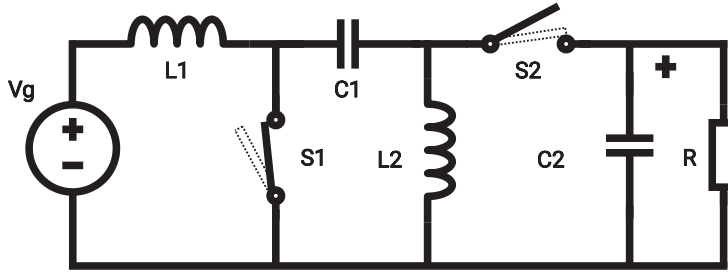


Figura C.9: SEPIC con los nombres de componentes.

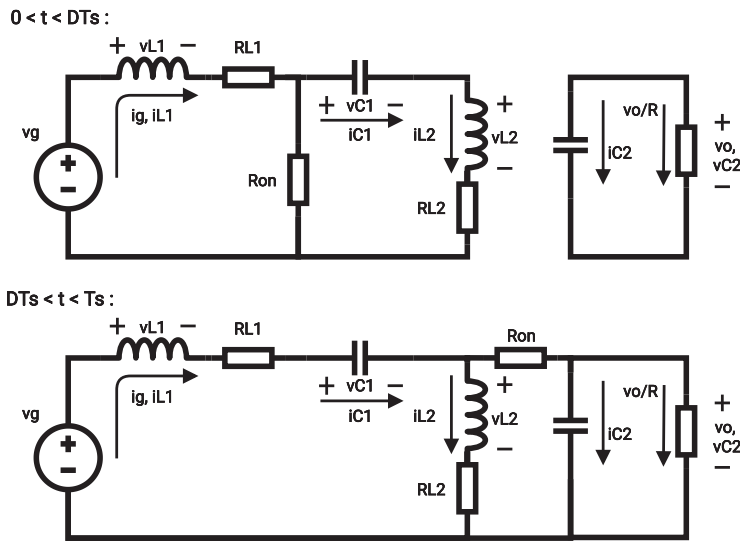


Figura C.10: SEPIC análisis con pérdidas en DC.

Para el primer intervalo con  $0 < t < DT_s$

$$\begin{aligned} v_{L1} &= v_g - i_{L1}R_{L1} - R_{on}(i_{L1} - i_{L2}) \\ v_{L2} &= R_{on}(i_{L1} - i_{L2}) - v_{C1} - i_{L2}R_{L2} \\ i_{C1} &= i_{L2} \\ i_{C2} &= -v_o/R \end{aligned}$$

las llaves en este semiciclo

$$\begin{aligned} S1: \quad v &\approx 0; \quad i \approx i_{L1} - i_{L2} \\ S2: \quad v &\approx v_o + v_{C1}; \quad i \approx 0 \end{aligned}$$

Para el segundo semiciclo con  $DT_S < t < T_S$

$$v_{L1} = v_g - i_{L1}R_{L1} - R_{on}(i_{L1} - i_{L2}) - v_{C1} - v_o$$

$$v_{L2} = v_o + R_{on}(i_{L1} - i_{L2}) - i_{L2}R_{L2}$$

$$i_{C1} = i_{L1}$$

$$i_{C2} = -v_o/R + i_{L1} - i_{L2}$$

las llaves en este semiciclo

$$S1: \quad v \approx v_g + v_{C1}; \quad i \approx 0$$

$$S2: \quad v \approx 0; \quad i \approx i_{L1} - i_{L2}$$

Planteando balance volt-segundo y SRA

$$V_g - I_{L1}R_{L1} - (I_{L1} - I_{L2})R_{on} - (1 - D)V_o - V_{C1} + DV_{C1} = 0 \quad (C.23)$$

$$-I_{L2}R_{L2} + (I_{L1} - I_{L2})R_{on} + (1 - D)V_o - DV_{C1} = 0 \quad (C.24)$$

$$(1 - D)I_{L1} + DI_{L2} = 0 \quad (C.25)$$

$$-V_o/R + (I_{L1} - I_{L2})(1 - D) = 0 \quad (C.26)$$

Sumando C.23 con C.24 y despejando de C.25

$$I_{L2} = -(1 - D)I_{L1}/D$$

$$\frac{V_o}{V_g} = \frac{1}{1 - D} \quad (C.27)$$

quedando el siguiente conjunto de ecuaciones

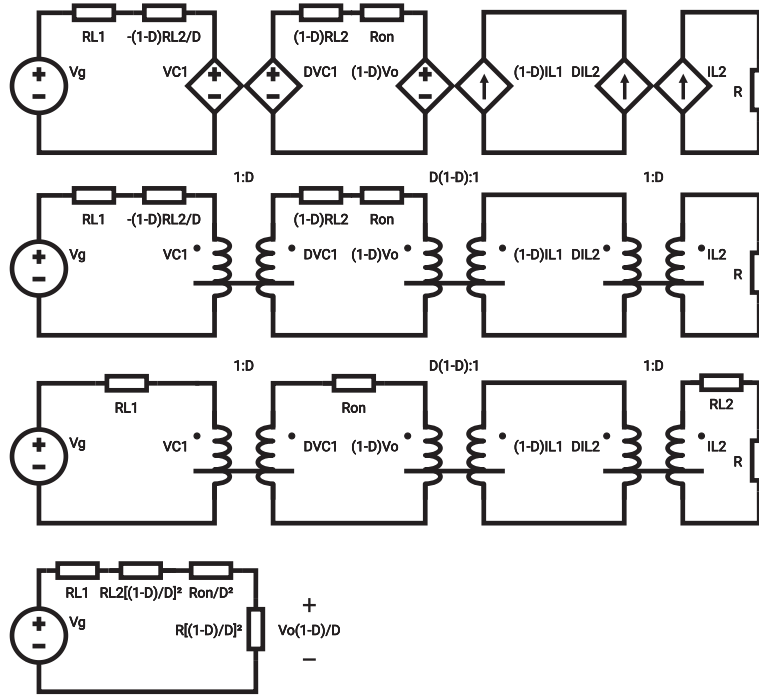
$$V_g - I_{L1} \left( R_{L1} - \frac{1 - D}{D} R_{L2} \right) - V_{C1} = 0 \quad (C.28)$$

$$(1 - D)V_o - DV_{C1} + \frac{1}{D}I_{L1} [(1 - D)R_{L2} + R_{on}] = 0 \quad (C.29)$$

$$(1 - D)I_{L1} + DI_{L2} = 0 \quad (C.30)$$

$$V_o/R + I_{L2} = 0 \quad (C.31)$$

A partir de estas ecuaciones se elabora el siguiente modelo circuital equivalente, esta técnica está descrita en el libro *Fundamentals of power electronics* de Erickson y Maksimović [3]. Específicamente las ecuaciones C.28 y C.29 se toman como dos mallas y las ecuaciones C.30 y C.31 como dos nodos.



**Figura C.11:** SEPIC circuito equivalente usando transformadores DC. En la primera fila se tiene expresadas con fuentes controladas las distintas ecuaciones. En la segunda fila estas fuentes se convierten en transformadores DC. En la tercera fila cada elemento es colocado en su malla correspondiente. Por último, pasando todos los elementos a la primera malla se tiene un divisor resistivo equivalente de donde se puede extraer la relación de conversión.

Es entonces a partir de este circuito que se puede deducir el factor de conversión,

$$M(D) = \frac{V_o}{V_g} = \frac{D}{1-D} \frac{R(1-D)^2}{R(1-D)^2 + R_{L2}(1-D)^2 + R_{L1}D^2 + R_{on}D} \quad (C.32)$$

las corrientes en los inductores<sup>1</sup>

$$I_{L1} = \frac{D}{1-D} \frac{V_g}{R} M(D) \quad (C.33)$$

$$I_{L2} = -\frac{V_g}{R} M(D) \quad (C.34)$$

y el voltaje en el capacitor C1

$$V_{C1} = V_g - I_{L1}R_{L1} \quad (C.35)$$

Para obtener las expresiones del caso ideal las fuentes de pérdidas  $R_{on}$ ,  $R_{L1}$  y  $R_{L2}$  se igualan a cero quedando

$$M(D) = \frac{V_o}{V_g} = \frac{D}{1-D} \quad (C.36)$$

$$I_{L1} = \left(\frac{D}{1-D}\right)^2 \frac{V_g}{R} \quad (C.37)$$

$$I_{L2} = -\frac{D}{1-D} \frac{V_g}{R} \quad (C.38)$$

$$V_{C1} = V_g \quad (C.39)$$

1: Se aclara que el hecho que  $I_{L2}$  haya quedado expresada con signo negativo implica que el sentido original asumido era incorrecto.

Para el análisis de los ripples de corriente en los inductores y capacitores se toman las magnitudes ideales.

$i_{L1}$ : para el primer y segundo semiciclo respectivamente

$$v_{L1} = L_1 \frac{di_{L1}}{dt} = v_g$$

$$v_{L1} = L_1 \frac{di_{L1}}{dt} = v_g - v_{C1} - v_o$$

se toma el primer semiciclo, se asume SRA, se reemplaza  $V_{C1}$  por  $V_g$  y se aproxima la derivada como diferencias

$$v_{L1} \frac{di_{L1}}{dt} \approx \frac{2\Delta i_{L1}}{DT_s} = V_g/L_1$$

$$\Delta i_{L1} = \frac{V_g D}{2L_1 f_s} \quad (C.40)$$

$i_{L2}$ : para el primer y segundo semiciclo respectivamente

$$v_{L2} = L_2 \frac{di_{L2}}{dt} = -v_{C1}$$

$$v_{L2} = L_2 \frac{di_{L2}}{dt} = v_o$$

se toma el primer semiciclo, se asume SRA, se reemplaza  $V_{C1}$  por  $V_g$  y se aproxima la derivada como diferencias

$$v_{L2} \frac{di_{L2}}{dt} \approx \frac{2\Delta i_{L2}}{DT_s} = V_g/L_2$$

$$\Delta i_{L2} = \frac{V_g D}{2L_2 f_s} \quad (C.41)$$

$v_{C1}$ : para el primer y segundo semiciclo respectivamente

$$i_{C1} = C_1 \frac{dv_{C1}}{dt} = i_{L2}$$

$$i_{C1} = C_1 \frac{dv_{C1}}{dt} = i_{L1}$$

Se grafica cualitativamente en la Figura C.12 y calculando el área del segundo semiciclo se puede saber la carga total que dividida por la capacidad resulta en la diferencia de voltaje.

$$2\Delta v_{C1} = \frac{1}{C_1} \left( I_{L1}(1-D)T_s + \frac{1-D}{2} T_s \Delta i_{L1} \frac{1}{2} - \frac{1-D}{2} T_s \Delta i_{L1} \frac{1}{2} \right)$$

$$2\Delta v_{C1} = I_{L1}(1-D)T_s \frac{1}{C_1}$$

$$\Delta v_{C1} = \left( \frac{D}{1-D} \right)^2 \frac{V_g}{R} (1-D)T_s \frac{1}{C_1}$$

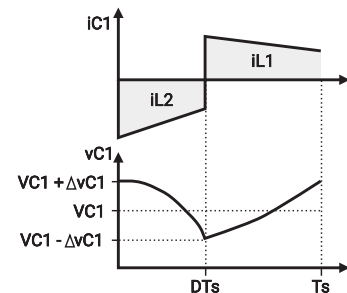


Figura C.12: SEPIC voltaje y corriente en C1.

$$\Delta v_{C1} = \frac{D^2}{1-D} \frac{V_g}{RC_1 f_s} \quad (C.42)$$

$v_{C2} = v_o$ : para el primer y segundo semiciclo respectivamente

$$i_{C2} = C_2 \frac{dv_{C2}}{dt} = -v_o/R$$

$$i_{C2} = C_2 \frac{dv_{C2}}{dt} = -v_o/R + i_{L1} - i_{L2}$$

Se grafica cualitativamente en la Figura C.13 y calculando el área del primer semiciclo se puede saber la descarga total que dividida por la capacidad resulta en la diferencia de voltaje.

$$-2\Delta v_{C2} = -DT_s \frac{V_o}{RC_2}$$

$$\Delta v_{C2} = \frac{V_o D}{2RC_2 f_s}$$

$$\Delta v_{C2} = \frac{V_g D^2}{2(1-D)RC_2 f_s} \quad (C.43)$$

Las pérdidas por conducción resultan

$$P_{cond} = I_{L1RMS}^2 R_{L1} + I_{L2RMS}^2 R_{L2} + I_{L12RMS}^2 R_{on} \quad (C.44)$$

donde  $I_{L12RMS}$  es valor RMS de la magnitud  $I_{L12} = I_{L1} - I_{L2}$ .

Se procede a analizar las pérdidas por conmutación.

**Driver:** se están conmutando solo dos transistores en este caso

$$P_{drv} = 2V_{drv} Q_g f_s \quad (C.45)$$

**Dead Time:** solo el diodo del transistor S2 conduce durante este tiempo

$$P_{DT} = V_f I_{L12} t_d f_s \quad (C.46)$$

**Reverse Recovery:** hay un solo reverse recovery correspondiente también al diodo de S2

$$P_{rr} = V_o (I_{L12} t_{rr} + Q_r r) f_s \quad (C.47)$$

**Capacidades:** se pierde solo la carga acumulada en S1

$$P_{QC} = \frac{1}{2} C_{oss} (V_o + V_{C1})^2 f_s \approx \frac{1}{2} C_{oss} (V_o + V_g)^2 f_s \quad (C.48)$$

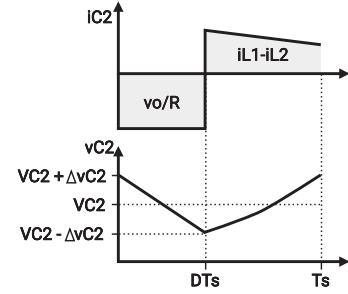


Figura C.13: SEPIC voltaje y corriente en C2.

# D

---

## Validación del transistor

---

### D.1. Introducción

Como se mencionó, el procedimiento que se siguió fue:

- Relevar todos los datos necesarios de la hoja de datos.
- Usar las ecuaciones de los trabajos antes mencionados para obtener un modelo inicial.
- Iterar con distintos archivos de simulación para ajustar los parámetros SPICE.
- Comparar las características del modelo extraído con la hoja de datos y/o el modelo provisto por el fabricante.

### D.2. Datos relevados

Se presenta a continuación los datos de la hoja de datos que se seleccionaron



**Tabla D.1:** Tabla de datos relevados.

Nombre	Valor	Descripción
mfg	Infineon	Fabricante
name	BS074N15NS5	Nombre del modelo
vdsmax	150 V	Máximo voltaje soportado
rdson	7.4 m $\Omega$	Resistencia de conducción
vgsth	4.6 V	Voltaje de threshold
idss	0.1 $\mu$ A	Corriente de drenaje con vgs a 0 V
gfs	81 S	Transconductancia
rg	1 $\Omega$	Resistencia de gate
vm	75 V	Volaje al cual fueron medidas las capacidades
ciss	3100 pF	Capacidad de entrada a vm
coss	770 pF	Capacidad de salida a vm
crss	19 pF	Capacidad de reversa a vm
n	1.5	Factor de idealidad del diodo
is	50 A	Corriente continua del diodo en forward
vsd	0.85 V	Voltaje de forward del diodo
vdslin	1 V	Voltaje drain a source en la región lineal
vgslin	10 V	Voltaje gate a source en la región lineal
idslin	160 A	Corriente drain a source en la región lineal
vgssat	7 V	Voltaje gate a source de saturación
idssat	200 A	Corriente drain a source de saturación
cissmax	3500 pF	Capacidad de entrada máxima
cossmax	3500 pF	Capacidad de salida máxima
crssmax	450 pF	Capacidad de reversa máxima
crssmin	12 pF	Capacidad de reversa mínima
qg	40 nC	Carga del gate

### D.3. Ecuaciones utilizadas

Las ecuaciones utilizadas para obtener un modelo preliminar se presentan a continuación.

Tabla D.2: Tabla de datos relevados.

Parámetro	Ecuación	Descripción
Kp	gfs	Transconductancia
Vto	vgsth	Voltaje de threshold
Rs	$\frac{vgsat - \sqrt{2idsat/Kp - Vto}}{Idssat}$	Resistencia de source
Rd	$\frac{vdsline}{idsline} - 1/[Kp(vgsline - Vto)]$	Resistencia de drain
Ksubthres	0.1	Subthreshold (default)
Cgdmax	$crssmax + \frac{crssmax - crssmin}{\arctg(10000)}$	Máxima capacidad de gate a drain
Cgdmin	crssmin	Mínima capacidad de gate a drain
A	0.3	Parámetro de no linealidad de capacidad (default)
Cgs	$ciss - crss$	Capacidad de gate a source
Cds	$coss - \frac{crss(ciss - crss)}{ciss}$	Capacidad de drain a source a vm
Cjo	$cossmax - \frac{crssmax(cissmax - crssmax)}{cissmax}$	Capacidad de drain a source a 0 V
Vj	vsd	Potencial de juntura
M	$\frac{-\log(Cds/Cjo)}{\log(1 + vm/Vj)}$	Coefficiente del diodo de sustrato
Rg	rg	Resistencia de gate
Is	idss	Corriente de drenaje con vgs a 0 V
N	n	Factor de idealidad del diodo
Rb	$\frac{vsd}{Is} - \frac{nkT}{qIs} \ln(Is/idss + 1)$	Resistencia del diodo de sustrato
Ron	rdson	Resistencia de conducción
Qg	qg	Carga del gate
Vds	vdsmax	Máximo voltaje soportado
mfg	mfg	Fabricante

## D.4. Modelos inicial y final

### Modelo inicial

```

1 | .model BSC074N15NS5 VDMOS(
2 | +Kp=81.00 Vto=4.60
3 | +Rs=888.89u Rd=3.96m Ksubthres=100.00m
4 | +Mtriode=1.00 Lambda=0.00
5 | +Cgdmax=728.86p Cgdmin=12.00p
6 | +a=300.00m Cgs=3.08n
7 | +Cjo=3.11n m=316.20m VJ=850.00m Rb=1.57m
8 | +IS=100.00n N=1.50
9 | +Rg=1.00
10 | +Vds=150.00 Ron=7.40m
11 | +Mfg=Infineon)

```

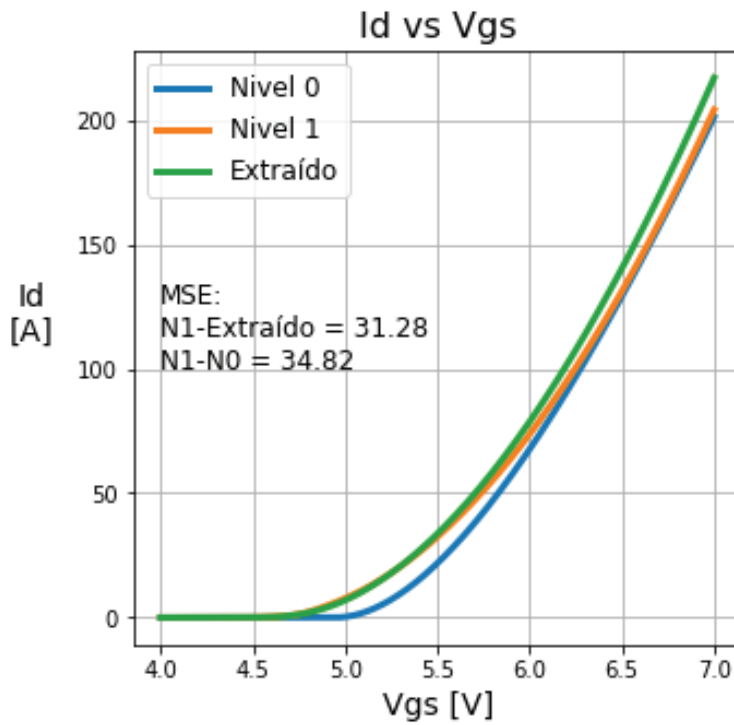
Luego de iterar sobre los distintos circuitos propuestos en [5] se llegó al siguiente modelo

```

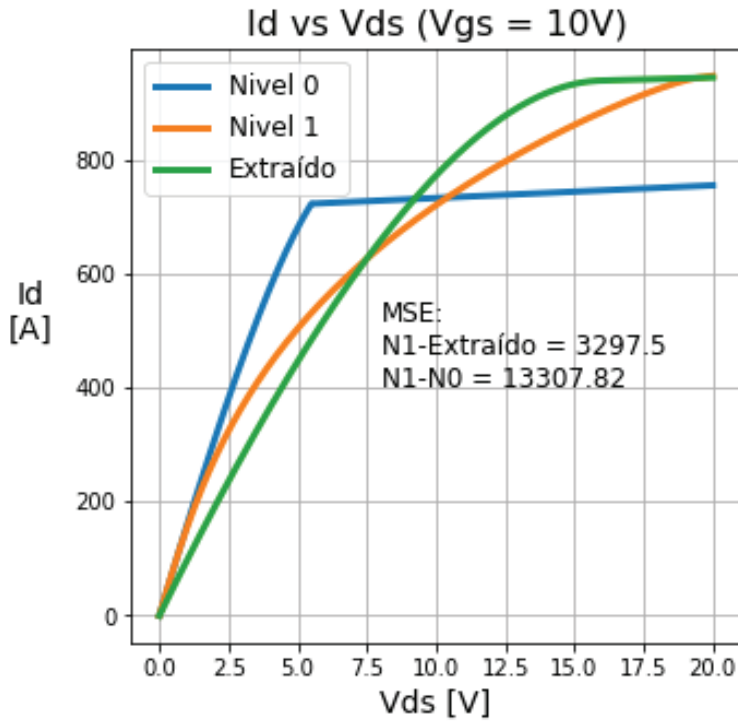
1 | .model BSC074N15NS5 VDMOS(
2 | +Kp=88.00 Vto=4.60
3 | +Rs=888.89u Rd=3.96m Ksubthres=100.00m
4 | +Mtriode=0.4 Lambda=2m
5 | +Cgdmax=600p Cgdmin=12p

```

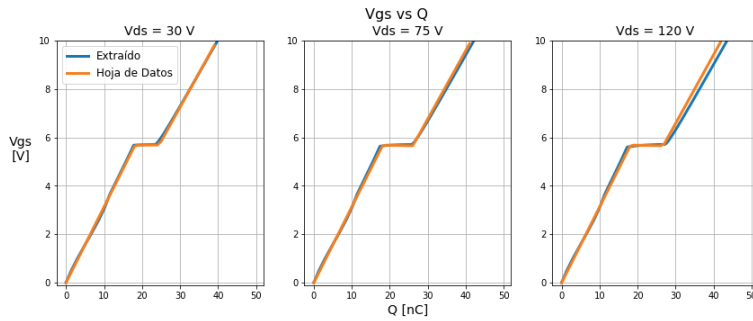
```
6 +a=0.12 Cgs=3.08n
7 +Cjo=25n m=776m VJ=0.85 Rb=1.15m
8 +IS=100.00n N=1.54
9 +Rg=1.5
10 +Vds=150.00 Ron=7.40m
11 +Mfg=Infineon)
```



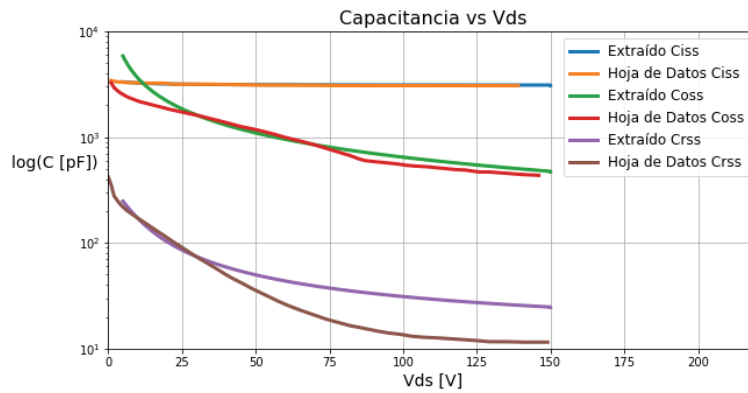
**Figura D.1:**  $I_d$  vs  $V_{gs}$ . Comparación de datos de simulación con los modelos de nivel 1 y 2 del fabricante contra el modelo extraído junto con el error cuadrático medio (MSE).



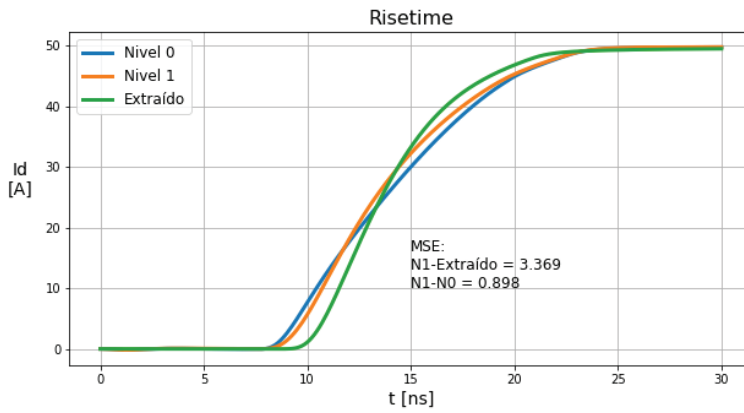
**Figura D.2:** Id vs Vds. Comparación de datos de simulación con los modelos de nivel 1 y 2 del fabricante contra el modelo extraído junto con el error cuadrático medio (MSE).



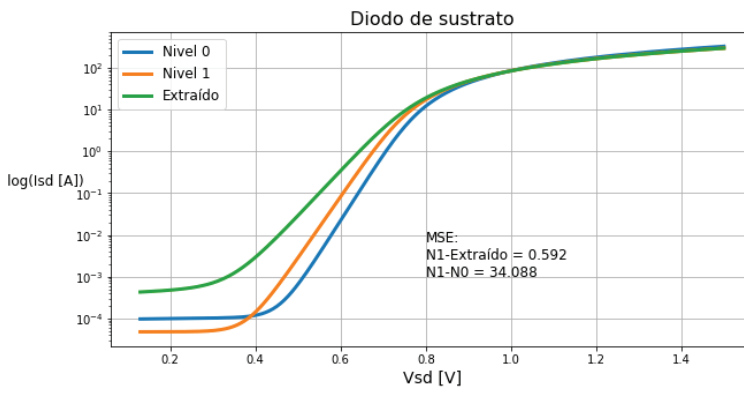
**Figura D.3:** Vgs en función de la carga de gate comparando la hoja de datos contra simulación.



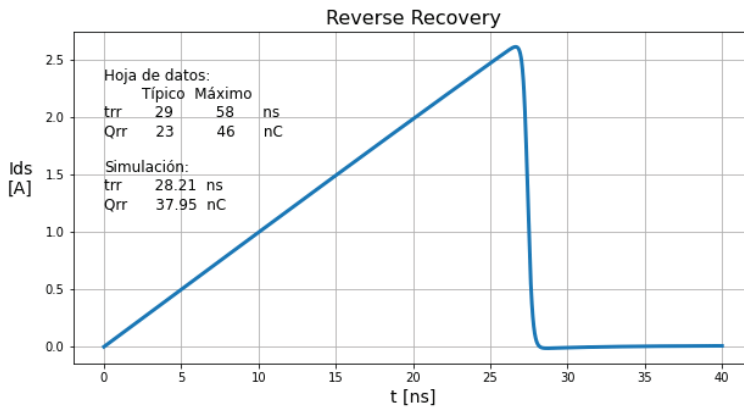
**Figura D.4:** Capacidades parásitas en función de Vds, comparando la hoja de datos contra simulación.



**Figura D.5:** Risetime con datos de simulación.



**Figura D.6:** Característica del diodo de sustrato con datos de simulación.



**Figura D.7:** Reverse Recovery. Se grafica solo el transistor modelado y se compara con los números provistos por la hoja de datos.

# Bibliografía

Aquí se encuentran las referencias.

- [1] Daniel Costinett, Dragan Maksimovic y Regan Zane. «Circuit-Oriented Treatment of Nonlinear Capacitances in Switched-Mode Power Supplies». En: *IEEE Transactions on Power Electronics* 30.2 (feb. de 2015), págs. 985-995. doi: [10.1109/TPEL.2014.2313611](https://doi.org/10.1109/TPEL.2014.2313611).
- [2] E. Duran et al. «A New Application of the Buck-Boost-Derived Converters to Obtain the I-V Curve of Photovoltaic Modules». En: (jun. de 2007), págs. 413-417. doi: [10.1109/PESC.2007.4342022](https://doi.org/10.1109/PESC.2007.4342022).
- [3] Robert W. Erickson y Dragan Maksimović. *Fundamentals of power electronics*. 2.<sup>a</sup> ed. Kluwer Academic Publishers, 2004.
- [4] M. Gaboriault y A. Notman. «A high efficiency, noninverting, buck-boost DC-DC converter». En: 3 (feb. de 2004), 1411-1415 Vol.3. doi: [10.1109/APEC.2004.1296049](https://doi.org/10.1109/APEC.2004.1296049).
- [5] Ian Heggulun. *VDMOS Parameter Extraction*. <https://www.paklaunchsite.jimdofree.com/spice-models/vdmos/>. 2020.
- [6] Diederik P. Kingma y Jimmy Ba. *Adam: A Method for Stochastic Optimization*. 2017.
- [7] *KOMA-Script Documentation Project | Aktive Anwender verbessern KOMA-Script*. [Online]. Feb. de 2019. URL: <https://komascript.de>.
- [8] Olivier Mourra, Arturo Fernandez y Ferdinando Tonicello. «Buck Boost Regulator (B2R) for spacecraft Solar Array Power conversion». En: (feb. de 2010), págs. 1313-1319. doi: [10.1109/APEC.2010.5433399](https://doi.org/10.1109/APEC.2010.5433399).
- [9] Michael A. Nielsen. *Neural Networks and Deep Learning*. Determination Press, 2015.
- [10] V.M. Pacheco et al. «A DC-DC converter adequate for alternative supply system applications». En: 2 (mar. de 2002), 1074-1080 vol.2. doi: [10.1109/APEC.2002.989377](https://doi.org/10.1109/APEC.2002.989377).
- [11] Héctor Polenta. *¿Cuál es la tarea de un ingeniero Electrónico?* <https://www.cronista.com/itbusiness/Cual-es-la-tarea-de-un-ingeniero-Electronico-20130129-0007.html>. 2013.
- [12] Richard S. Sutton y Andrew G. Barto. *Reinforcement Learning: An Introduction*. 2.<sup>a</sup> ed. MIT Press Ltd, 2018.
- [13] Brian Tanner y Adam White. «RL-Glue: Language-Independent Software for Reinforcement-Learning Experiments». En: *Journal of Machine Learning Research* 10.74 (2009), págs. 2133-2136.
- [14] F. El-Turky y E.E. Perry. «BLADES: an artificial intelligence approach to analog circuit design». En: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 8.6 (1989), págs. 680-692. doi: [10.1109/43.31523](https://doi.org/10.1109/43.31523).
- [15] Kai-En Yang et al. «Trust-Region Method with Deep Reinforcement Learning in Analog Design Space Exploration». En: *2021 58th ACM/IEEE Design Automation Conference (DAC)*. IEEE, dic. de 2021. doi: [10.1109/dac18074.2021.9586087](https://doi.org/10.1109/dac18074.2021.9586087).
- [16] Hendrik Jan Zwerver. *LTspice built in VDMOS model*. [http://www.magma.ca/~legg/SR5/LTspice\\_build\\_in\\_VDmos\\_model.pdf](http://www.magma.ca/~legg/SR5/LTspice_build_in_VDmos_model.pdf). 2006.