

UNIVERSIDAD
NACIONAL DE
SAN MARTÍN

ESCUELA DE CIENCIA Y TECNOLOGÍA

Amplificador Chopper Como Acondicionador de Señales Para Sensores Magnéticos

PROYECTO FINAL DE CARRERA

Ingeniería Electrónica

Autor: Fonseca, Maximiliano

Tutor: Ing. Gabriel Gabian

Buenos Aires - 2020

Índice

- ❖ Capítulo 0 - Gerenciamiento del proyecto
 - Project Charter
 - Diagrama de Gantt
 - WBS
 - Análisis de Riesgos
 - Análisis de Costos
- ❖ Capítulo I - Introducción y Motivación
 - Sensores magnéticos y su aplicación
 - Sistema de sensado de campos magnéticos
 - El elemento sensante
 - Acondicionador de señales
 - Offset
 - Orígenes del offset
 - Ruido - Orígenes y modelado
 - Amplificadores Chopper
 - Ripple Reduction Loop
 - Especificaciones
- ❖ Capítulo II - Implementación
 - Filtro Sinc
 - Sample and Hold
 - Transmission Gate
 - OpAmp principal
 - I. Topología
 - II. Common feedback amplifier
 - III. Realimentación
 - Integrador

- Top Level
 - I. Resistencias dummies a la entrada
 - II. Espejo de corriente
 - III. Sincronización de tiempos Track y Hold
 - IV. Estabilidad del Ripple Reduction Loop
- Conclusión
- ❖ Capítulo III - Simulación y resultados
 - Inversor
 - OpAmp principal
 - I. OpAmp a lazo abierto
 - II. Estabilidad a lazo cerrado
 - III. Transient
 - IV. Estabilidad del CMFB
 - V. Ruido
 - VI. Offset
 - Integrador
 - I. Estabilidad de señal diferencial
 - II. Estabilidad del CMFB
 - III. Transient
 - V. Offset
 - Generador de CLKs
 - Top Level
 - Conclusión
- ❖ Anexo I - Ruido KT/C
- ❖ Anexo II - Posibles trabajos a futuro
- ❖ Referencias
- ❖ Agradecimientos

Capítulo 0 - Gerenciamiento del proyecto

Project Charter

Acta de constitución de proyecto

Buenos Aires, 1 de diciembre de 2018

Título: Amplificador chopper como acondicionador de señales para sensores magnéticos

Encargado de proyecto: Maximiliano Fonseca Giraudó

Tutor/Director de Tesis: Ing. Gabriel Gabian - UNSAM

Cliente: Ing. Hernán Romeo – Analog Design Manager, Allegro Microsystems

Proyecto y objetivo propuesto:

En la industria de ASICs (Application Specific Integrated Circuits - Circuitos Integrados de Aplicación Específica), específicamente en sensores magnéticos, los amplificadores chopper son comúnmente usados debido a su capacidad para rechazar el ruido y principalmente por agregar un offset mínimo. Por razones constructivas del sensor, la frecuencia de chopping no puede ser mayor a 1 MHz y los amplificadores usualmente manejan una frecuencia de señal máxima de 500 KHz.

Se propone pues, diseñar un circuito microelectrónico utilizando la técnica conocida como RRL o Ripple Reduction Loop (Lazo de reducción de ripple) con el objetivo de amplificar en simulación señales del orden de los 500 KHz, comparando las ventajas y desventajas con otras técnicas ya implementadas, sin aumentar la frecuencia de chopping.

Alcance

Para entregar el producto, se debe contar con el software necesario. La compañía Allegro Microsystems se compromete a brindar herramientas de diseño esquemático, layout y simulación requeridas. También se compromete a brindar información del proceso de fabricación de 180 nm, tales como modelos de dispositivos y máscaras de layout.

El entregable final será compuesto por un diseño esquemático acompañado de resultados en simulación, junto con el layout disponible para la fabricación.

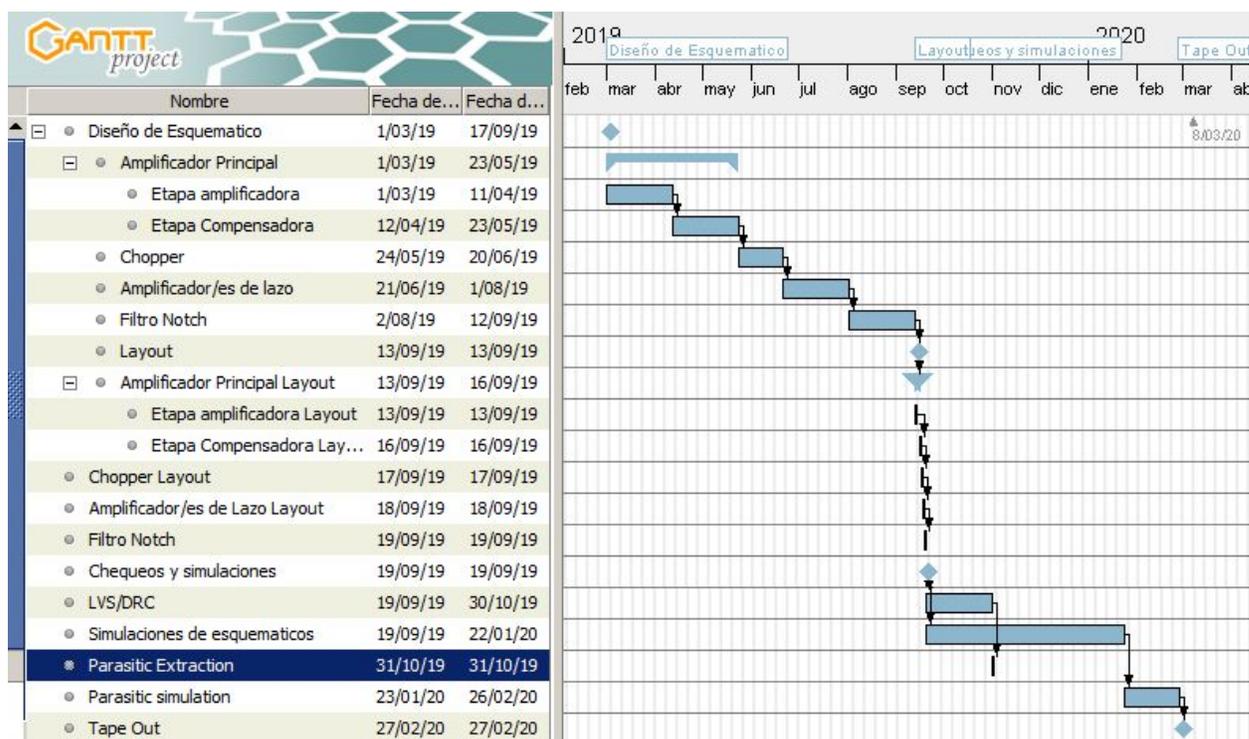
Firmas:

Fonseca G. Maximiliano

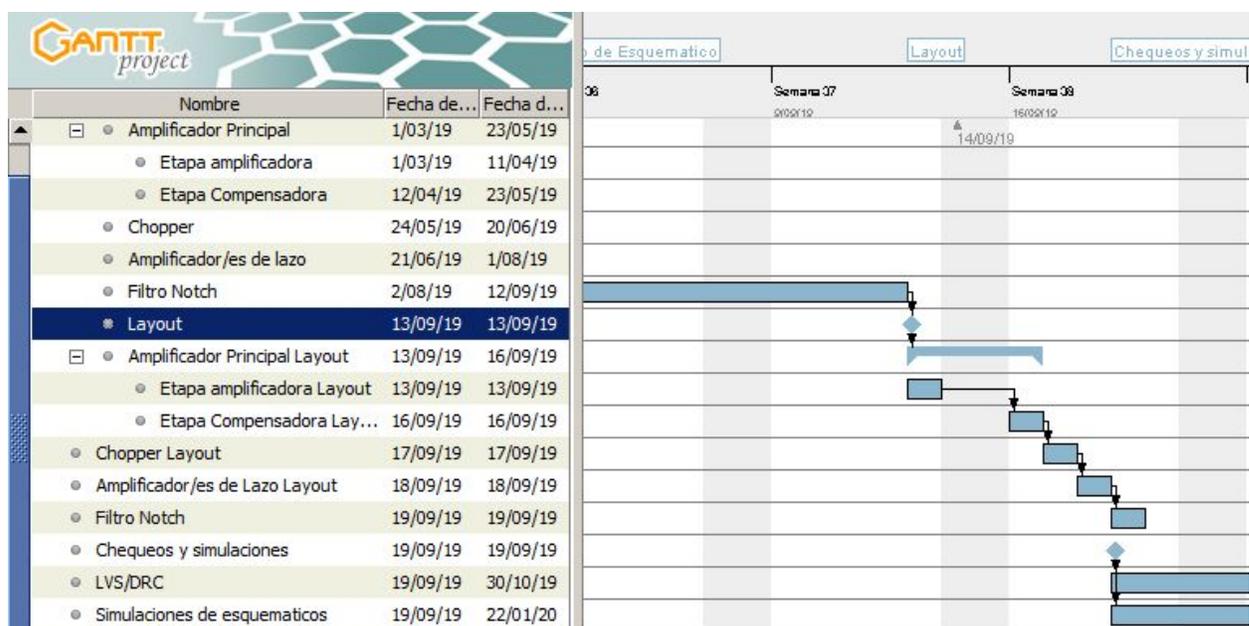
Ing. Hernan Romero

AST Analog Design Manager

Diagrama de Gantt



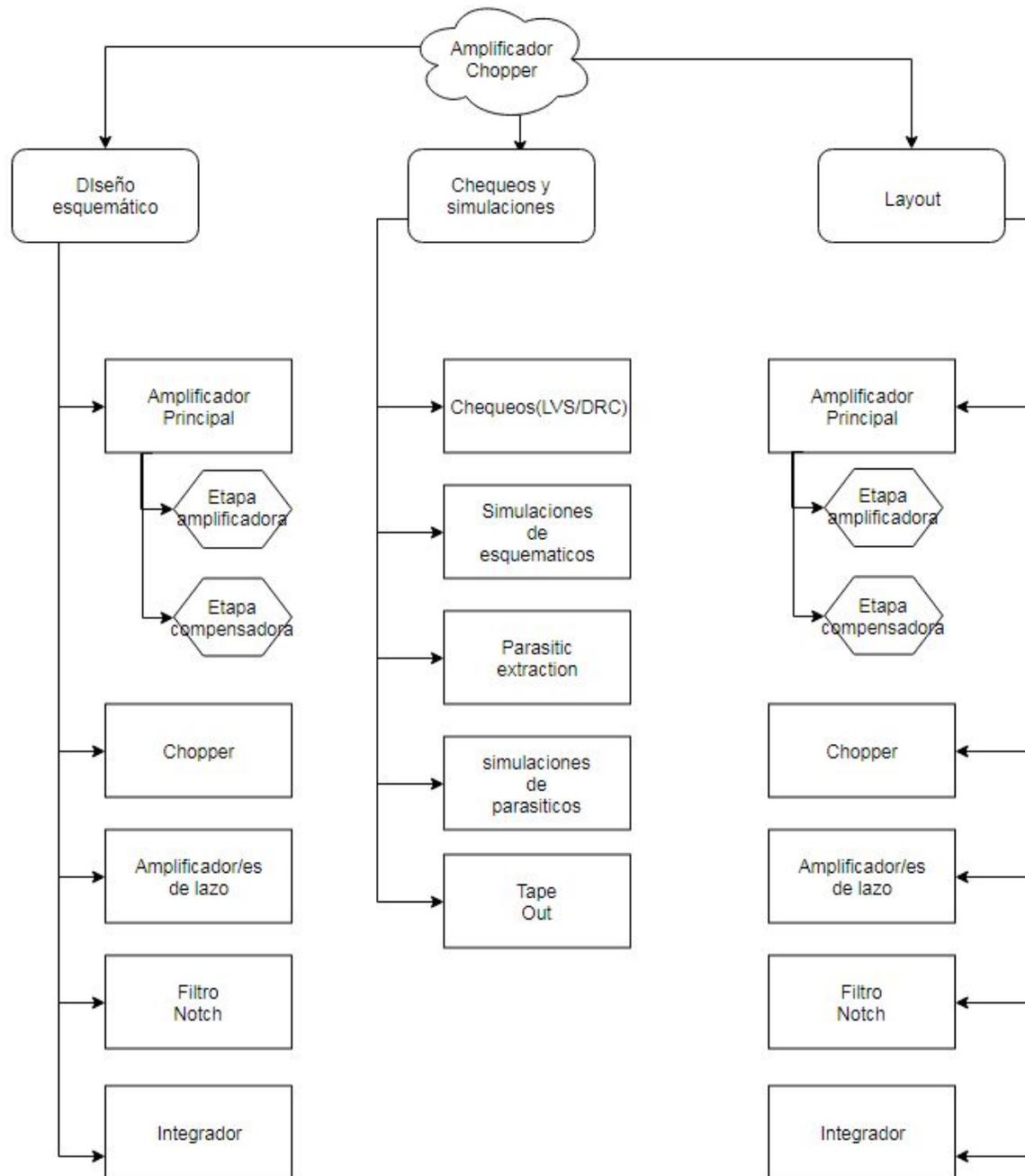
Detalle de Septiembre de 2019:



Fecha de inicio: 1 de Marzo de 2019

Fecha de finalización: 1 de Marzo de 2020

WBS



El Work Breakdown Structure se divide en dos grandes ramas: Diseño Analógico (comportamiento) y Layout (diseño físico).

El Diseño analógico entregará un esquemático de cada una de los bloques internos, y un Top Level que conecte cada uno de ellos. A su vez, se entregarán las simulaciones correspondientes donde se pueda evaluar en comportamiento circuital, y el cumplimiento o no de las especificaciones.

El Layout entregará un diseño físico de cada uno de los bloques, y un Top Level que aloje cada uno de ellos. Se realizarán verificaciones (Design Rule Check, Layout Vs. Schematic, etc.) donde se confirme que el diseño físico es fabricable. A su vez se debe hacer una extracción de parásitos y volver a correr simulaciones para comprobar que el layout no afecta significativamente el diseño a nivel comportamiento. Como tarea final, se ejecuta el Tape Out, donde se manda a fabricar a nivel silicio.

Análisis de Riesgos

Sin riesgos monetarios debido al hecho de no tener elementos físicos por los cuales invertir, el único principal es no poder cumplir con las especificaciones de frecuencia requeridas. En tal caso, se continuará con el proyecto con el objetivo de comparar la nueva técnica propuesta con las actuales. No es un riesgo grave debido a que el proyecto no se implementará en un IC requerido por el mercado, sino que es a modo de investigación de prueba de nuevas implementaciones de la técnica de amplificación por chopping.

Como riesgo secundario, en caso de que el tiempo estimado sea insuficiente, se renegociará la continuación del proyecto con la fecha de finalización pertinente.

En caso de que el diseño se utilice en un ASIC pedido por un cliente, cualquier delay temporal es grave, debido a que históricamente se han perdido millones de dólares por delays, ya que el cliente termina volcándose por un IC de la competencia que ya fue puesta en mercado. En tal caso, se analizará la ya conocida idea del Phase Release, en donde se manda a fabricar las máscaras exceptuando metales. De este modo, ante cualquier cambio del diseño porque se encontró una falla o una mejor implementación, se cambian solo los metales (Metal Change), utilizando un diferente arreglo de los componentes o utilizando Spares ya dispuestos previamente. De este modo se gana alrededor de 2 meses que es el tiempo promedio de pre y post procesamiento de las máscaras de fabricación tales como la capa Epitaxial, P-wells, difusiones y Gate-Poly.

Otro riesgo es que una vez fabricado, el diseño no necesariamente funciona, por desviaciones del proceso de fabricación. En ese caso, existen técnicas como trimming de resistencias y fuentes de corriente, que pueden ser controladas sencillamente con un microprocesador. La idea de un micro no es complicada, ya que hoy en día, con un proceso Bi-Cmos como el de Allegro, casi todo proyecto es hecho con la idea de incorporar un micro para procesamiento de señales, trimming y comunicación hacia el exterior.

Si técnicas como el trimming de ciertos componentes no es suficiente, se evalúa hacer un metal change para corregir los valores de los dispositivos. En caso de que esto no sea posible, ya sea por que se necesite cambiar Gate Poly o difusiones, o por el hecho de que los spares son insuficientes o inalcanzables (se encuentran lejos de donde se los necesite), se contempla un all-level, donde todas las máscaras son rediseñadas.

Análisis de Costos

Como detalle de costos, se toma el sueldo del diseñador y se restan los costos por licencia alquilada a la empresa.

Tabla de costos	
<i>Item</i>	<i>Costo por unidad (US\$/año)</i>
Virtuoso(R)-XL Layout Editor	1000
Assura(TM) Design Rule Checker	520
Assura(TM) Layout Vs. Schematic Verifier	520
Assura(TM) Graphical User Interface Option	160
Spectre Analog Simulator	1200
QRC	110
ADE - XL Schematic Editor	1000
TOTAL	4510
SUELDO	12500
GRAND TOTAL	7990

Nota: valores expresados en dólares estadounidenses por año, sin aplicar deducciones

Obviamente este diseño no es un IC completo sino una pequeñísima parte de él, por tanto relacionar la evaluación del costo de diseño explicitado previamente con el costo de fabricación y costo de venta del producto por unidad es imposible. Aún así, se puede estimar groseramente tomando que el diseño del Chopper Amplifier representa un 0.7% del costo del diseño de todo el IC.

Tabla de costos	
<i>Item</i>	<i>Costo por unidad (US\$)</i>
Costo del Dseño esquemático	95.000
Costo del diseño de Layout	60.000
Costo de fabricación	150.000
Costo de logística	10.000
Costo del Package	10.000
Costo de Marketing	30.000
TOTAL	350.000
Precio de cada chip	2
Unidades a vender	400.000
GANANCIA	450.000

Nota: valores expresados en dólares estadounidenses, sin aplicar deducciones

Capítulo 1 - Introducción

Sensores Magnéticos y Aplicación

Un sensor magnético es un dispositivo electrónico que entrega una variación de una variable física manejable, usualmente tensión (V), en base a la variación de campo magnético.

Las aplicaciones de sensores magnéticos son muy variadas. En el particular caso de los sensores integrados, esta clase de chips o circuitos integrados (IC) suelen estar presente en automóviles, computadoras, smartphones, maquinaria industrial, consolas de juegos, electrodomésticos, servers, etc. Incluso, un sensor magnético puede ser usado como base para un sensor de corriente, abriendo toda otra gama de aplicaciones.

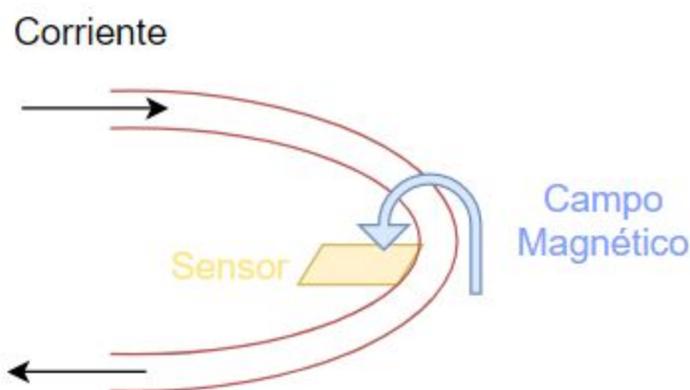


Fig.1 - Sensor Magnético para medir corriente eléctrica.

Un automóvil es un buen ejemplo como aplicación de sensores magnéticos. El contenido electrónico en automóviles se ha incrementado constantemente en las últimas décadas. Mientras el rango de autonomía varía de no control a control total, la vasta mayoría de los vehículos actualmente disponibles contienen sistemas con algún grado de autonomía. Estos sistemas electrónicos, que toman cada vez más decisiones por el conductor, generalmente han incrementado la seguridad tanto del conductor como de los pasajeros, pero pueden causar daño si fallan. Es por esto que en 2011, International Standards Organization (ISO) publicó un estándar de seguridad llamado ISO 26262, destacando las buenas prácticas en la industria para el desarrollo de sistemas relacionados con la seguridad¹.

Para satisfacer tales requerimientos, los sensores magnéticos son ampliamente utilizados, ya que soportan un gran rango de temperatura, no son susceptibles a la suciedad, no poseen partes móviles expuestas y prácticamente no tienen desgaste².

¹ Allegro Microsystems (Octubre de 2016) . *Functional Safety Challenges to the Automotive Supply Chain*. Recuperado el 23 de Marzo de 2020, de <https://www.allegromicro.com/en/insights-and-innovations/technical-documents/general-semiconductor-information/functional-safety-challenges-automotive-supply-chain>

² Bishop, R. (2017). *Sensors*. En R. Bishop, *Mechatronic Systems, Sensors, and Actuators*. (2ª edición, pp. 20-10). Estados Unidos: CRC press.

El ángulo de rotación del volante, la posición de la palanca de transmisión, la rotación de las ruedas en sistemas ABS, la posición del cigüeñal, bombas de agua y aceite, múltiples motores eléctricos, etc. son medidos mediante sensores de campo magnético.

Sistema de sensado de campos magnéticos

Ya que las señales provenientes de sensores son comúnmente pequeñas (rango de los milivolts), la electrónica de lectura de estas señales suele consistir de un amplificador de instrumentación (Instrumental Amplifier - IA) que precede un convertor digital-analógico (ADC)³. El IA hace las veces de acondicionador de señales, es decir, prepara la señal proveniente del sensor para que el ADC pueda procesar y digitalizar con el menor error posible. El conjunto sensor más acondicionador se denomina transductor.

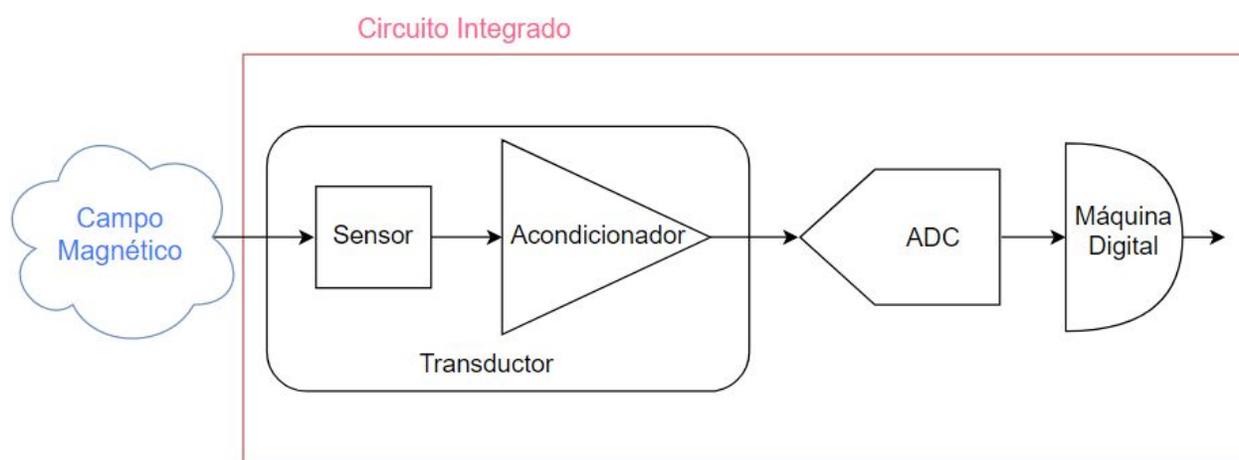


Fig. 2 - Esquema en bloques de un sistema de sensado de campo magnético.

El elemento sensante

Como elemento sensante se refiere a aquel dispositivo capaz de convertir una señal o excitación magnética en una señal eléctrica.

Comúnmente en la industria se pueden encontrar sensores de efecto Hall, magneto-resistencias gigantes (GMR) o magneto-resistencias de efecto túnel (TMR). El presente trabajo se concentrará en aquellas aplicaciones que utilizan sensores de efecto Hall.

El sensor de efecto hall consta de una placa de algún material conductor o semiconductor al que se le aplica una corriente en una dirección “x”, y se mide en la dirección “z” una tensión que es proporcional al campo magnético aplicado en la dirección “y”.

³ Fan, Q., Sebastiano, F., Huijsing, J. H., y Makinwa, K. A. A. (2011). A 1.8 μ W 60 nV/ $\sqrt{\text{Hz}}$ Capacitively-Coupled Chopper Instrumentation Amplifier in 65 nm CMOS for Wireless Sensor Nodes. *IEEE Journal of Solid-State Circuits*, (vol. 46, no. 7), pp. 1534-1543.

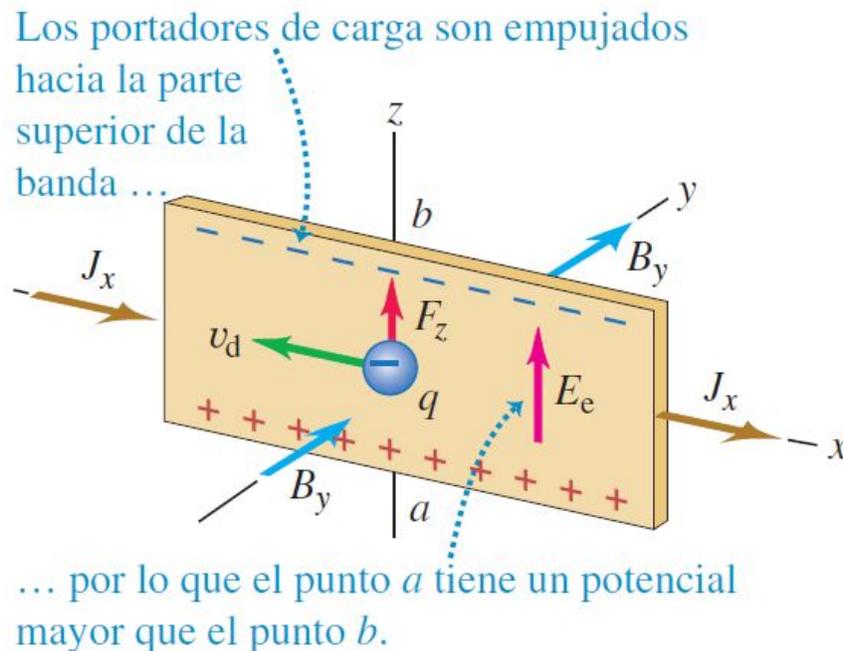


Fig.3 - Efecto Hall en un conductor atravesado por una corriente y un campo magnético⁴

El efecto yace en la fuerza que experimentan cargas eléctricas en movimiento que atraviesan un campo magnético, descrita por la siguiente ecuación:

$$\vec{F} = q\vec{v} \times \vec{B}$$

La ecuación muestra que la fuerza generada es perpendicular al plano que conforman los vectores de corriente y campo magnético. A medida que las cargas se mueven hacia uno de los bordes del sensor, se genera un campo eléctrico que contrarresta a la fuerza F . El sistema llega a un equilibrio y se puede medir una diferencia de potencial entre los puntos a y b de la Figura 3.

En la industria de los IC, el sensor no suele ser metálico sino semiconductor. El dopaje del semiconductor define si la corriente es producto de cargas positivas (huecos) o negativas (electrones), que determina la polaridad de los puntos a y b. Es decir, en un sensor tipo N, la polaridad será la misma que en un metal, mientras que en un sensor tipo P, la polaridad será inversa a la de la figura⁴.

A la hora de modelar el sensor, se lo puede tratar exactamente igual que un puente de wheatstone de 4 resistencias, donde la resistividad de una de ellas varía según el campo magnético aplicado.

⁴ Sears, F., Zemansky, M. (2009). Campo Magnético y Fuerzas Magnéticas. En M. Zemansky y F. Sears, *Física Universitaria Volumen 2*. (12ª edición, pp. 943). México: Addison-Wesley.

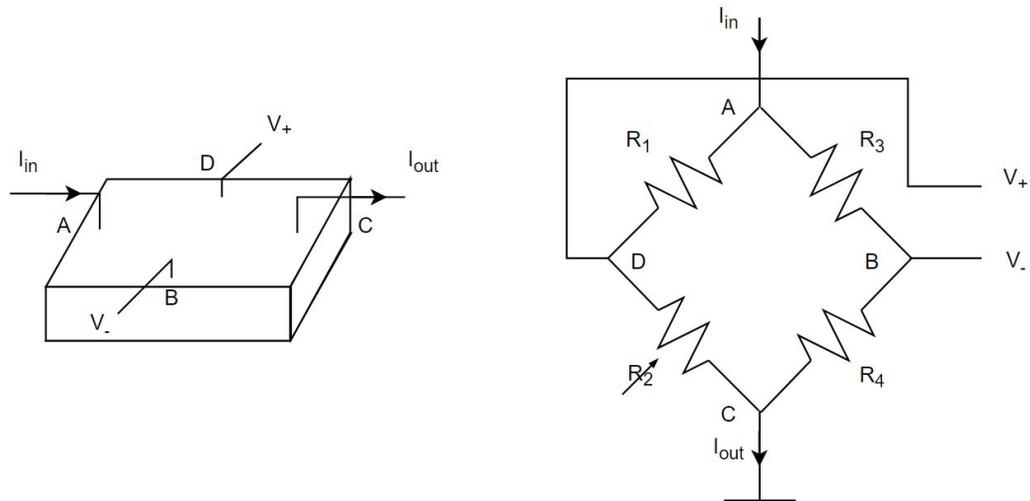


Fig. 4 - Sensor Hall y su modelo como puente de wheatstone con $R_2 = f(B)$.

De esta forma se obtiene entre los puntos D y B una tensión proporcional al campo magnético aplicado de forma diferencial, algo que es muy importante en sensores para construir un sistema robusto frente a ruidos.

Acondicionador de Señales

El Acondicionador de señales tomará la señal diferencial del sensor Hall y la amplificará para que el ADC la digitalice. Con el rango dinámico y cantidad de bits del ADC se define el bit menos significativo (LSB) y la señal más pequeña que pueda ser detectable. Aumentando el rango dinámico y la cantidad de bits se logra mayor precisión de digitalización, que resulta en un menor ruido de cuantificación.

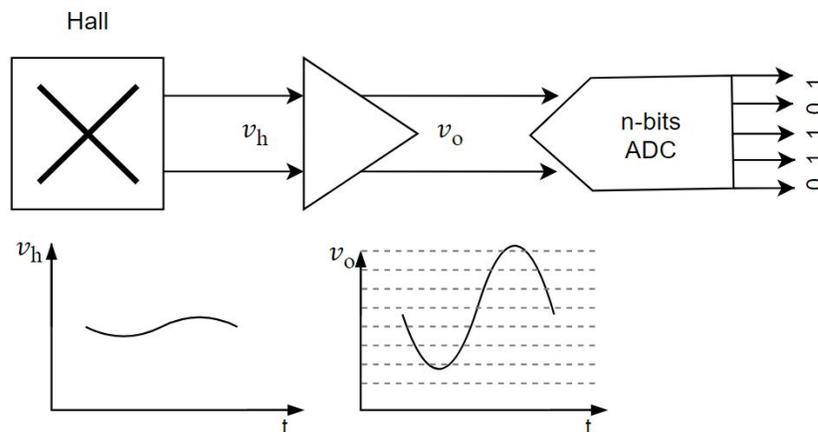


Fig. 5 - Señales desde el elemento sensante y la máquina digital

La cantidad de bits está restringida por la tecnología disponible, área, complejidad del diseño, etc. Mientras que el rango dinámico está restringido por la tensión de alimentación y la amplitud de la señal recibida. Por tanto, el acondicionador de señales debe ser capaz de amplificar tanto como sea posible, sin introducir errores y respetando el límite de la tensión de alimentación disponible.

En el presente trabajo se propone un Amplificador Chopper como acondicionador de señales de un sensor de efecto Hall en un circuito integrado, utilizando la técnica conocida como Ripple Reduction Loop.

Motivación

Offset

Un amplificador como acondicionador de señales debe amplificar la señal introduciendo el menor error posible. El error introducido por un amplificador (en este caso amplificador operacional u OpAmp) se lo puede separar en dos grandes orígenes: ruido y offset. A su vez, el ruido se lo puede clasificar en numerosos tipos, siendo los de mayor interés el ruido tipo Flicker y tipo Térmico.

El offset en un OpAmp es definido como la tensión en la entrada necesaria para generar tensión nula a la salida. Claro está que en un OpAmp ideal, una tensión nula genera 0 V a la salida, mientras que en uno real, el offset no permite que esto se cumpla. Por tanto, se suele modelar al offset en un OpAmp como una fuente de tensión DC de valor aleatorio aplicada a la entrada de un OpAmp ideal:

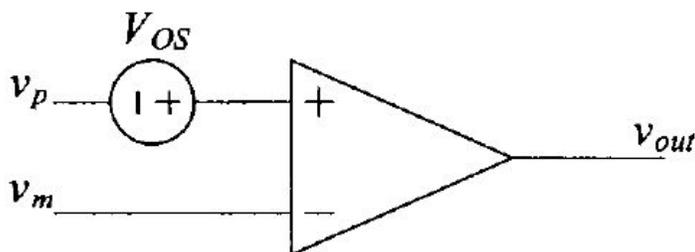


Fig. 6 - Cómo el offset es modelado⁵

Si bien el valor del offset (V_{os} o también V_{off}) es aleatorio, se lo puede calcular como una variable estadística que depende del diseño del OpAmp. En un proceso CMOS típicamente el valor de offsets en OpAmps está dentro rango de los 10 mV⁶.

Orígenes del Offset

Considerando un amplificador de transconductancia (OTA) básico como el siguiente a modo de ejemplo:

⁵ Baker, Jacob B. (2010). Operational Amplifiers I. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 776). Estados Unidos: IEEE Solid-State Circuits.

⁶ Wu, R., Makinwa, K. y Huijsing, J. (2009). A chopper current feedback instrumentation amplifier with a 1 mHz 1/f noise corner and an AC-coupled ripple reduction loop. *IEEE J. Solid-State Circuits*, (Vol. 44, no. 12), 3232–3243.

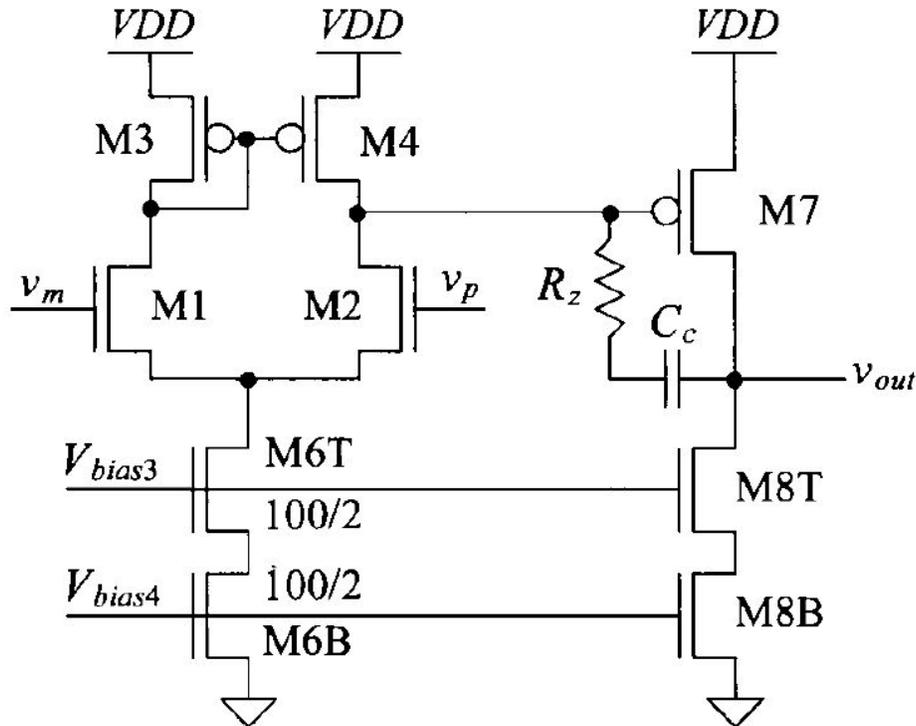


Fig.7 - Amplificador de transconductancia básico⁷

El offset es producido por disparidad o diferencias (de ahora en adelante: Mismatch) entre los transistores del par diferencial (M1-2) y los transistores de la carga activa (M3-4). Este mismatch puede ser sistemático o aleatorio. El offset sistemático puede ser debido a asimetrías en la configuración del circuito, mayormente en la geometría de los transistores tensiones source o drain, o debido a otros efectos del ambiente como gradientes de temperatura, presión mecánica, etcétera. Si bien el error sistemático se puede anular con un correcto diseño, el error aleatorio es impredecible. Su origen proviene de defectos en el proceso de fabricación, que provoca corrimientos en los parámetros de los transistores como: la tensión umbral (V_{th}), dimensiones W o L , capacidad del óxido, etcétera; y/o gradientes de temperatura en el circuito integrado. El mismatch aleatorio puede ser reducido tanto desde el diseño esquemático como del layout, y puede ser simulado y modelado como una variable estadística. Por ejemplo, para el caso del OTA de la figura 7, se podría calcular el offset referido a la entrada separándolo en 2 principales componentes.

$$V_{off} = V_{oi} + \Delta I_d / g_{m12} \quad (1)$$

Donde V_{oi} es la tensión aplicada a la entrada necesaria para que la corriente en el par diferencial sea el mismo, ΔI_d el mismatch de corriente entre ambas ramas y g_{m12} la transconductancia del par diferencial.

Sabiendo que la corriente de drain de un NMOS es:

$$I_d = \frac{\beta}{2} (V_{gs} - V_{th})^2 \quad (2)$$

⁷ Baker, Jacob B. (2010). Operational Amplifiers I. En Jacob B. Baker, CMOS Circuit Design, Layout and Simulation. (3a edición, pp. 774). Estados Unidos: IEEE Solid-State Circuits.

Donde $\beta = C_{ox} * \mu * W/L$, C_{ox} la capacidad del óxido, y la μ movilidad de los electrones en caso de un NMOS. De (2) se deduce pues:

$$(V_{gs} - V_{th})^2 = 2 \frac{I_d}{\beta} \quad (3)$$

$$gm = \frac{dI_d}{dV_{gs}} = \beta(V_{gs} - V_{th}) \quad (4)$$

De (2) se puede derivar I_d con respecto a β y $(V_{gs} - V_{th})$ y despejar dI_d , obteniendo:

$$dI_d = \frac{1}{2} (V_{gs} - V_{th})^2 d\beta + \beta (V_{gs} - V_{th}) (dV_{gs} - dV_{th}) \quad (5)$$

Reemplazando con (3) y (4) y tomando Δ en lugar de d :

$$\Delta I_d = I_d \frac{\Delta\beta}{\beta} + gm (\Delta V_{gs} - \Delta V_{th}) \quad (6)$$

Esta ecuación describe de forma general para cualquier dispositivo MOS el mismatch de corriente producto de desviaciones de β , V_{gs} y V_{th} . En el ejemplo del OTA básico, se puede aplicar esta ecuación general tanto para el mismatch del par diferencial como para la carga activa, estudiándolos de forma separada y luego aplicando superposición. En caso del par diferencial, $V_{oi} = V_{gs}$ y $\Delta I_d = 0$ (ya que se toma la carga activa perfecta, es decir, sin mismatch de corriente). Utilizando (6) se despeja V_{gs} :

$$V_{oi} = \Delta V_{gs} = \Delta V_{th} \frac{gm_{12}}{\beta_{12}} + \frac{I_d}{gm_{12}} \frac{\Delta\beta_{12}}{\beta_{12}} \quad (7)$$

En el caso de la carga activa, se toma $\Delta V_{gs} = 0$ (ya que ambos PMOS comparten ambas tensiones de gate y source). Entonces utilizando (6) se despeja ΔI_d :

$$\Delta I_d = I_d \left(\frac{\Delta\beta_{34}}{\beta_{34}} \right) + gm_{34} \Delta V_{th} \quad (8)$$

Utilizando (7) y (8) en (1):

$$V_{off} = \Delta V_{th} \frac{gm_{34}}{gm_{12}} + \frac{I_d}{gm_{12}} \left[\frac{\Delta\beta_{12}}{\beta_{12}} + \frac{\Delta\beta_{34}}{\beta_{34}} \right] \quad (9)$$

Esta ecuación final es la que describe cómo los parámetros tanto del par diferencial M1-2 y de la carga activa M3-4 aportan al offset total referido a la entrada, y es útil a la hora de tomar estrategias de diseño para reducir el offset. Por ejemplo, haciendo gm_{12} mucho más grande que gm_{34} se reducen el segundo y tercer término de la ecuación. Aplicando raíz cuadrada en (3) y sustituyendo en (4) se obtiene:

$$gm = \sqrt{2\beta I_d} \quad (10)$$

Se puede concluir que usando cargas activas con gran L y pares diferenciales con gran W se obtiene un menor offset. También, como $\mu_p < \mu_n$ usando NMOS como par diferencial y PMOS como carga activa, también ayuda a reducir el offset. Finalmente es conveniente que el par diferencial se encuentre en inversión débil, logrando una I_d/gm_{12} pequeña y así reducir el 3er término de la ecuación.

Ruido - Orígenes y Modelado

El ruido tiene principalmente tres clasificaciones, de tipo térmico, Flicker, o Shot. según su origen y presencia en el espectro. El ruido térmico se lo considera “blanco” o con una densidad de potencia espectral (PSD) constante, mientras que el Flicker tiene mayor amplitud en bajas frecuencias. El ruido Shot es originado por corrientes que se mueven dentro de una barrera de potencial, pero no es significativo en procesos de fabricación con espesores de óxido $> 20 \text{ nm}^8$, por tanto no se hará un estudio sobre él.

El ruido de tipo térmico es producto del movimiento aleatorio de cargas en cualquier conductor o semiconductor. Por ejemplo, en una resistencia de valor R , habrá electrones que vibren dependiendo de la temperatura del dispositivo. Este movimiento de cargas se lo puede pensar como una corriente que, dependiendo del valor de R , provocarán una diferencia de potencial entre los terminales de la resistencia. Con esto, el ruido en una resistencia se lo puede modelar como:

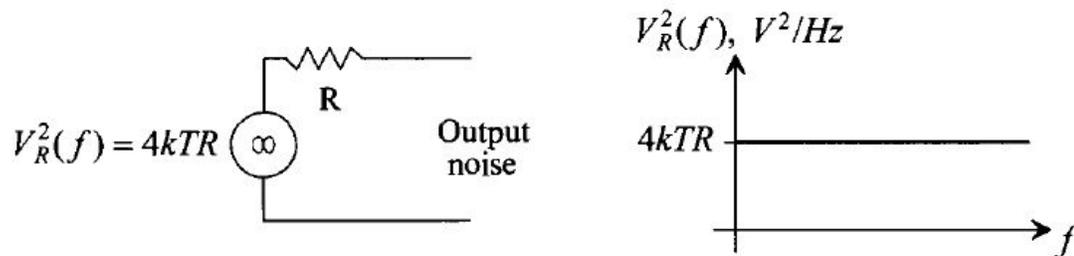


Fig. 8 - Ruido en una resistencia y su PSD en función de la frecuencia⁹

Nótese que en caso de querer representar el ruido térmico de una resistencia en forma de corriente y sabiendo que $P = V^2/R = I^2R$ entonces $I_R^2 = V_R^2/R^2 = 4KT/R$.

A la hora de analizar ruido en OpAmps, así como se hizo con el offset, se suele referir el ruido a la entrada. Supongamos a modo de ejemplo que un OpAmp genera un ruido blanco filtrado, debido su determinado ancho de banda (BW). Por tanto, el ruido (tensión) que se puede medir a la salida es fuertemente dependiente del BW, ya que cuanto mayor BW, mayor “cantidad” de frecuencias alcanzarán la salida. Una manera de poder cuantificar la cantidad de ruido provocado por un OpAmp es midiéndolo en Volts (V) rms. De esta forma se puede medir la energía consecuencia del ruido como una señal de error en V, y compararla con la señal útil que entrega el sensor Hall. Para obtener una V_{rms} del ruido, se debe hallar lo que se conoce como ancho de banda equivalente del OpAmp, es decir, el BW que debería tener un OpAmp con *infinitos* polos que producen una respuesta en frecuencia cuadrada.

⁸ Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, CMOS Circuit Design, Layout and Simulation. (3a edición, pp. 242). Estados Unidos: IEEE Solid-State Circuits.

⁹ Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, CMOS Circuit Design, Layout and Simulation. (3ª edición, pp. 225). Estados Unidos: IEEE Solid-State Circuits.

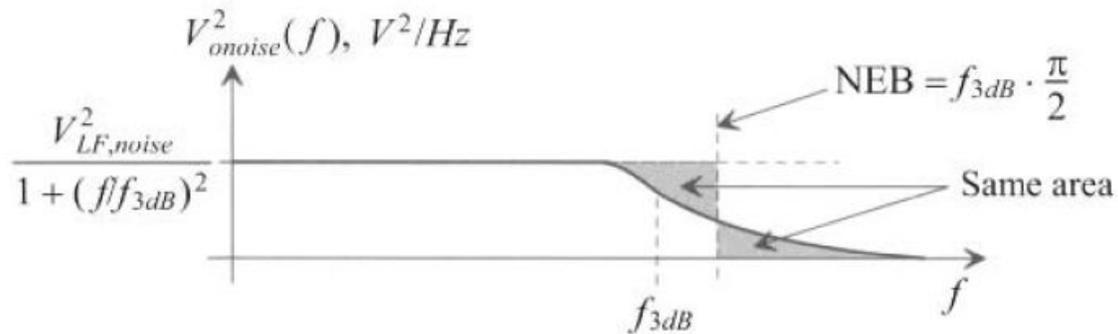


Fig. 9 - Representación en frecuencia del Ancho de banda equivalente (NEB)¹⁰

De esta forma se puede integrar todo el ruido dentro del NEB utilizando una PSD constante y eliminar todo el ruido fuera del NEB, obteniendo la misma energía que integrando el ruido hasta frecuencia infinita con una PSD que decae a partir de f_{3dB} . Para un polo simple, el NEB correspondiente se calcula como f_{3dB} multiplicado por $\pi/2$.

Por ejemplo, si se conecta una resistencia que genera una $PSD = 4KTR = (10 \text{ nV}/\sqrt{\text{Hz}})^2$ a un amplificador ideal con un polo simple de $BW = 1 \text{ MHz}$, la tensión RMS que se mide a la salida es la raíz cuadrada de la integral de la PSD en un ancho de banda NEB. Como la PSD es constante:

$$V_{rms} = \sqrt{\int_0^{NEB} PSD} = \sqrt{PSD \cdot NEB} = \sqrt{4KTR \cdot BW \cdot \frac{\pi}{2}} = \sqrt{(10 \frac{\text{nV}}{\sqrt{\text{Hz}}})^2 \cdot 1\text{MHz} \cdot \frac{\pi}{2}}$$

$$V_{rms} = 12.5 \mu\text{V}$$

En dispositivos MOS, al ruido térmico se lo adjudica a la resistencia de canal, igual a:

$$R_{sat} = \frac{3}{2} \frac{1}{gm} \quad (10)$$

si está saturado. Por tanto, modelando el ruido térmico como corriente de drain

$$I_T^2 = \frac{4KT}{R_{sat}} = \frac{4KT}{\frac{3}{2} \frac{1}{gm}} = 8KT \frac{gm}{3} \quad (11)$$

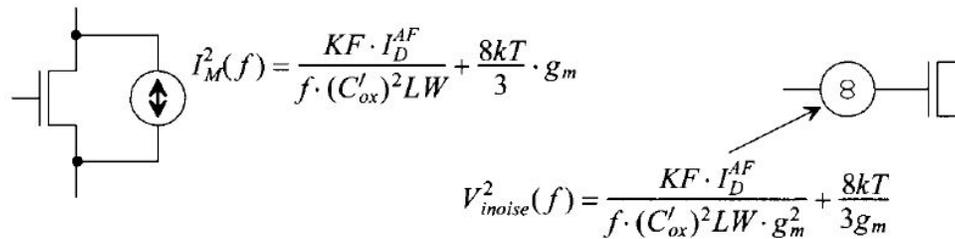
El Ruido Flicker o ruido $1/f$ se produce cuando los electrones en un material discontinuo saltan de una locación a otra, quedando atrapados y aleatoriamente liberados. Más allá del origen físico, es de interés su modelado y respuesta espectral. La PSD del ruido Flicker es inversamente proporcional a la frecuencia, teniendo así mucha mayor presencia en bajas frecuencias. Esto es de gran importancia ya que esta fuente de error está en DC o baja frecuencia, al igual que el offset. Su modelado en dispositivos MOS yace como una corriente de drain:

$$I_{1/f}^2 = \frac{KF I_D^{AF}}{f C_{ox}^2 W L} \quad (12)$$

¹⁰ Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 221). Estados Unidos: IEEE Solid-State Circuits.

Donde KF es el coeficiente flicker ($\sim 10^{-28} \text{ A}^{2-AF}$) y AF es el coeficiente de ruido flicker (~ 1) [9]. Lo que es importante resaltar aquí, además de la dependencia inversamente proporcional a la frecuencia, es que agrandando el área del dispositivo ($W \cdot L$) se reduce el ruido como corriente de drain de forma proporcional.

Finalmente, el modelo de ruido de un dispositivo MOS, ya sea como corriente de drain o tensión referida a la entrada, se obtiene sumando (11) y (12).



$$I_M^2(f) = \frac{KF \cdot I_D^{AF}}{f \cdot (C'_{ox})^2 LW} + \frac{8kT}{3} \cdot g_m$$

$$V_{inose}^2(f) = \frac{KF \cdot I_D^{AF}}{f \cdot (C'_{ox})^2 LW \cdot g_m^2} + \frac{8kT}{3g_m}$$

Fig. 10 - Modelo de ruido de un dispositivo MOS como corriente de drain o tensión referida a la entrada¹¹

Espectralmente, la PSD de un MOS queda dominada en bajas frecuencias por el ruido Flicker y en altas frecuencias por un piso ruido térmico. La intersección entre ambas rectas se denomina “corner frequency” y es de gran importancia en el diseño de amplificadores chopper.

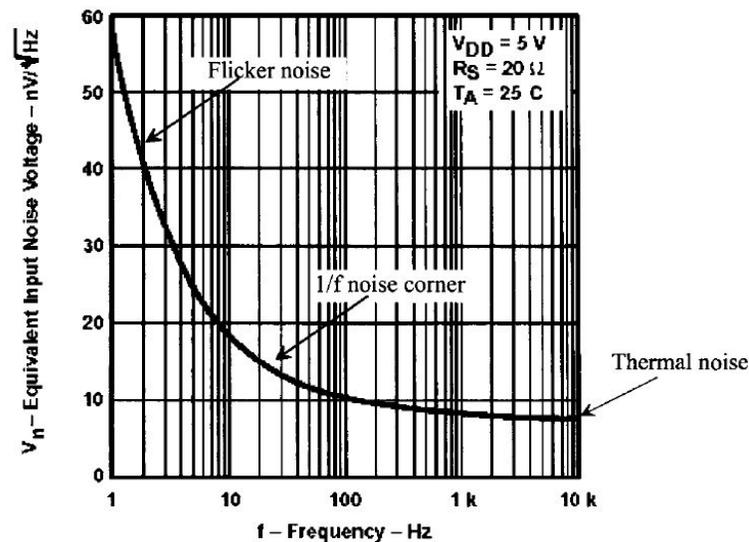


Fig. 11 - Densidad de tensión espectral vs frecuencia consecuencia de ruido térmico y flicker¹²

¹¹ Baker, Jacob B. (2010). Models for Analog Design. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 304). Estados Unidos: IEEE Solid-State Circuits.

¹² Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 247). Estados Unidos: IEEE Solid-State Circuits.

Amplificadores Chopper

Si bien desde el diseño del amplificador se puede reducir el offset, ruido térmico y flicker considerablemente, existen sistemas que permiten una mayor reducción o idealmente anulación de estos tipos de errores, una vez diseñado y optimizado el amplificador. Como el ruido térmico se encuentra en todo el espectro, no hay mucho más que hacer a nivel sistema más que reducir en ancho de banda lo más posible hasta el límite de la especificación requerida por la aplicación. En cambio, el offset y ruido flicker al encontrarse en bajas frecuencias, la técnica conocida como Chopper logra idealmente eliminar estos errores.

El Chopper consiste en una modulación de la señal previa a la amplificación, y una demodulación posterior. Es decir:

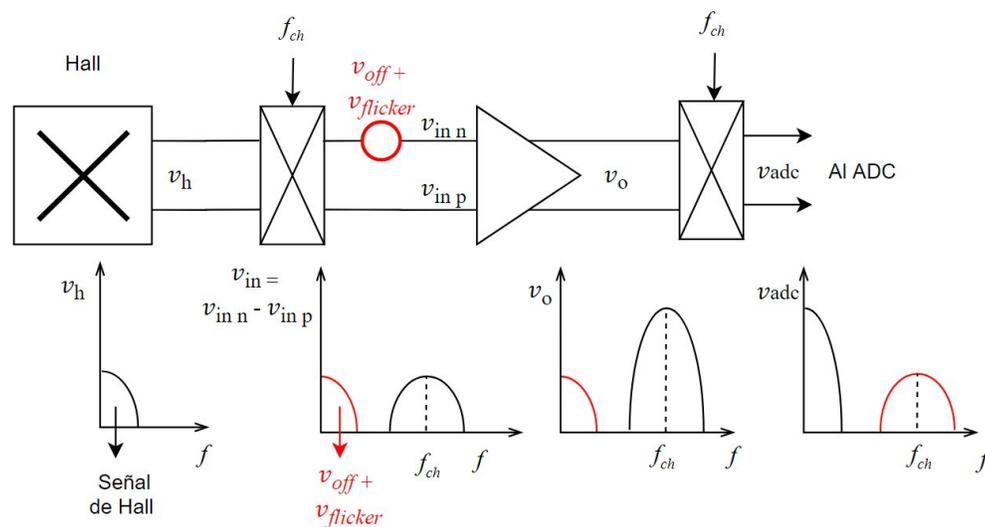


Fig. 12 - Básica idea de un amplificador chopper y representación de las señales en frecuencia

El sensor de efecto Hall entrega una señal en banda base que es modulada a una frecuencia f_{ch} . El acondicionador de señales amplifica la señal e inyecta un offset y ruido Flicker en baja frecuencia. Luego el chopper de salida demodula la señal amplificada, retro trayéndola a banda base al mismo tiempo en que modula el offset a f_{ch} . En cuanto al ruido Flicker, también es modulado, con la condición que la frecuencia f_{ch} sea mayor a la frecuencia de corner¹³. A la salida del sistema se ve la señal amplificada con un ripple de frecuencia f_{ch} , que es proporcional al offset más Flicker. De esta forma, no se eliminó el offset pero se lo logró separar de la señal, que es la principal característica de los amplificadores chopper y por qué son tan ampliamente utilizados: logran solucionar el problema de tener la señal del sensor superpuesta con el offset y ruido Flicker. Para reducir el ripple a la salida, simplemente se podría utilizar un filtro pasa-bajos de orden n.

Hay muchos diseños de moduladores de señales y muchas formas de hacerlo. En esta aplicación en particular, donde se tratan señales pequeñas, no se puede modular una señal utilizando amplificadores u otro elemento que sea fuente de error o ruido. La clave está en modular la señal de la forma más simple posible, en este caso utilizando switches o conmutadores. Esta es una idea simple que consiste en

¹³ Bakker, A., Thiele, K., y Huijsing, J. (2000). A CMOS nested-chopper instrumentation amplifier with 100-nV offset, IEEE Journal of Solid-State Circuits, (vol. 35, no. 12), pp. 1877-1883.

conmutar los canales de la señal diferencial $v_{in n}$ y $v_{in p}$ de la figura 10 a una frecuencia f_{ch} determinada. El equivalente en bloques de este proceso es un modulador o mezclador que multiplica una señal de entrada por una portadora de forma de onda cuadrada.

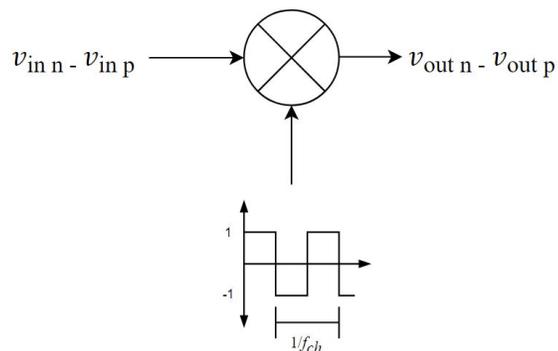


Fig. 13 - Chopper como modulador o mixer con una señal cuadrada como portadora.

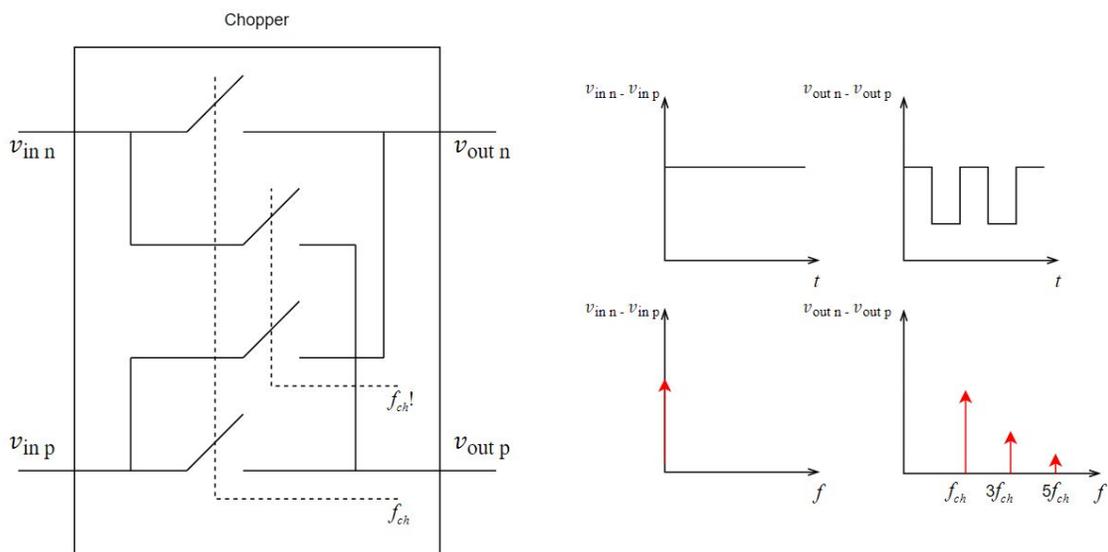


Fig. 14 - Circuito equivalente de los moduladores y representación de una señal DC que es modulada

Si se quiere modular una señal DC continua, una vez que pasa por los conmutadores se verá una señal cuadrada, producto de la modulación. Ahora bien, una señal DC tiene una sola frecuencia, mientras que una señal cuadrada tiene infinitas frecuencias, todas en los armónicos impares de la frecuencia en la que actuaron los conmutadores. Sabiendo esto, sería más preciso en lugar de utilizar un filtro pasa bajos, filtrar sólo las componentes impares de la señal de conmutación. Aparece la idea de filtro sinc, es decir, un filtro que tiene una respuesta en frecuencia $\sin(f)/f$.

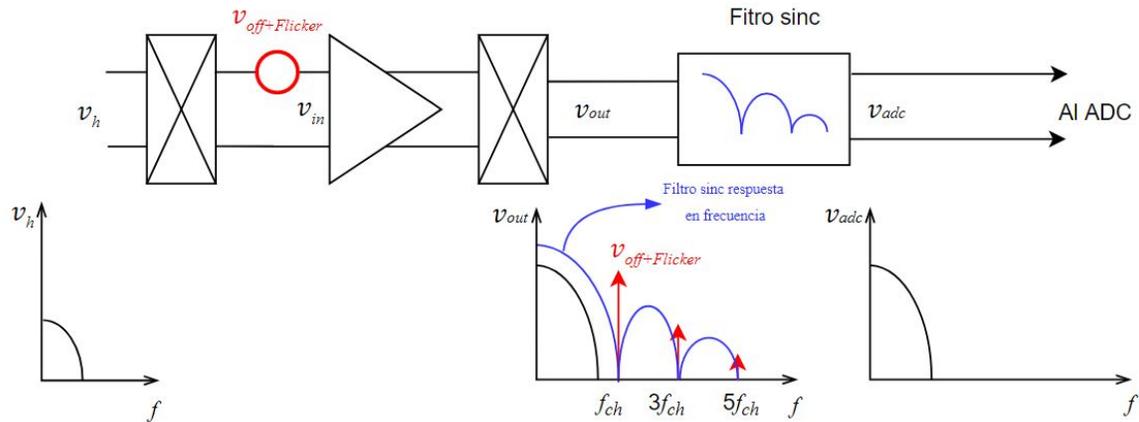


Fig. 15 - Adición de filtro sinc para remover el ripple causado por el offset

El hecho de querer filtrar aún más el ripple generado por el offset implicaría aumentar la cantidad de polos en el filtrado, es decir, aumentar el grado n del filtro. Si bien es factible, la consecuencia del mismo es un retraso en la señal desde que es generada en el sensor Hall hasta que llega al ADC para ser procesada. Por cada orden o polo agregado, el desfasaje se atrasa 90° , causa directa de un retraso de la señal en el tiempo. En aplicaciones donde la señal a ser medida son flancos de campos magnéticos (por ejemplo, en la detección de los dientes de los engranajes en la transmisión de un auto), existen restricciones en ese delay o retraso de la señal y no es posible utilizar filtros de orden $n \gg 1$. Para optimizar el sistema, se requeriría idealmente una señal que no pase por ningún filtro más que el BW del mismo OpAmp.

Ripple Reduction Loop

El lazo de reducción de ripple (Ripple Reduction Loop o RRL) es un sistema que permite reducir (idealmente eliminar) el ripple generado por un amplificador chopper sin filtros en el signal path (el recorrido que hace la señal desde el Hall hasta el ADC) que provoquen un retraso o delay en la señal. La principal característica es un lazo de realimentación que “mide” el ripple a la salida e inyecta una tensión DC a la entrada del OpAmp que cancela el offset original. Esta idea fue originalmente publicada por Yoshinori Kusuda en 2010, con el objetivo de diseñar un sistema que pueda relajar los requerimientos del filtro a la salida de la figura 15¹⁴. Si bien la aplicación del paper original era para sistemas de muy baja frecuencia, el presente proyecto toma la idea original adaptándola a las especificaciones requeridas.

¹⁴ Kusuda, Y. (2010). Auto Correction Feedback for Ripple Suppression in a Chopper Amplifier. *IEEE Journal of Solid-State Circuits*, (vol. 45, no. 8), pp. 1436-1445.

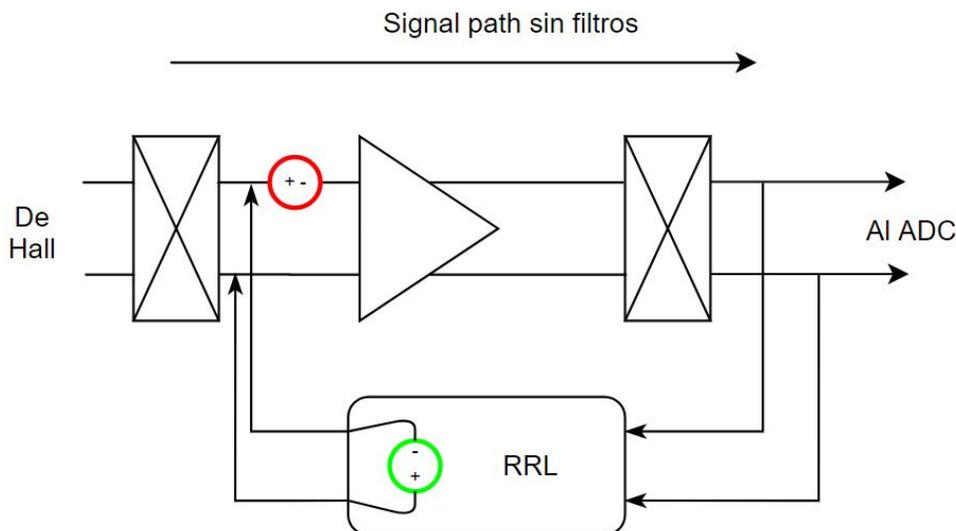


Fig. 16 - Esquema de RRL y cancelación de offset

En principio, para poder medir el offset se debe retrotraer el ripple que se genera a la salida nuevamente a DC e integrar esa medición a lo largo del tiempo para anularlo sin error de estado estacionario. Esto se puede lograr simplemente con otro chopper que demodule el ripple seguido de un integrador que integre el offset ya retrotraído a DC. Suponiendo señal de Hall v_h nula, la única señal en el sistema es la proveniente del offset y ruido Flicker. El espectro de las señales a lo largo del lazo se las representa en la figura 14:

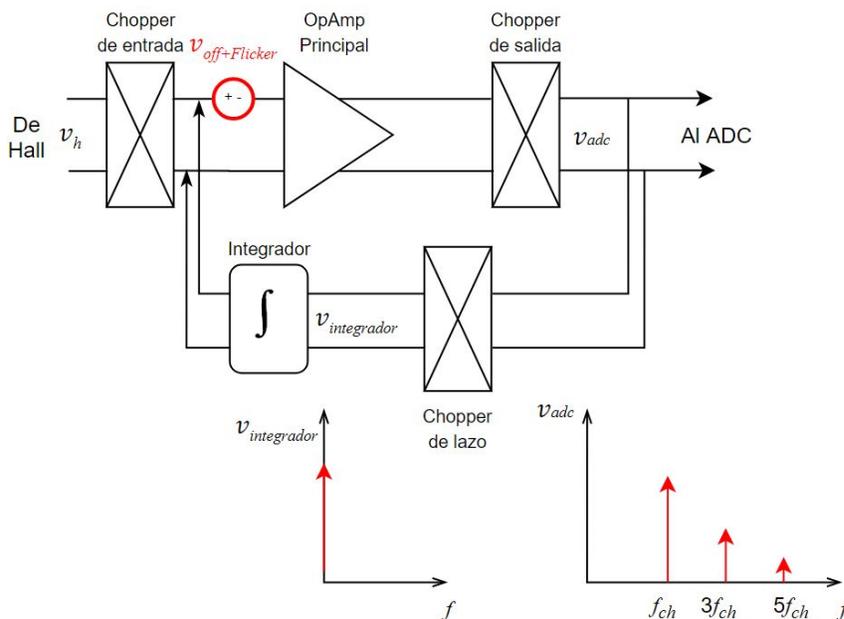


Fig. 17 - RRL con un chopper de lazo e integrador

Se puede ver cómo es que el offset modulado como un ripple o señal cuadrada a la salida, se la retrotrae a DC mediante el Chopper de lazo, formando una tensión $v_{integrador}$ a la entrada del integrador.

Esta señal será integrada hasta inyectar a la entrada del OpAmp una tensión tal que anule a $v_{off+Flicker}$. El sistema se encuentra en estado estacionario si y sólo si $v_{integrador}$ es cero, es decir, no hay $v_{off+Flicker}$ que pase a la salida.

Ahora sabiendo que a la salida del OpAmp (de ahora en más, OpAmp principal) no sólo hay ripple sino también hay señal v_h proveniente del sensor Hall (de ahora en más, señal), esta señal también será modulada (como ya estaba en banda base, pasará a estar modulada a f_{ch}) e integrada, provocando un error en la medición de ripple. Entonces, se busca que sólo el ripple recorra el lazo de reducción de ripple y que sólo la señal alcance el ADC. Por tanto, se debe filtrar la señal antes de ser integrada. Una forma de hacerlo, es colocando un filtro pasa bajos (Low Pass Filter - LPF) entre el chopper de lazo y el integrador, filtrando así la señal modulada a f_{ch} y dejando pasar sólo el offset en DC.

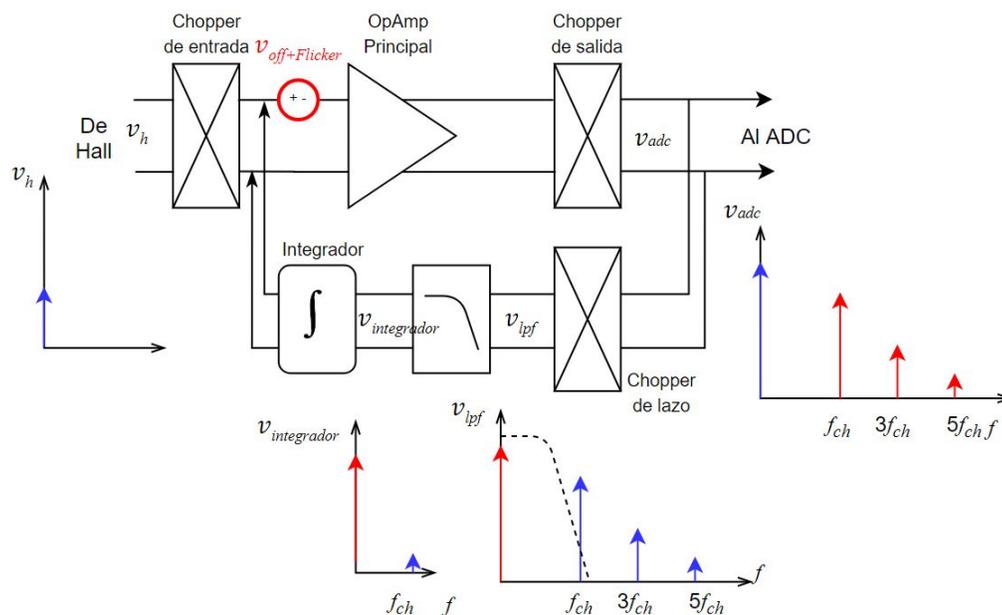


Fig. 18 - Adición del LPF. Azul: Señal de Hall, Rojo: Offset del OpAmp

El sistema de la figura 18 podría ser útil e implementable, con las siguientes características: El LPF en el lazo debe ser de baja frecuencia para poder filtrar la señal (azul), y un LPF de baja frecuencia implica un lazo lento, es decir, que tarde mucho tiempo en medir el ripple a la salida y actuar cancelando el offset a la entrada. En principio, un lazo lento no es un problema, ya que el offset no es una variable que cambie más que con cambios de temperatura, con lo que un lazo rápido no es estrictamente necesario. Como peor condición, una vez prendido y estable el IC, se debe esperar un cierto tiempo para que el lazo actúe, el offset se cancele y entonces poder realizar la medición de campo magnético que, como aplicación, es factible. Lo que sí es un problema es la señal residual que no es completamente eliminada por el LPF, que es integrada y que sí provoca un error o ruido a la entrada del OpAmp. Utilizando la idea de la figura 15, se puede reemplazar el LPF por un filtro sinc, pero esta vez, para filtrar la señal en lugar del offset.

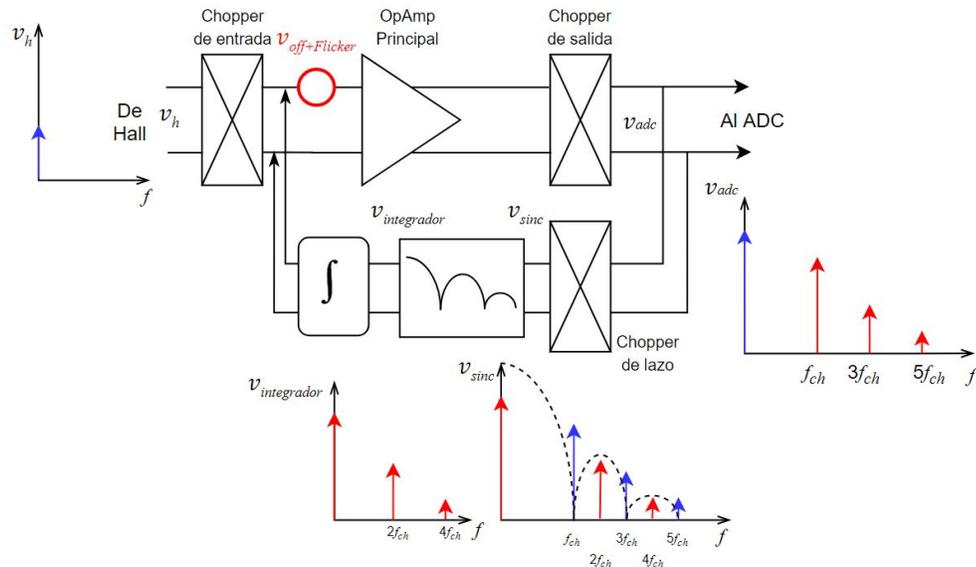


Fig. 19 - Adición del filtro sinc y recuperación de los armónicos del ripple.

De esta forma, no sólo se elimina la señal que se encuentra en los armónicos impares de f_{ch} , sino que también se recupera el offset que, luego de la demodulación, se halla en los armónicos pares de f_{ch} . Al recuperarse en su totalidad el offset, se integra toda la energía de él, obteniendo una mayor ganancia de lazo y por tanto, un lazo más rápido.

Conclusión: Se propone diseñar un amplificador chopper como acondicionador de señales basado en la topología RRL de Kusuda¹⁴, reduciendo el ripple a la salida y eliminando la necesidad de utilizar filtros en el signal path, pudiendo satisfacer aplicaciones de mayor velocidad de señal de Hall. En el lazo a diseñar, se utiliza un filtro sinc cuya función es filtrar selectivamente la señal, y un integrador que integre la medición del offset y logrando un error de estado estacionario nulo.

Especificaciones

Se propone diseñar un amplificador chopper con cancelación de offset utilizando un Ripple Reduction Loop compuesto por un chopper de lazo seguido de un filtro sinc y un integrador, con las siguientes especificaciones:

- Ganancia de señal: 100 veces (40 dB)
- Ancho de banda BW: 500 KHz
- Frecuencia de chopper: 1MHz
- Tensión de alimentación: 5V
- Amplitud de señal de entrada: 1mV pico

El kit de diseño del proceso (PDK) es provisto por Allegro Microsystems Argentina, que pertenece al nodo tecnológico de 180 nm.

Capítulo 2 - Implementación

A continuación se detalla la implementación de cada uno de los bloques de la figura 19, entre ellos: El filtro Sinc, el OpAmp principal y el integrador. Dentro del filtro sinc, se presenta la implementación de sus sub bloques tales como el sample and hold, y la transmission gate. Por último, se explican las consideraciones que se tuvieron que hacer en la implementación del Top Level, el bloque que integra todas las partes del sistema.

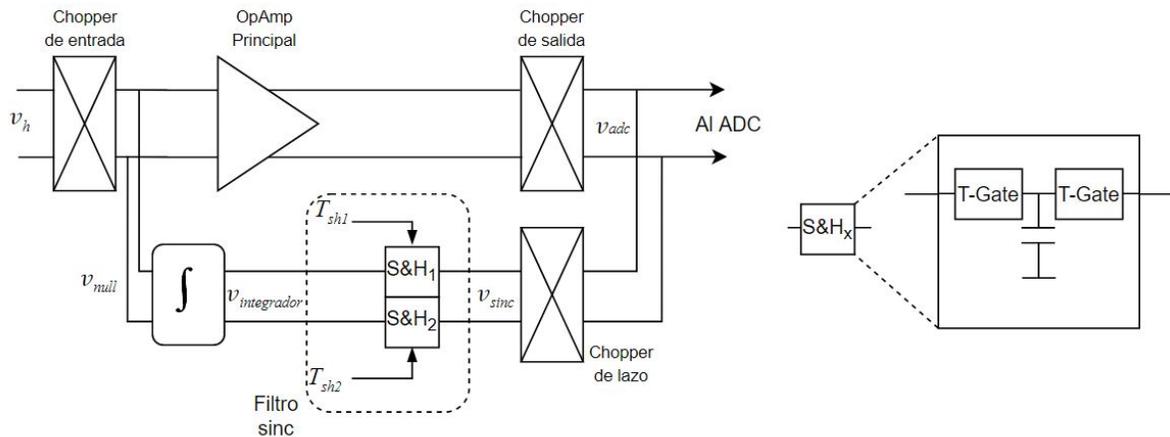


Fig. 20 - Sistema RRL - diagrama en bloques.

Filtro Sinc

Sabiendo que el espectro de una función rectangular es una función seno cardinal o sinc, es intuitivo pensar que un sample and hold es capaz de tener una respuesta en frecuencia tal que elimine los armónicos impares de f_{ch} . A continuación se pretende demostrar el módulo de la respuesta en frecuencia del sample and hold $G(s)$.

La función transferencia de un sistema es igual que la respuesta al impulso de dirac. Si a un sample and hold se le aplica una delta en tiempo 0, la salida será una función rectangular de ancho T y amplitud 1, siendo T la inversa de la frecuencia f_{ch} ¹⁵.

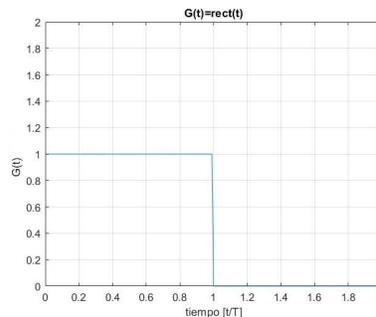


Fig. 21 - función $rect(t)$ en función del tiempo normalizado a T . Respuesta temporal del S&H $g(t)$ al impulso de dirac.

¹⁵ Nise, N. (2010). Digital Control Systems. En Norman S. Nise, *Control Systems Engineering*. (7ª edición, pp. 714). Estados Unidos: Wiley.

En el dominio de laplace, se puede construir una función rectangular desde una función escalón en el origen al que se le resta un escalón desplazado un tiempo T. Sabiendo que un escalón de altura se lo representa en laplace como $1/s$, y que un desplazamiento T en el tiempo es equivalente a multiplicar por e^{-Ts} , la función rectangular es:

$$G(s) = \frac{1}{s} - \frac{1}{s} e^{-Ts} \quad (13)$$

Si bien esta es la representación válida para el sample and hold en el dominio de Laplace, se desea obtener la respuesta en frecuencia del mismo. Para ésto, se debe inyectar a la entrada del sample and hold un impulso de dirac de área unitaria, y la salida también debe poseer área unitaria. Por tanto, se escala la amplitud a la salida $1/T$ veces tal que el área es $1/T * T = 1$. Esto produce que el valor medio de la salida del sample and hold sea igual al valor medio de la señal a la entrada, haciendo la ganancia en DC igual a 1 e independiente del tiempo de muestreo T.

Desde (13) se puede reemplazar s por $j\omega$ y utilizar la definición compleja de la función seno:

$$\text{sen}(x) = \frac{e^{jx} - e^{-jx}}{2j} \quad (14)$$

$$G(j\omega) = \frac{1}{T} \frac{1 + 2j \text{sen}(\omega T) - e^{j\omega T}}{j\omega} = \frac{1}{T} \left(\frac{1}{j\omega} + 2 \frac{\text{sen}(\omega T)}{\omega} - \frac{e^{j\omega T}}{j\omega} \right) \quad (15)$$

Utilizando la fórmula de Euler:

$$e^{jx} = \cos(x) + j \text{sen}(x) \quad (16)$$

Entonces:

$$G(j\omega) = \frac{1}{T} \left(\frac{1}{j\omega} + 2 \frac{\text{sen}(\omega T)}{\omega} - \frac{\cos(\omega T)}{j\omega} - \frac{j \text{sen}(\omega T)}{j\omega} \right) = \frac{\text{sen}(\omega T)}{\omega T} + j \left(\frac{\cos(\omega T)}{\omega T} - \frac{1}{\omega T} \right) \quad (17)$$

Tomando módulo:

$$|G(\omega)| = \frac{1}{T} \sqrt{\frac{\text{sen}^2(\omega T)}{\omega^2} + \frac{\cos^2(\omega T)}{\omega^2} - 2 \frac{\cos(\omega T)}{\omega^2} + \frac{1}{\omega^2}} \quad (18)$$

Tomando $1/\omega$ como factor común y utilizando la identidad trigonométrica:

$$\text{sen}^2(x) + \cos^2(x) = 1 \quad (19)$$

Entonces:

$$|G(\omega)| = \frac{1}{\omega T} \sqrt{1 - 2 \cos(\omega T) + 1} \quad (20)$$

$$|G(\omega)| = \frac{\sqrt{2}}{\omega T} \sqrt{1 - \cos(\omega T)} \quad (21)$$

Utilizando la propiedad trigonométrica:

$$\cos(2x) = 1 - 2 \text{sen}^2(x) \quad (22)$$

$$|G(\omega)| = \frac{\text{sen}(\omega T/2)}{\omega T/2} = \frac{\text{sen}(\pi f_{ch} T)}{\pi f_{ch} T} \quad (23)$$

La ecuación (23) entonces describe el módulo de la respuesta en frecuencia de un sample and hold, quedando en evidencia la respuesta tipo sinc. Gráficamente se puede comprobar cómo los armónicos de f_{ch} son eliminados.

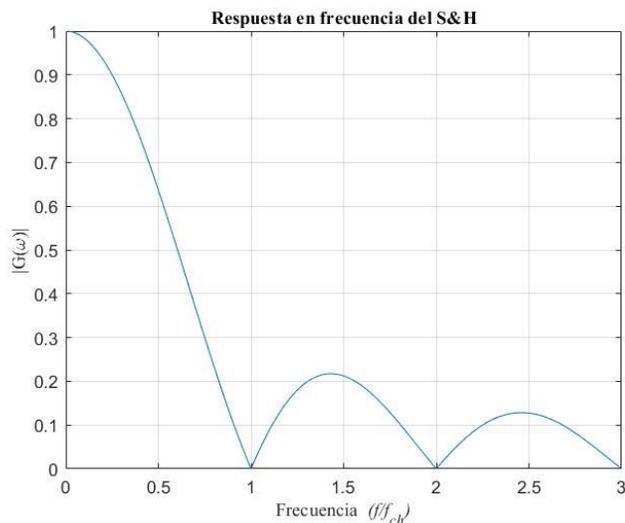


Fig. 22 - Respuesta en frecuencia del S&H normalizado a f_{ch}

El sample and hold funciona muestreando, es decir, es un multiplicador de cierta señal con un tren de pulsos de dirac seguido de un zero-order hold. Por tanto, además de ser un filtro, es un modulador. Un modulador convolucionna señales en frecuencia trasladando una señal de banda base a cierta frecuencia, creando “imágenes” consecuencia de la convolución. Supongamos que una señal en banda base es muestreada por un sample and hold. Respetando la respuesta en frecuencia del mismo, se crean imágenes de esta señal alrededor de la frecuencia de muestreo.

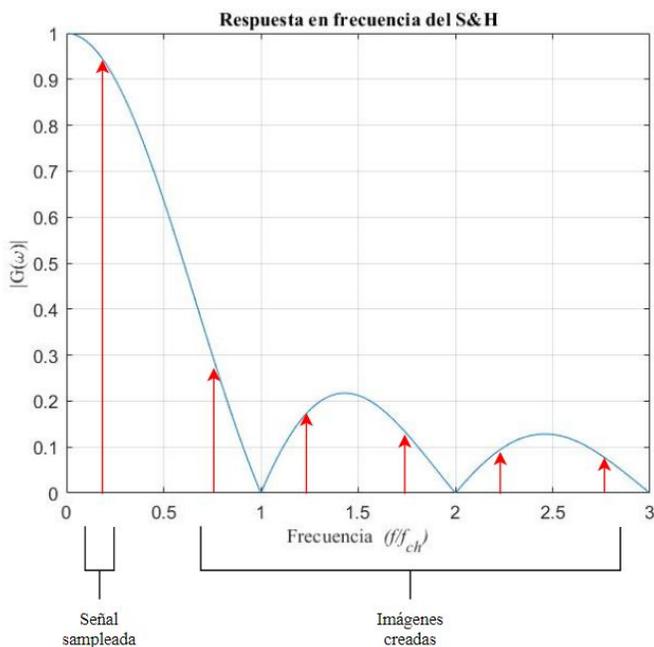


Fig. 23 - Espectro frecuencial de una señal luego de un S&H

Lo mismo sucede con una señal que está en alta frecuencia que es demodulada al pasar por el sample and hold. La señal a la salida es retrotraída a banda base con sus respectivas imágenes alrededor de las frecuencias de los armónicos de la frecuencia del sample and hold. Esto mismo es lo que sucede en la señal v_{sinc} a la entrada del filtro sinc en la figura 20. La señal v_{adc} a la salida del OpAmp (señal efectiva, originada desde el sensor Hall) es modulada a la frecuencia de muestreo mediante el chopper de lazo, y demodulada a banda base luego del sample and hold. Entonces $v_{integrador}$ se compone de v_{sinc} demodulada a banda base más las imágenes creadas. Esto implica un problema ya que estas frecuencias, cuyo origen no es proveniente del offset del OpAmp, serán integradas y el lazo actuará de acuerdo a ello. Se propone pues una técnica de muestreo en contrafase para cancelar señales choppeadas (moduladas) no provenientes del offset, basada en el Notch Filter descrito en el paper de Kusuda¹⁴.

La técnica del filtrado de señales choppeadas es implementada en el siguiente modelo hecho en Simulink.

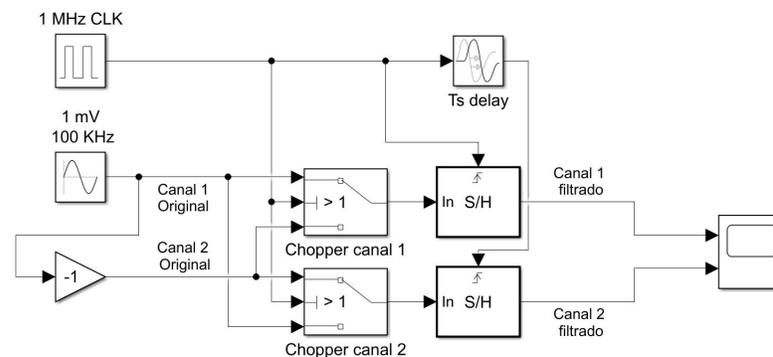


Fig. 24 - Modelo simulink que realiza la operación choppeado + filtrado mediante el uso de sample and hold.

En la figura 24 se tiene a modo de ejemplo dos canales de una señal diferencial de 1 mV pico @ 100 KHz, llamadas Canal 1 Original y Canal 2 Original, que son choppeadas a una frecuencia $f_{ch} = 1\text{MHz}$, mediante los Chopper canal 1 y 2, que representan al chopper de lazo de la figura 20. A la salida de los chopper se tendrá una señal modulada que se desea filtrar con los sample and hold, que hacen las veces de filtro sinc de la figura 20. Esta señal a la entrada de los sample and hold es:

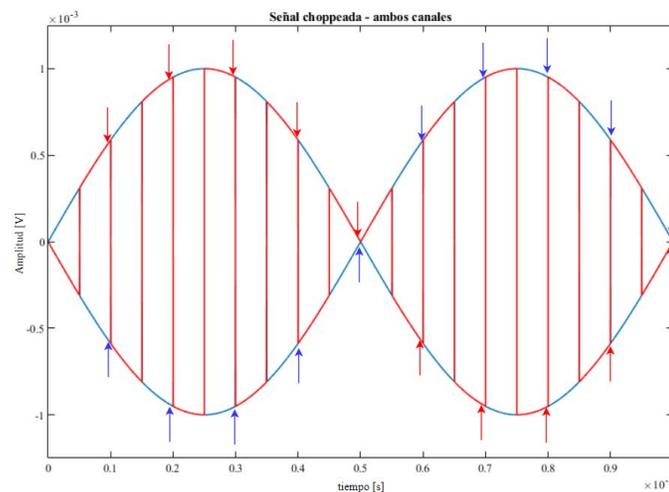


Fig. 25 - Salida de los chopper de la figura 24. Rojo: canal 1 - Azul: canal 2.

Ignorando el delay T_s de la figura 24, si se muestrean ambas señales al mismo tiempo cada $1/f_{ch} = 1\mu s$ indicado por las flechas en la figura 25, se retrotraerá la señal a banda base y se crearán las correspondientes imágenes en alta frecuencia.

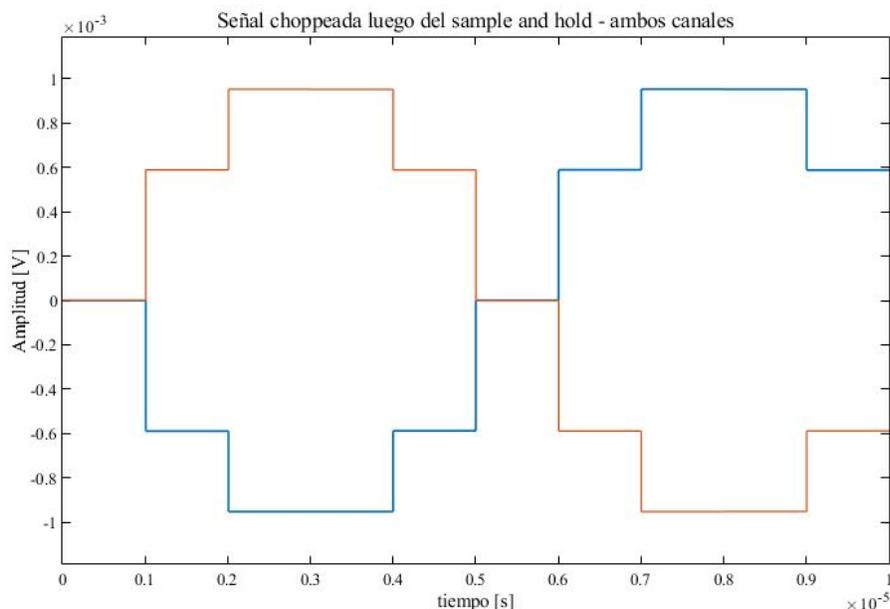


Fig. 26 - Señal diferencial choppeada luego del sample and hold. Rojo: canal 1 - Azul: canal 2

Tomando ventaja de la forma de onda de una señal diferencial choppeada, se pueden muestrear las dos señales de en tiempos diferentes para que sean canceladas mediante la entrada diferencial del integrador. Es decir, si el canal 2 (azul) se muestrea en contrafase (es decir, con un desfase de 180° en el tiempo de muestreo que equivale a $T_s = 500$ ns de delay en nuestro ejemplo a $f_{ch} = 1$ MHz) se invierte la polaridad del mismo y ahora los canales se cancelan diferencialmente.

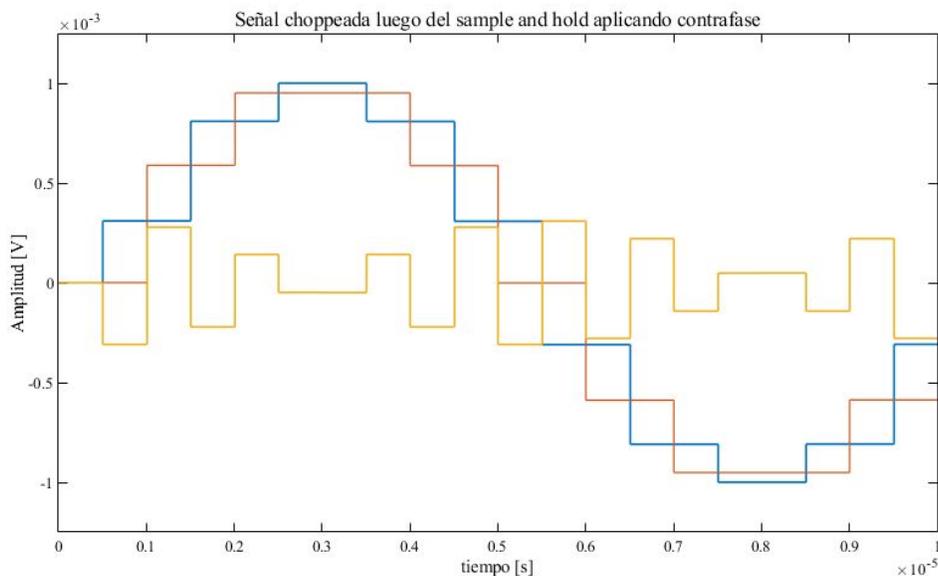


Fig. 27 - Salida del sample and hold muestreando canales en contrafase. Rojo: canal 1 - Azul: canal 2 - amarillo: canal 1 - canal 2.

Es importante destacar que este retraso en el muestreo de uno de los canales logra invertir la polaridad de una señal choppeada (que se desea filtrar) pero no logra invertir la polaridad de una señal no choppeada, tal como el offset del OpAmp que se encuentra en DC a la entrada del sample and hold. Esto es debido a que una señal DC es estacionaria y no importa en qué momento ni a qué frecuencia se la muestree, la salida siempre será igual a la entrada. Por lo tanto, esta estrategia de muestreo con un sample and hold logra filtrar selectivamente la señal a la salida del OpAmp dejando intacto al offset para que luego sea integrado en la siguiente etapa.

Como se aprecia en la figura 27, la señal no es totalmente cancelada, sino atenuada y, lo más importante, modulada a frecuencia f_{ch} . Para entender cómo es que la señal es atenuada, el modelo de la figura 24 puede ser complicado de analizar. Entonces se lo intenta simplificar reordenando los bloques para un mejor análisis. Esto se puede ver en la figura 28 donde la resta de las dos señales originales con un desfase T_s en una de ellas coincide exactamente en los puntos donde la señal de la figura 27 es muestreada.

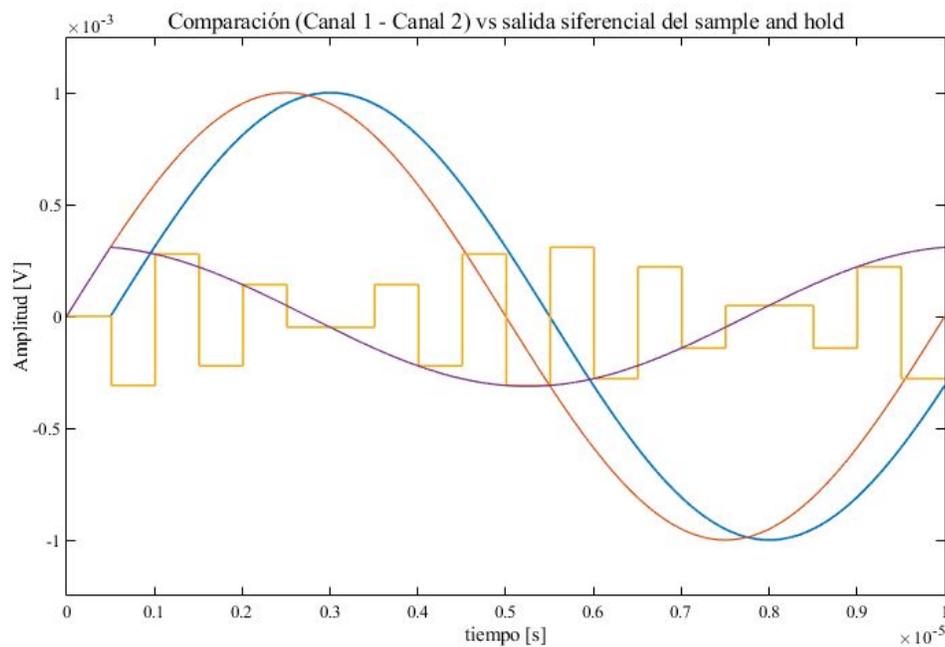


Fig. 28 - rojo y azul: canal 1 y canal 2 desfasados un tiempo T_s . violeta: canal 1 - canal 2. Amarillo: salida del sample and hold de la figura 27.

Esto ya da una idea de que la atenuación depende directamente del desfase entre los tiempos de muestreo en ambos sample and hold. Cuanto menor sea este desfase, menor diferencia habrá entre las señales roja y azul de la figura 27, y menor será la amplitud de la señal violeta. Para poder replicar la señal diferencial a la salida de los sample and hold (amarilla), la señal violeta debe ser modulada. Por lo tanto, se concluye que el sistema original de la figura 24 se lo puede modelar con un sistema simplificado que se componga de un restador seguido de un chopper y un sample and hold.

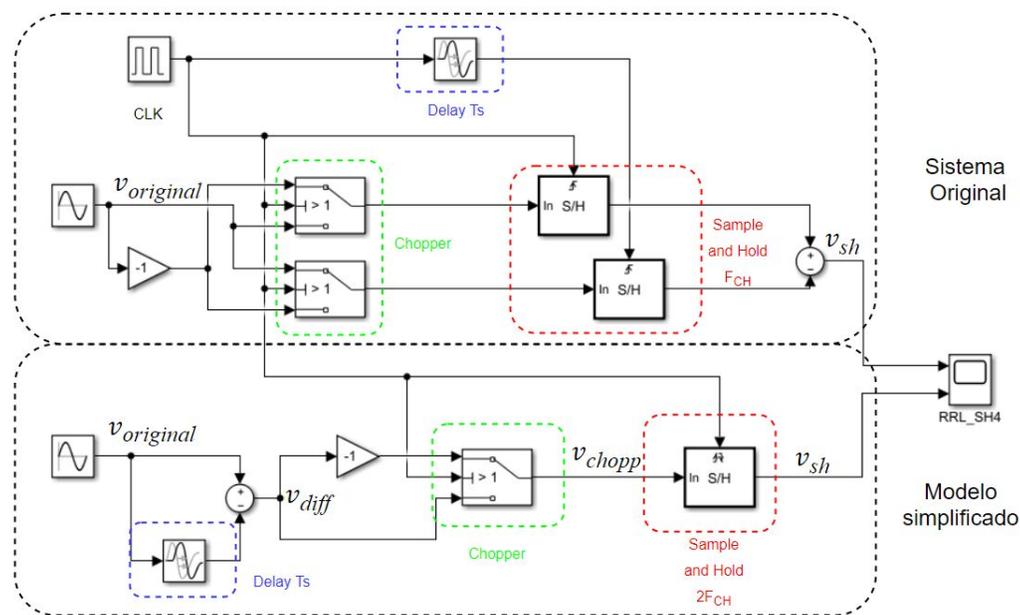


Fig 29 - Modelo de sistema chopper + sample and hold en contrafase

Comparando el sistema original con su modelo simplificado, se ve que la atenuación de la señal producto del desfase en los sample and hold en el sistema original, es realizada por el restador y el delay en el modelo simplificado. A su vez, la modulación de la señal a frecuencia f_{ch} producto de los chopper y los sample and hold en contrafase, es realizada por un chopper y un solo sample and hold. Hay que resaltar que el sample and hold en el modelo simplificado debe muestrear a $2f_{ch}$. Esto es debido a que en el sistema original, hay dos sample and hold que muestrean a f_{ch} pero están en contrafase, produciendo una señal diferencial a la salida que conmuta a $2f_{ch}$.

Simulando, se ve que las señales v_{sh} a las salidas de ambos modelos son iguales:

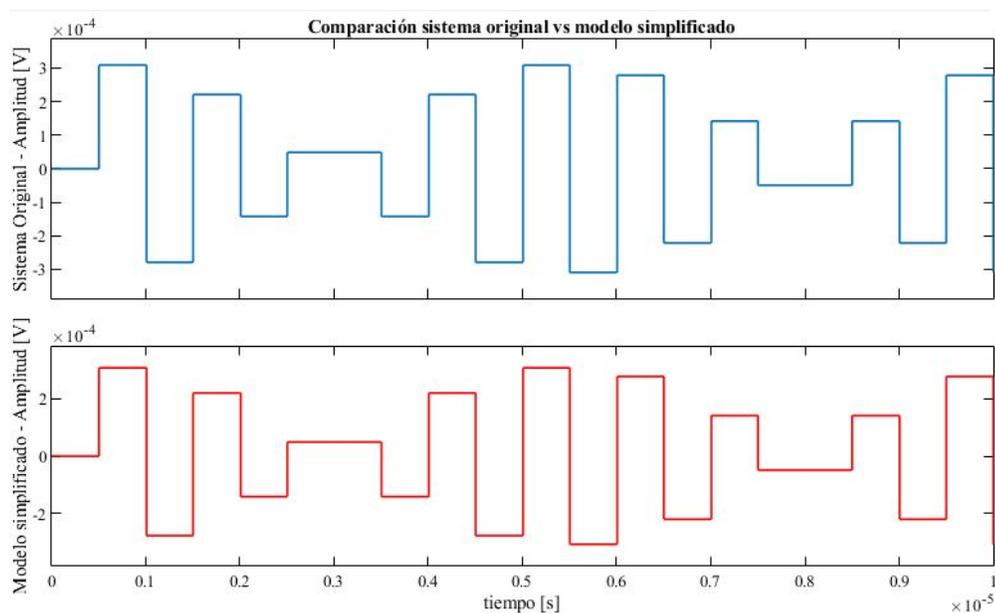


Fig. 30 - Comparación v_{sh} en el sistema original vs modelo simplificado

Con el modelo simplificado del sample and hold en contrafase, se puede entender mejor cómo se filtra la señal efectiva frecuencialmente. Separando las 3 etapas, el delay atenúa, el chopper modula a f_{ch} , y el sample and hold modula a $2f_{ch}$:

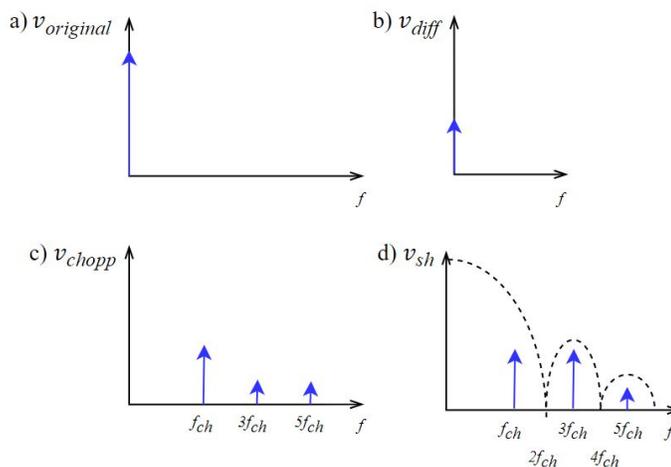


Fig. 31 - a) señal original - b) señal en (a) luego de la atenuación por delay - c) señal en (b) luego del chopper - d) señal en (c) modulada a $2f_{ch}$ debido al sample and hold.

En la figura 31 (d) se puede llegar a pensar que el sample and hold no cumple ningún rol en el filtrado de la señal, pero hay que recordar que esto es un modelo. En el sistema original, el sample and hold cumple un rol muy importante ya que es el encargado de, delay mediante, realizar la atenuación de la señal. También, es tentador preguntarse por qué se implementa el sistema original y no el modelo directamente. La respuesta yace en que es más fácil implementar un delay en un sample and hold (delays en señales digitales son relativamente sencillos) que un delay en una señal analógica.

Finalmente, resta deducir la atenuación de la señal en función de la frecuencia y de T_s . Si se restan dos señales senoidales $\text{sen}(2\pi\omega \cdot t)$ iguales pero desfasadas, la máxima amplitud de la señal resultante será en $t = 0$, ya que en ese tiempo se encuentra un máximo en la derivada de la función seno. Por lo tanto, la resta de dos señales senoidales desfasadas un tiempo T_s evaluadas en $t=0$ es:

$$\text{sen}(2\pi f \cdot 0 + \Phi_s) - \text{sen}(2\pi f \cdot 0) = \text{sen}(\Phi_s) \quad (24)$$

Donde $\Phi_s = 2\pi f T_s$. Es decir, la atenuación del sample and hold en contrafase depende de la frecuencia de la señal y del desfase T_s respetando la función seno. En la figura 32 se puede ver la respuesta en frecuencia de acuerdo a cuatro diferentes T_s en los sample and hold.

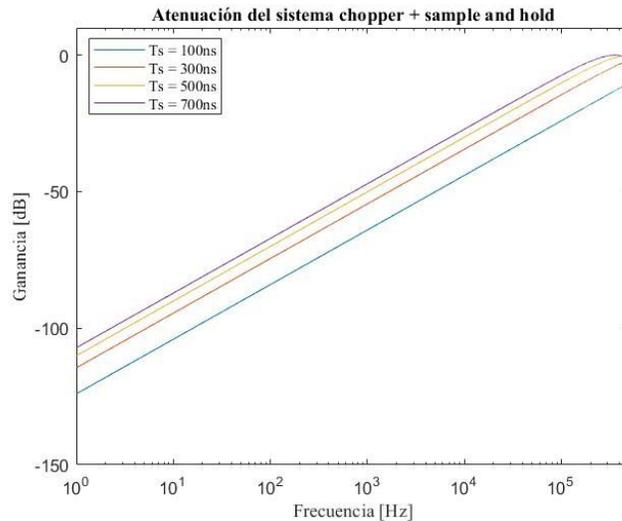


Fig. 32 - Atenuación del sample and hold en contrafase para una señal chopeada vs frecuencia para $T_s = 100$, 300, 500 y 700 ns.

De la figura 32, se puede deducir que la máxima atenuación se consigue con un mínimo T_s , lo cual tiene sentido ya que a menor T_s , se muestrean los canales de la figura 27 en tiempos más cercanos, lo que hace que la resta entre las salidas de los sample and hold sea más parecidas, anulándose entre sí cuando se las resta en la entrada del integrador de la figura 24. También, es útil notar que T_s debe estar entre 0 ns y $1/f_{ch} = 1\mu s$, ya que de lo contrario, no se podrá efectuar la inversión de polaridad entre los dos canales y no serán atenuadas.

Conclusión: se logró con un Chopper y un sample and hold en contrafase, un sistema que filtre la señal efectiva de acuerdo a la figura 32, modulándola a f_{ch} , lo que es útil para que el integrador de la siguiente etapa la filtre aún más. En cuanto al ripple originado por el offset del OpAmp, es retrotraído a DC mediante el chopper de lazo y, al ser una señal estacionaria, el sample and hold y su desfasaje T_s no influyen. El offset a la salida del sample and hold sigue en DC para poder ser integrado en la etapa siguiente.

Sample and Hold

El sample and hold se implementa conmutando capacitores. Para cada canal, se utilizan 2 ramas que constan de 1 capacitor y dos transmission gates (T-Gates) cada una. Las dos T-Gates de cada rama se utilizan para conectar el capacitor ya sea con la entrada o con la salida, dependiendo si el capacitor está en el período denominado tracking (conectado con entrada) o el período denominado holding (conectado con la salida).

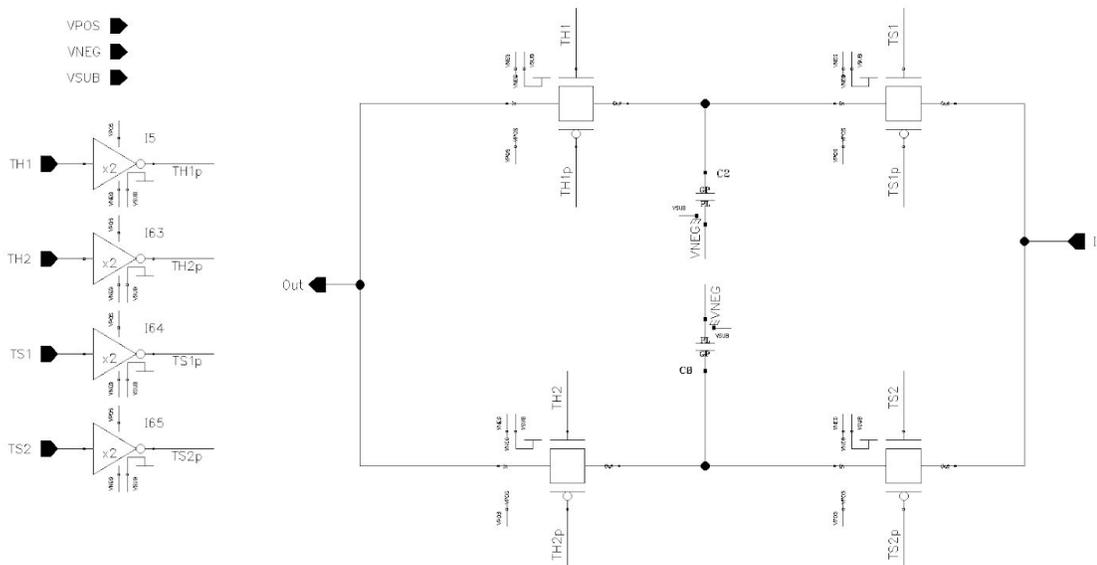


Fig. 33 - Esquemático Sample and Hold.

Como se puede ver en la figura 33, se utilizan 2 capacitores (con 2 T-Gates cada uno para su conexión y desconexión) como estilo ping-pong. Es decir, mientras un capacitor se encuentra en el período de tracking, el otro está en el período de holding y viceversa. De esta forma siempre se realiza la operación de sample and hold sin tiempos muertos.

Por otro lado, el valor de capacidad no debería influir en el muestreo de la señal ya que se está muestreando tensión y no corriente. Pero el tamaño del capacitor tiene dos consecuencias secundarias, una relacionada con el tiempo de carga del mismo durante el tracking, y otra relacionada con la distribución de cargas con la capacidad de entrada de la siguiente etapa, el integrador, durante el holding.

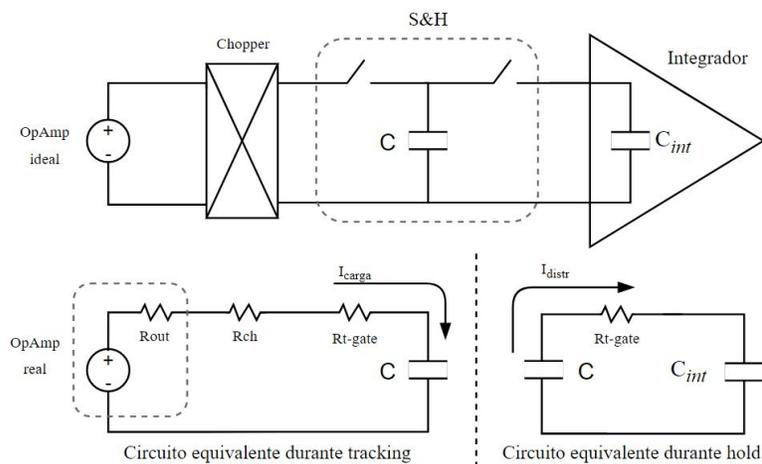


Fig. 34 - sample and hold (un canal) y su representación durante tracking o holding.

Durante el tracking se carga el capacitor, y el OpAmp principal es quien se encarga de imponer la tensión que se debe muestrear. Pero, lejos de ser ideal, el OpAmp tiene cierta resistencia de salida que junto con la resistencia R_{on} del chopper, la resistencia R_{on} de la T-gate y la capacidad del sample and

hold, actúan como un LPF que determina el tiempo de carga del capacitor, teniendo que ser este menor al período de tracking. Además, una gran capacidad implica una gran corriente de carga que puede llegar a provocar problemas de ruido originado en la caída de tensión en dichas resistencias.

Durante el hold, la capacidad de entrada del integrador debe ser despreciable frente al valor del capacitor del sample and hold, de lo contrario se producirá una distribución de cargas tal que se pierda parte de la tensión muestreada.

En el presente trabajo se utilizan dos sample and hold, uno para cada canal del par diferencial.

Transmission Gate

Una transmission gate es una llave analógica, utilizada en este caso para conectar y desconectar los capacitores del sample and hold. En una primera instancia, se podría utilizar un NMOS con su terminal de gate conectado a una señal digital, que lo polarice en corte (circuito abierto) o triodo (cortocircuito o resistencia = R_{on}) según convenga.

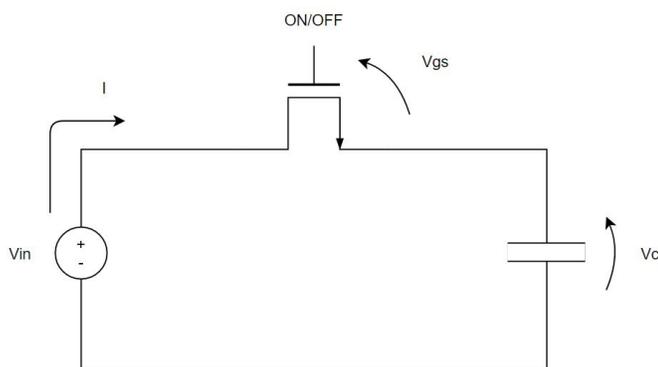


Fig. 35 - Carga de un capacitor con un NMOS

El problema yace en que cuando el capacitor se carga y V_C aumenta, V_{gs} disminuye, provocando un aumento en la R_{on} del transistor. En el peor de los casos, si la tensión que maneja el gate del NMOS es menor a $V_{in} + V_{th}$, el transistor pasa de triodo a corte y V_C no llega a igualar a V_{in} . Para solucionar un problema, se añade un PMOS en paralelo.

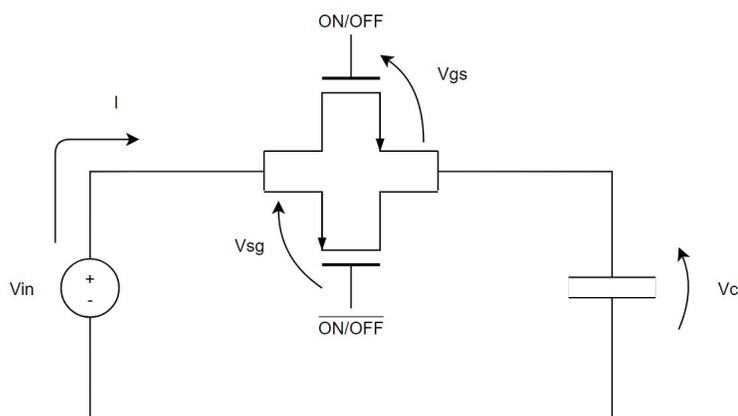


Fig. 36 - Carga de un capacitor con una transmission gate (T-Gate)

De esta forma, V_{sg} del PMOS es siempre V_{in} y no varía con la carga del capacitor. En la descarga del capacitor, el sentido de la corriente se invierte, y así lo hacen los terminales source y drain de ambos MOS.

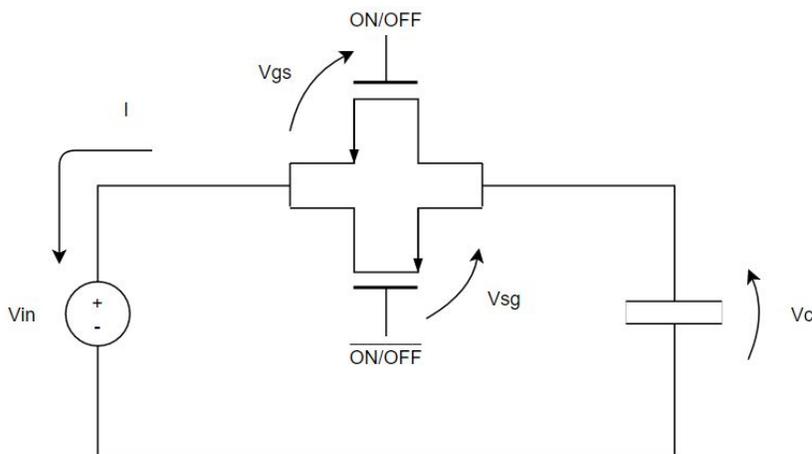


Fig. 37 - Descarga de un capacitor con una transmission gate (T-Gate)

En la descarga del capacitor (asumiendo $V_{in} = 0$), el V_{gs} del NMOS es quien no depende de V_c , en cambio V_{sg} del PMOS va disminuyendo hasta que entra en zona de corte. Como conclusión, el NMOS es útil en la descarga del capacitor y el PMOS es útil en la carga del capacitor.

En adición de usar un PMOS y un NMOS para cada T-Gate, se utilizan switches “dummies” para reducir errores producidos por inyección de carga o “Charge Injection”. Supongamos que un capacitor fue cargado con un NMOS por un momento. Cuando el NMOS está en zona triodo, hay un canal formado por electrones que son atraídos por el potencial de gate. Cuando se apaga el transistor forzándolo a entrar en corte, el canal de electrones debe desaparecer, y para ello, los electrones del canal deben fluir a través de los terminales de drain y source. Esto se piensa como una inyección de carga (que es proporcional al área del transistor) que puede quedar almacenada en el capacitor, provocando un error de muestreo en el sample and hold.

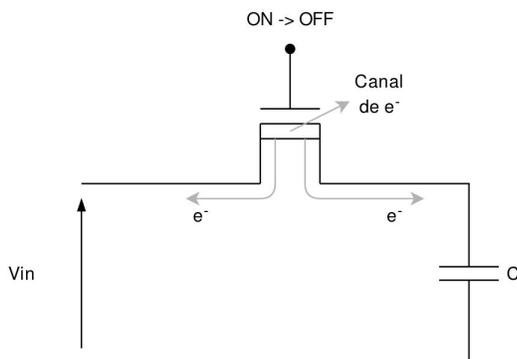


Fig. 38 - Inyección de cargas producida por el canal de electrones de un NMOS en triodo.

Para evitar este error de muestreo, se colocan en serie dos switches dummies de la mitad de tamaño cortocircuitados, manejados por una tensión opuesta a la del switch. De esta forma, cada mitad de la carga

del canal de electrones es utilizada para formar el canal de electrones de cada switch dummy, e, idealmente, no hay carga extra que provoque un error de muestreo en la tensión del capacitor.

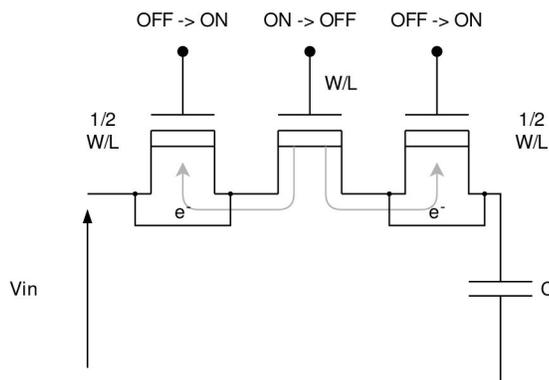


Fig. 39 - Utilización de switches dummy para reducir la inyección de carga.

Finalmente, el diseño de la transmission gate:

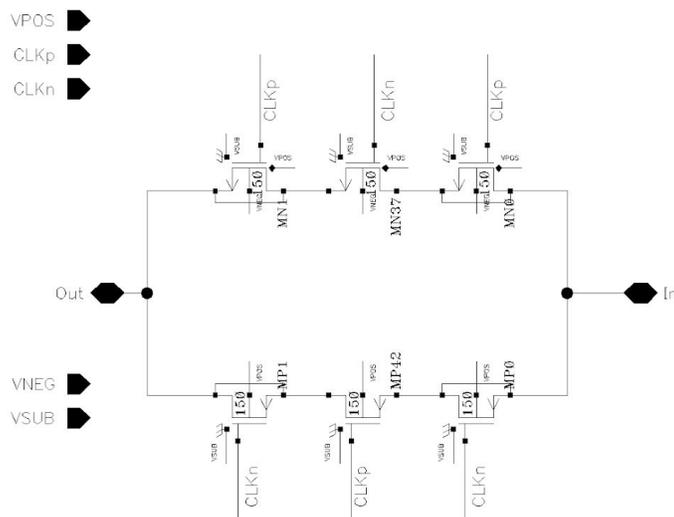


Fig. 40 - Esquemático de la transmission gate (T-Gate)

OpAmp Principal

I. Topología

Si bien se espera un amplificador como en la figura 20, es difícil lograr un amplificador estable de tal ancho de banda que no filtre la señal de alta frecuencia luego del chopper de entrada. Si se choppea a una frecuencia de 1MHz, el BW del amplificador debe ser por lo menos diez veces la frecuencia de chopper, para que el chopper de salida pueda retrotraer la señal a banda base con ruidos de alta frecuencia despreciables. Esto se puede ver en el siguiente ejemplo. Supongamos que una señal DC se choppea, pasando como una señal cuadrada de frecuencia f_{ch} , y se amplifica con un OpAmp de BW igual a f_{ch} . Una

vez amplificada, la señal cuadrada pierde los armónicos de más altas frecuencias, debido al polo del OpAmp:

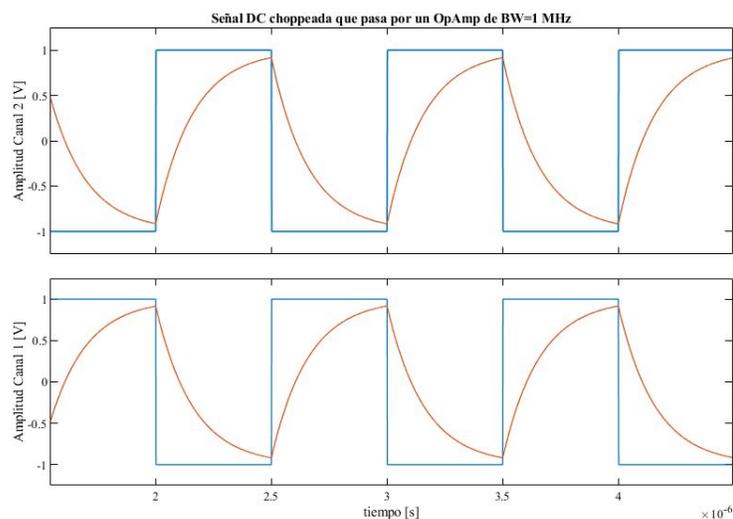


Fig. 41 - Arriba: canal 2 - Abajo: Canal 1. Rojo: entrada del OpAmp - Azul: Salida del OpAmp

Una vez que se retrotrae la señal a DC con el chopper de salida, se obtiene:

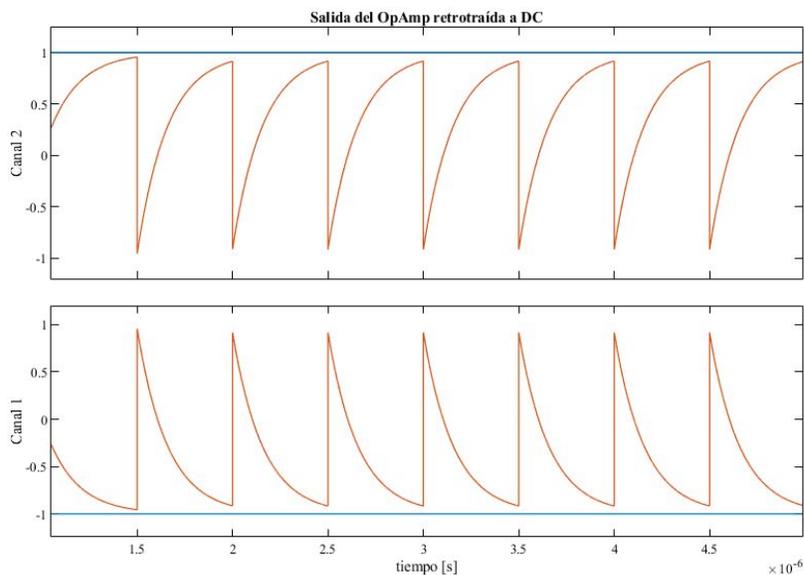


Fig. 42 - Arriba: canal 2 - Abajo: Canal 1. Roja: Señal obtenida - Azul: Señal esperada

Como se ve en la figura 42, aparecen picos de tensión a frecuencia f_{ch} , en lugar de tener una señal DC. A mayor BW del OpAmp, más angostos serán los picos en la señal de salida. Con un polo en infinito, los picos son infinitamente angostos, retro trayendo la señal original a DC sin ruido agregado.

Para que esto no suceda, se divide el amplificador operacional en dos etapas: una primera etapa de amplificación, que debe ser “rápida” y no filtrar la señal modulada; y una segunda etapa de compensación, para estabilizar el OpAmp, que suele ser la etapa “lenta”. Entonces, es posible colocar el chopper de salida entre estas dos etapas, demodulando la señal a banda base antes de pasar por la etapa de compensación. Con esta técnica, es posible modular en frecuencia sólo el offset de la primera etapa,

quedando el offset de la segunda etapa en DC junto con la señal efectiva. Esto no es un problema ya que, refiriendo el offset de la segunda etapa a la entrada del OpAmp, se lo debe dividir por la ganancia de la primera etapa, que suele ser la mayor. Por ende, el offset de la segunda etapa referido a la entrada es mucho más pequeño que el de la primera, eliminando la necesidad de choppearlo. El diagrama en bloques del OpAmp principal queda:

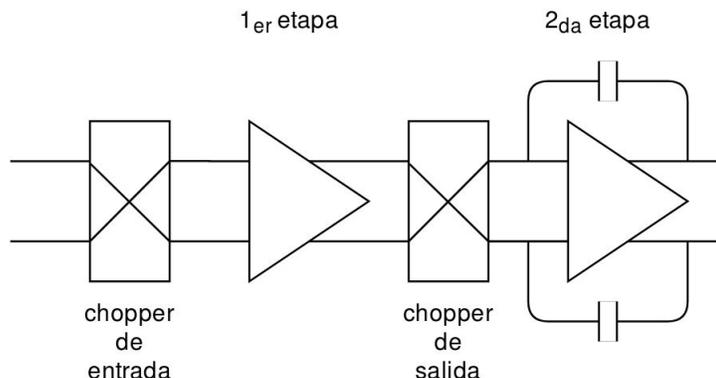


Fig. 43 - OpAmp principal choppeado de dos etapas

En la figura 43 se puede ver una segunda etapa luego del chopper de salida que funciona de compensación. Los capacitores entre la entrada y la salida de la segunda etapa hacen referencia a una topología de compensación tipo Miller.

En cuanto a la topología del OpAmp principal, es un amplificador operacional choppeado tipo Fully Differential, es decir, de entrada y salida diferencial. La primera etapa se basa en un folded cascode, luego una segunda etapa de compensación Miller más un common drain como buffer de salida.

El folded cascode es una topología que utiliza cargas activas cascodeadas que permiten tener una alta resistencia de salida (y por tanto, mayor ganancia) sin perder tanto rango de operación como es el caso de la topología telescópica, ya que el par diferencial no está “apilado” junto con los cascos. Es decir, se utilizan 4 transistores en una misma rama en lugar de 5 como es el caso de un amplificador telescópico.

con la segunda etapa. Una vez más, el offset producido por el mismatch de los cascode no es un problema ya que queda dividido por la ganancia de la primera etapa.

La segunda etapa, como se mencionó anteriormente, es una etapa de compensación tipo Miller, con un common source como amplificador. En serie con el capacitor de Miller, se utilizaron resistencias cuya función es eliminar el cero del semiplano derecho (RHPZ - Right Half Plane Zero) producido por el capacitor de Miller.

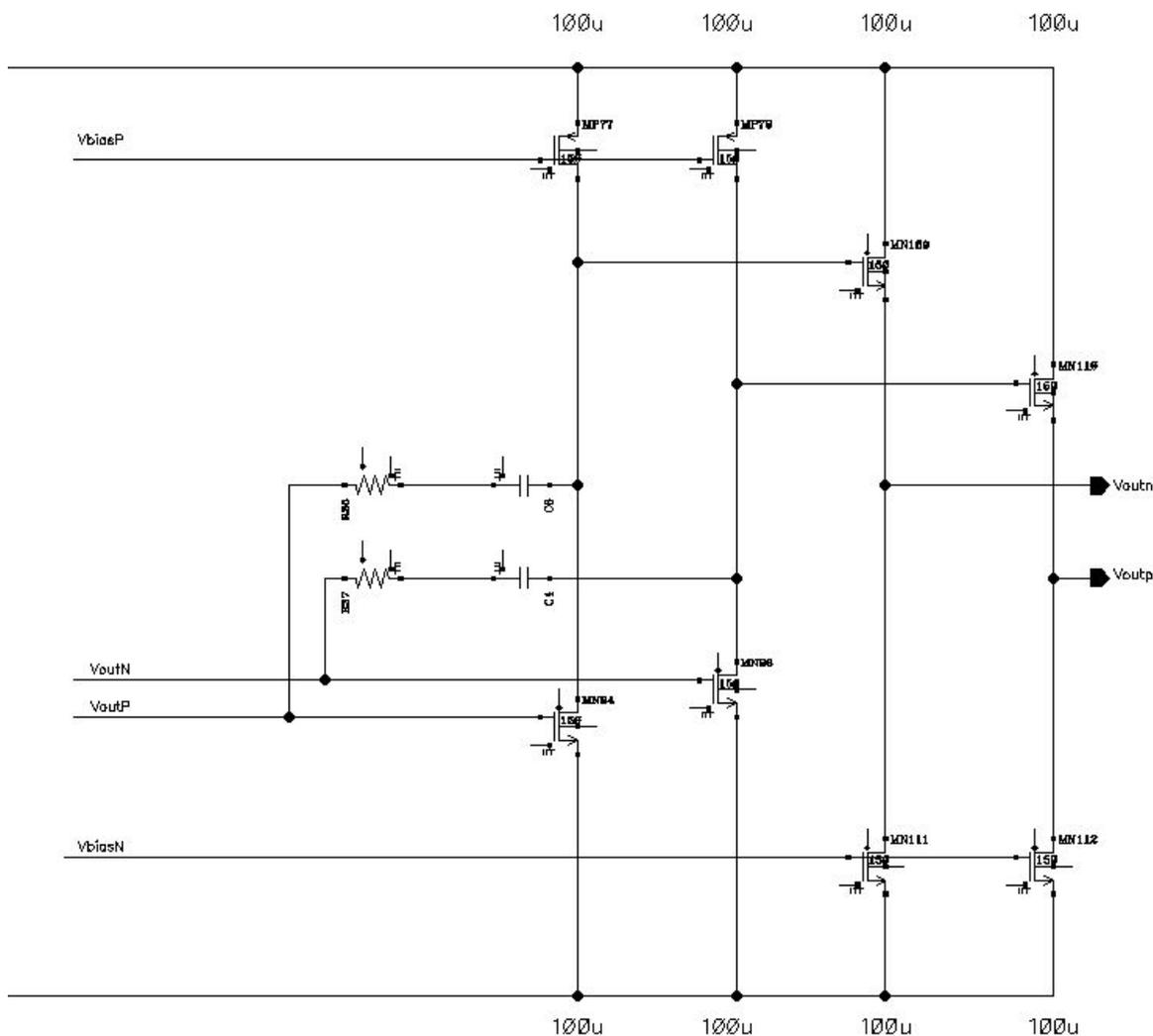


Fig. 45 - OpAmp principal, segunda etapa

A la salida del common source de la etapa de compensación tipo Miller, M109/110 forman un common drain como buffer de salida, cuya función es disminuir la resistencia de salida para poder manejar la capacidad de entrada del sample and hold.

II. Common Feedback Amplifier (CMFB)

La gran diferencia de los OpAmps fully differential con respecto a los single ended, es que la tensión en modo común no está definida. Observando la figura 46 (a), se puede ver un OpAmp fully differential como amplificador de tensión realimentado con una red resistiva para fijar la ganancia.

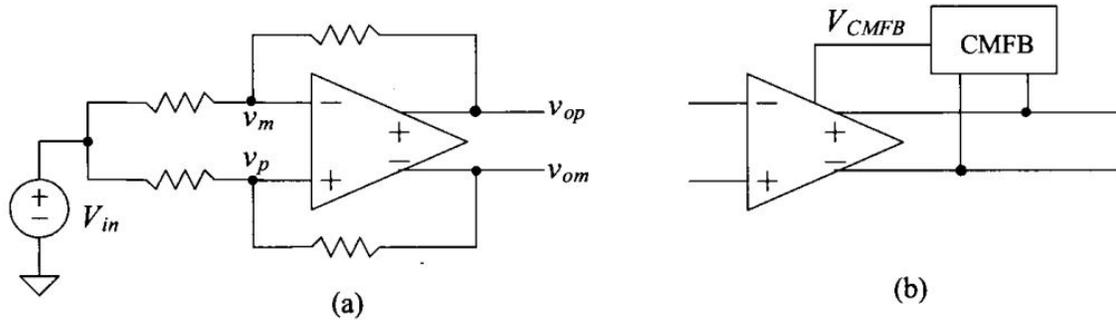


Fig. 46 - a) Amplificador con un OpAmp fully differential - b) OpAmp fully differential y su amplificador de modo común ¹⁶

Debido a la realimentación negativa y una alta ganancia de lazo abierto, se puede decir:

$$v_{op} - v_{om} = A_{OL} (v_m - v_p) \quad (25)$$

Con A_{OL} tendiendo a infinito:

$$v_m \approx v_p \quad (26)$$

Lo cual representa un problema, ya que si el promedio entre v_{op} y v_{om} es VPOS (siendo VPOS la tensión de alimentación del OpAmp) o VNEG (siendo VNEG la tensión de referencia del circuito) o un valor intermedio, la ecuación (26) sigue valiendo. En otras palabras, el OpAmp define la tensión diferencial $v_{op} - v_{om}$, pero nada define la tensión en modo común $(v_{op} + v_{om})/2$. Esto se puede ver en la salida del OpAmp principal de la figura 45 donde se ven fuentes de corrientes conformadas por MN111/112 “peleando” contra el buffer de salida M109/110. Sin un amplificador de modo común (de ahora en adelante, CMFB - common mode feedback) como en la figura 46 b), el nodo de salida queda indefinido y es muy probable que las fuentes de corriente o el buffer de salida entren en triodo.

En la figura 44 se puede ver que hay una tensión de polarización o biasing llamada V_{biasCM} , que es el nodo en el cual el CMFB actuará, imponiendo una tensión tal que el modo común en la salida sea igual al deseado. El CMFB no es más que otro OTA single ended que monitoree el promedio de los nodos de salida, y cuya salida esté conectada a V_{biasCM} .

¹⁶ Baker, Jacob B. (2010). Dynamic Analog Circuits. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 837). Estados Unidos: IEEE Solid-State Circuits.

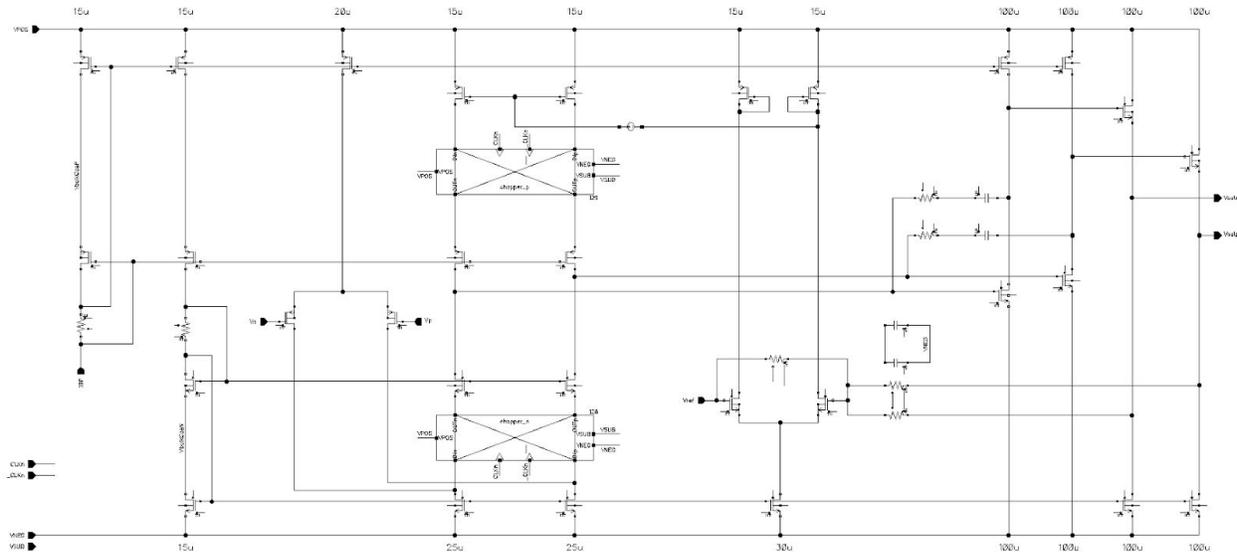


Fig. 48- OpAmp principal - esquemático completo.

III. Realimentación

Otra cuestión a considerar en el OpAmp principal es la configuración de la red resistiva de la realimentación negativa, necesaria para fijar la ganancia del sistema. En la figura 43 falta agregar esta realimentación, pudiendo ser:

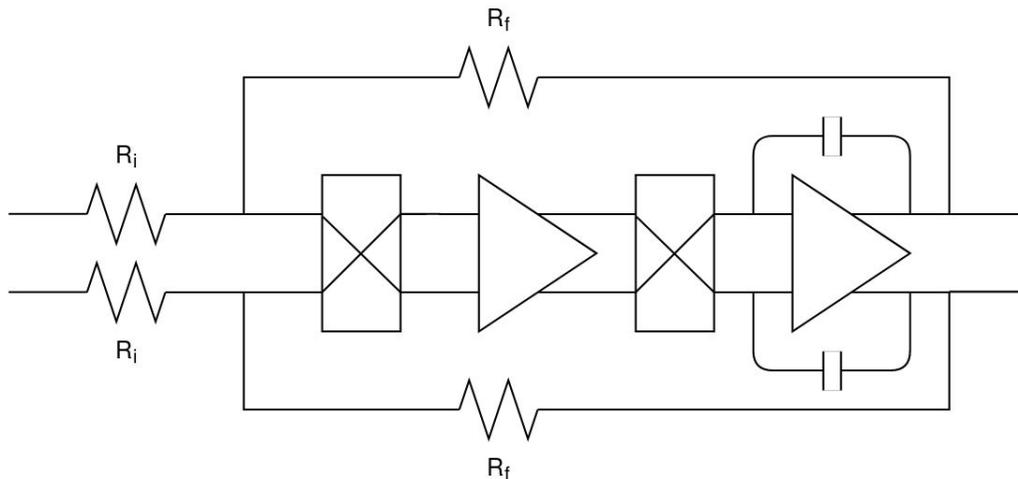


Fig. 49 - Posible configuración de la red resistiva de realimentación para fijar la ganancia.

Si bien esto es implementable, se debería añadir un buffer entre R_i y el sensor de Hall, para independizar el sistema de la resistencia de salida del sensor. Para evitar este buffer, que traería problemas como offset y ruido, además de añadir complejidad en el sistema, se utiliza la misma resistencia de salida del sensor Hall como R_i . En ese caso:

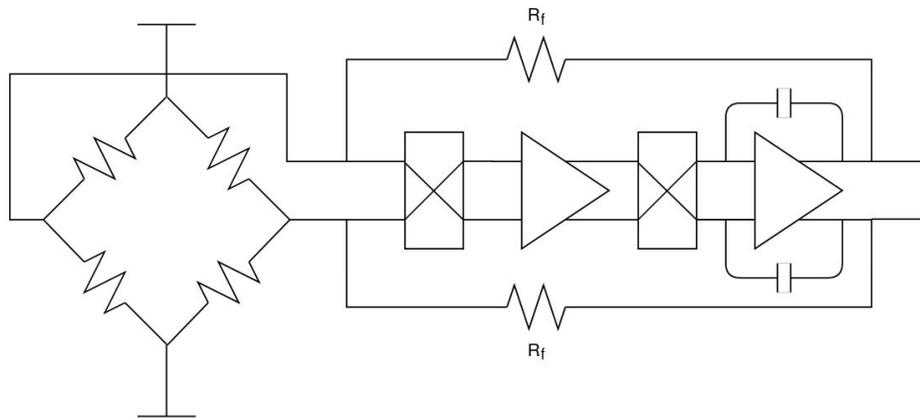


Fig. 50 - Sensor Hall como R_i

Así como sucede en el OpAmp, el sensor de efecto Hall también posee errores de offset, que pueden ser modelados como una variación ΔR en una de las resistencias del puente de wheatstone. Es decir, además del offset del OpAmp, se buscaría choppear el offset del sensor, producido por gradientes resistivos del silicio, asimetrías en el layout, efectos piezoresistivos, package stress, etc. Es muy importante destacar que el offset del sensor Hall es dependiente de errores geométricos. Aprovechando esta característica, en la industria, es conocida la técnica llamada “Dynamic Quadrature Offset Cancellation”¹⁷, donde se conmuta la polarización del sensor Hall para eliminar o reducir el offset. La técnica consiste en conmutar las señales de bias por las de señal y viceversa, de la siguiente forma:

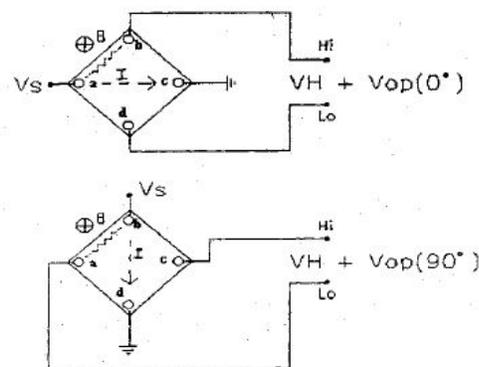


Fig. 51 - Sensor Hall conmutado de orientación 0° a 90° periódicamente¹⁷

Supongamos un campo magnético nulo, produciendo $V_H = 0$ V y un pequeño $\Delta R < 0$ que produce un V_{op} no nulo. Ya que ΔR permanece geométricamente en la misma posición (entre los puntos a y b de la figura 51), en el estado 0° la tensión producida por el offset V_{op} será positiva, mientras que en el estado 90° será negativa. En cambio, suponiendo $V_{op} = 0$ y campo magnético no nulo, tanto en el estado 0° o 90° , la tensión V_H será la misma. Esto se debe a que la fuerza producida por el efecto Hall es ortogonal a la corriente de bias, y si en el estado 0° el potencial de señal positivo se encontraba en el punto b, en el

¹⁷ Bilotti, A., Monreal, G., Vig, R. (1997). Monolithic Magnetic Hall Sensor Using Dynamic Quadrature Offset Cancellation. IEEE Journal of Solid-State Circuits, (Vol. 32, No.6).

estado 90° se encontrará en el punto c, en ambos casos es donde se conecta $V_{H_{Hi}}$. De esta forma, se consiguen las siguientes formas de onda:

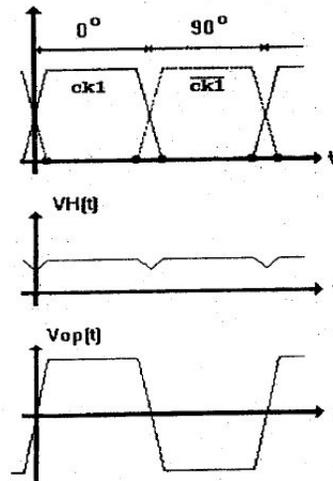


Fig. 52 - Formas de onda de V_H y V_{op} en los estados 0° y 90° ¹⁷

Claramente se puede ver que el offset ha sido modulado en frecuencia f_{ch} , mientras que la señal permanece en banda base. Esto es muy importante, ya que mediante el chopper de entrada de la figura 50, se retrotrae el offset del sensor Hall a DC, sumándose con el offset del OpAmp, mientras que la señal efectiva queda modulada a frecuencia f_{ch} . Esto permite al sistema de reducción de ripple eliminar o reducir tanto el offset del OpAmp como el del sensor.

El circuito final del sensor Hall, con los power y signal switches que conmutan al sensor de 0° a 90° queda:

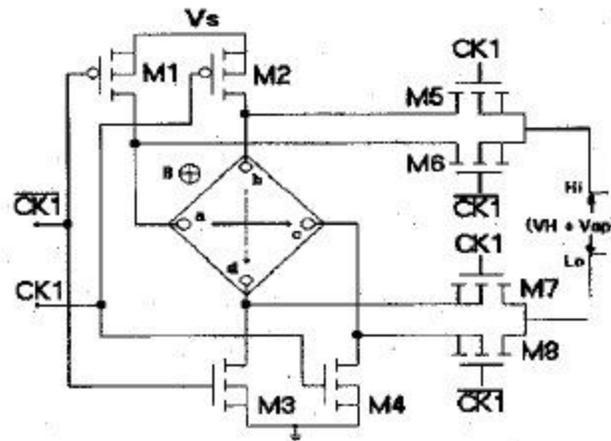


Fig. 53 - Conexión de los signal y power switches al sensor Hall ¹⁷

En la figura 53, los signal switches que conectan al sensor Hall con el acondicionador de señales son conformados por M5/6/7/8, mientras que los power switches que conectan al sensor con las tensión de bias V_s (V_{POS}) y la tensión de referencia V_{NEG} son M1/2/3/4. Es de gran importancia destacar que todos los switches no deben estar manejados por el mismo CLK, en lugar se usan clocks llamados “non-overlapping CLKs”. Esto es para evitar conectar la entrada del OpAmp a alguno de los rieles de alimentación o, en el peor de los casos, cortocircuitar la fuente de alimentación. Por ejemplo, supongamos

que en una primera fase 0° M5/7 y M1/4 están conectados y el resto en corte. El procedimiento para cambiar a la segunda fase 90° es:

1. Desconectar signal switches M5/7
2. Desconectar power switches M1/4
3. Conectar power switches M2/3
4. Conectar signal switches M6/8

Es decir, por un período de transición el OpAmp es totalmente desconectado de señal alguna proveniente del sensor Hall.

Además, como se puede ver en la figura 53, ya no existe un solo nodo donde conectar el amplificador de la figura 50, sino 4 que pasan ser nodos de alimentación a nodos de señal en cada fase de conmutación, haciendo imposible la implementación propuesta. En lugar, se conectan las resistencias de realimentación luego de los signal switches, donde hay dos únicos nodos de señal definidos para cualquier fase.

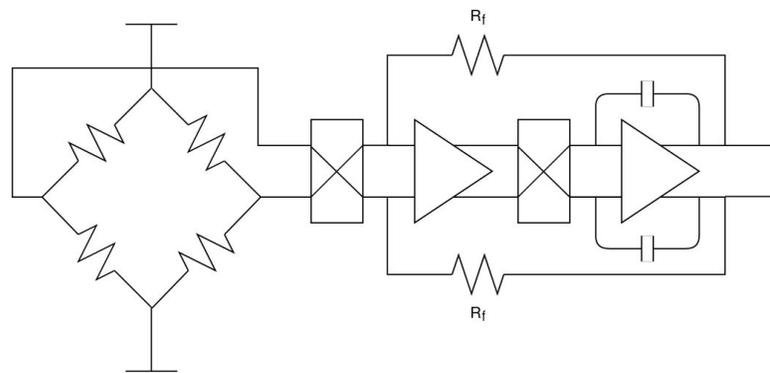


Fig. 54 - Resistencia de realimentación R_f conectada luego de los signal switches, representados por el chopper de entrada. Los power switches no están mostrados.

Mirando con atención la figura 54 inmediatamente aparece un error. Un terminal de R_f está conectado a un nodo que está choppeado mientras que el otro no. Esto implica que en una fase, el OpAmp estará conectado con realimentación negativa, mientras que en la otra fase estará conectado con realimentación positiva, produciendo graves problemas de estabilidad. Para corregir esta conmutación positiva-negativa en la realimentación, se añade un chopper en serie con R_f que la contrarreste.

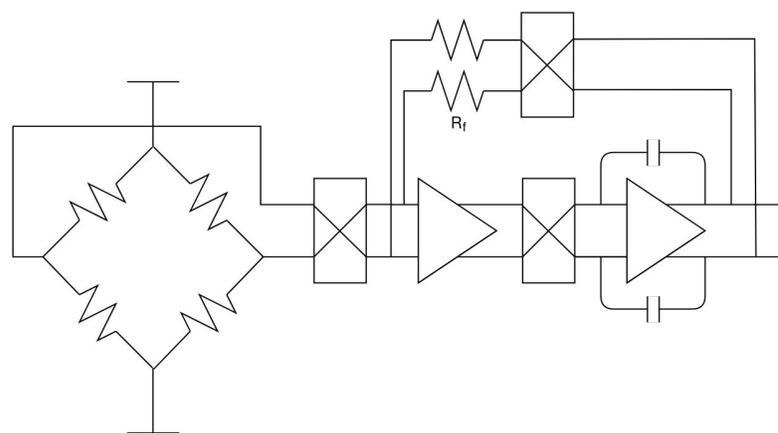


Fig. 55 - Esquema final de la conexión de la red resistiva de realimentación del OpAmp principal.

Integrador

Sabiendo la ecuación diferencial de un capacitor, es intuitivo pensar que una corriente puede ser fácilmente integrable, sólo se la debe inyectar entre los terminales de un capacitor.

$$I_c = \frac{dV_c}{dt} C \quad (27)$$

Lo que se desea integrar es una diferencia de potencial en modo diferencial (V_{sh}) entregada por la etapa anterior, el sample and hold. Si se desea inyectar una corriente en un capacitor para efectuar la integración, primero se debe convertir la tensión en una corriente de forma proporcional. Se utiliza pues un amplificador de transconductancia u OTA (Operational Transconductance Amplifier) para realizar dicha conversión e inyectar la corriente de salida en el capacitor. La tensión en el capacitor es, en modo diferencial, la integral de la salida del sample and hold multiplicada por una constante de tiempo, que cumple el rol de ganancia.

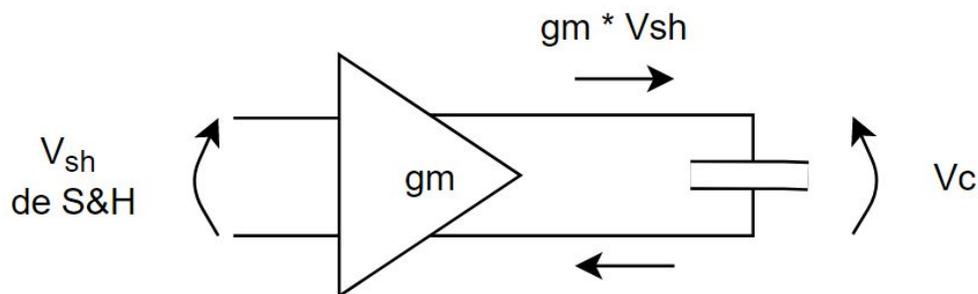


Fig. 56 - Diagrama del integrador utilizando un amplificador de transconductancia y un capacitor.

De (27), V_c se la puede despejar como:

$$V_c = \int \frac{I_c}{C} dt = \frac{gm}{C} \int V_{sh} dt \quad (28)$$

Donde C y gm (capacidad y transconductancia) definen la constante de tiempo como ganancia de la integración, importante para la ganancia de lazo del RRL y estabilidad; y también la frecuencia unitaria f_{un} (frecuencia a 0 dB), que es importante para filtrar el remanente de la señal que no pudo ser eliminada por el sample and hold. Es decir, a mayor gm y menor C , mayor constante de tiempo, lo que implica una mayor ganancia de lazo (lazo más veloz) pero un peor filtrado de la señal efectiva que el sample and hold no pudo eliminar.

La implementación del OTA se basó en una topología folded cascode con un capacitor a la salida, y un buffer tipo common drain, para adaptar impedancias e impedir que la carga del capacitor no se fugue hacia otros nodos del sistema. La topología folded cascode ofrece alta resistencia de salida, una condición necesaria para un OTA ya que cuanto más alta sea la resistencia de salida, más parecido es el sistema a una fuente de corriente ideal controlada por tensión.

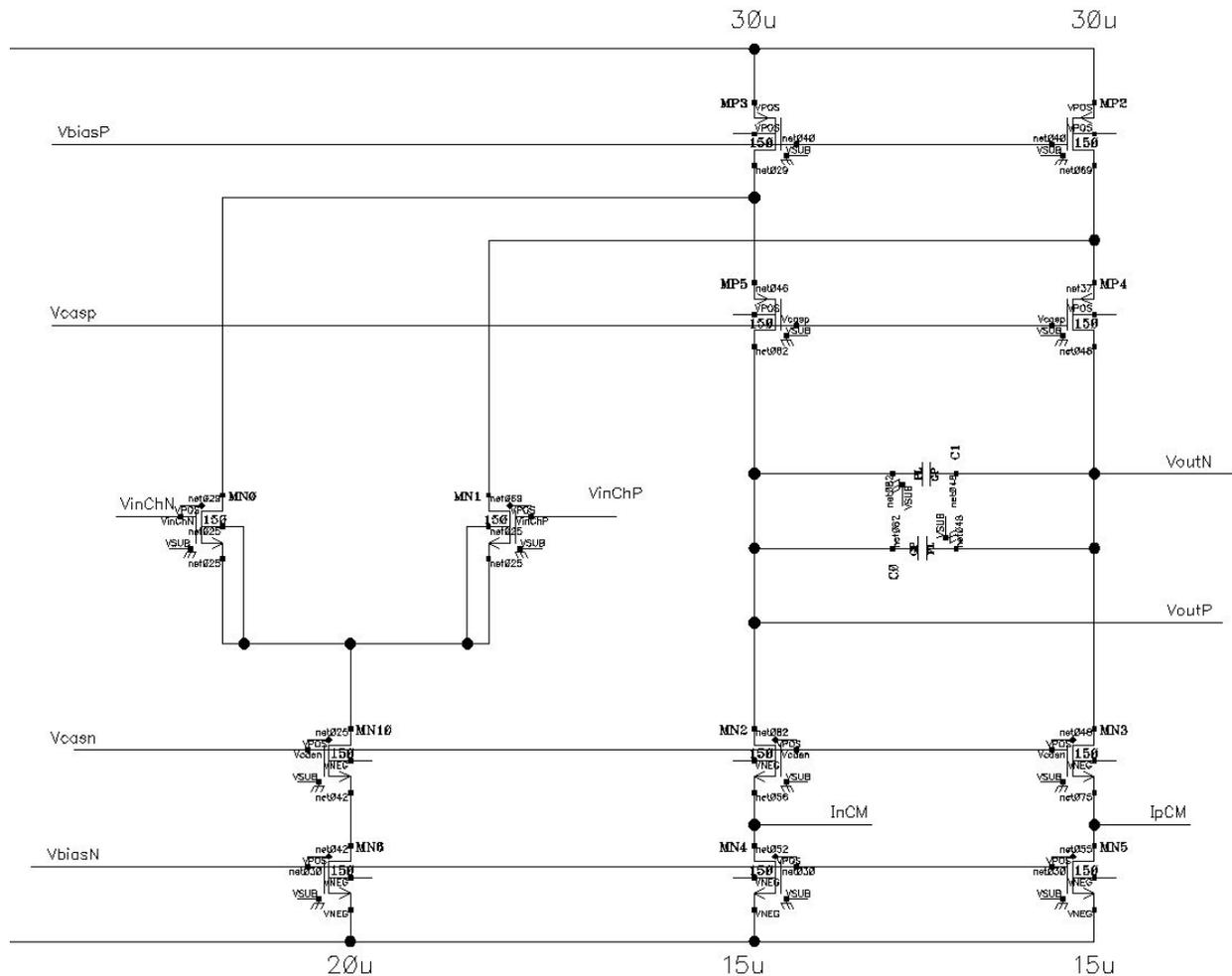


Fig. 57 - OTA Folded cascode que entrega una corriente diferencial que es integrada por C0/1

En la figura 57 se observan M0/1 como par diferencial, MP5/4/2/3 como cascos, MN4/5/2/3 como fuentes de corriente y cargas activas y MN6 cascodeada con MN10 como fuente de corriente del par diferencial. La diferencia de corrientes en MP5 y MP4 debido a una tensión diferencial en el par diferencial, cargarán C0/1 produciendo una tensión $V_{outN} - V_{outP}$ proporcional a la integral de $V_{inChP} - V_{inChN}$.

Al igual que en el OpAmp principal, este OTA es fully differential y su modo común debe ser definido con un CMFB. Los nodos InCM e IpCM son donde el CMFB actuará, fijando la corriente necesaria para obtener la tensión de modo común deseada.

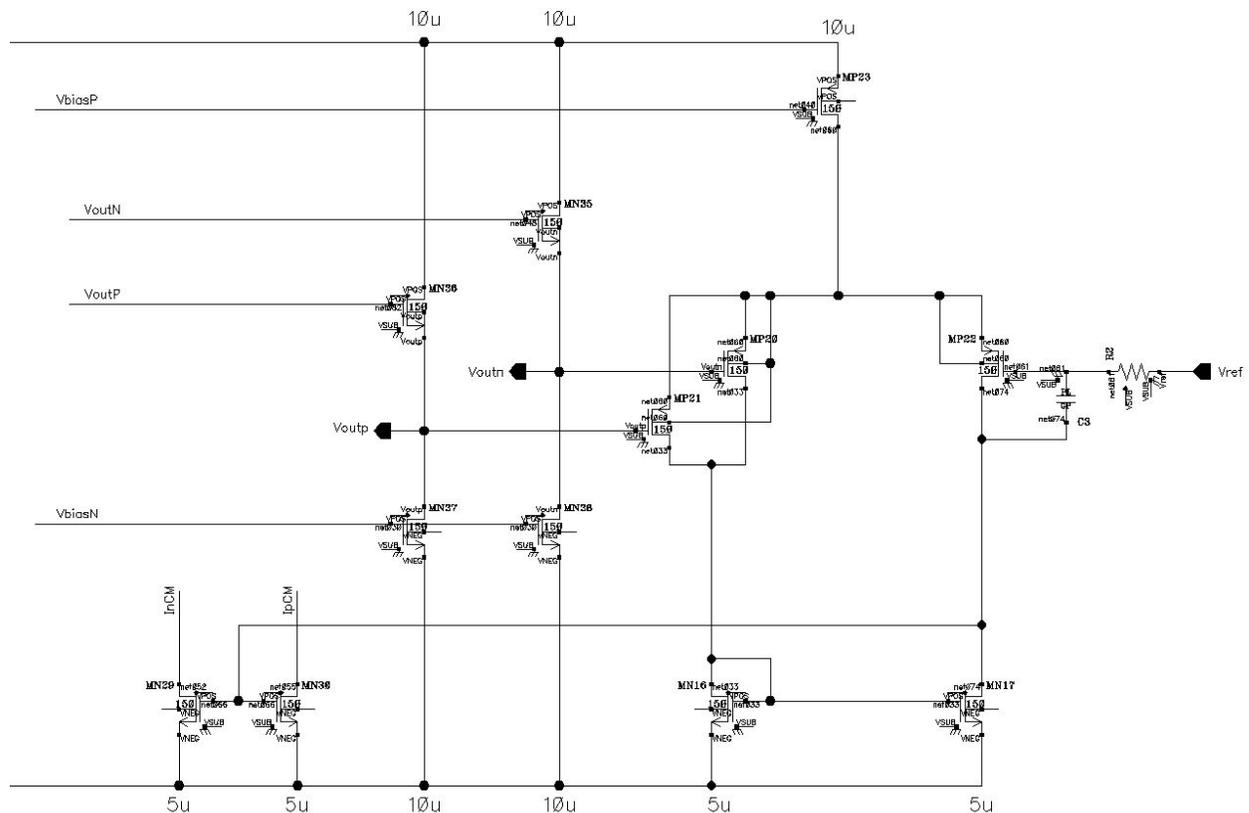


Fig. 58 - Salida common drain y CMFB

En la figura 58 se ve a MN35/36 como buffer de salida tipo common drain, MP23 como fuente de corriente para el CMFB, MN16/17 como carga activa y MN29/30 como fuente de corriente inyectada al folded cascode. C3 y R2 es una red de compensación que introduce un cero de baja frecuencia y un polo de alta frecuencia, que ayuda a mantener el lazo de modo común estable¹⁸. MP20/21 y MP22 es una configuración differential-difference amplifier (DDA), que funciona exactamente igual que un par diferencial, con excepción que promedia y compara las tensiones de modo común¹⁹, en este caso, promedia Voutn con Voutp y la compara con Vref.

El OTA, al igual que el OpAmp principal, también es responsable de añadir errores debido a offset y ruido. Para el caso de ruido térmico, no es un problema ya que como se lo utiliza como integrador, el polo está alrededor de cero hertz, y el ruido en alta frecuencia es filtrado por el mismo capacitor. En en caso de ruido Flicker y offset, se deben tomar recaudos. Por tanto, se propone utilizar la técnica de chopper también para este amplificador, con la idea de modular el ruido Flicker y offset a frecuencia f_{ch} , y que el capacitor a la salida se encargue de filtrarlo.

¹⁸ Lah, L., Choma, J., Draper, J. (2000). A continuous-time common-mode feedback circuit (CMFB) for high-impedance current-mode applications. IEEE Trans. Circuits Syst. II: Analog Digit. Signal Process, (vol. 47, no. 4), pp. 363-369.

¹⁹ Czarnul, Z., Takagi, S., Fujii, N. (1994). Common-mode feedback circuit with differential-difference amplifier. IEEE Trans. Circuits Systems I, (vol. 41, no. 3), pp. 243-246.

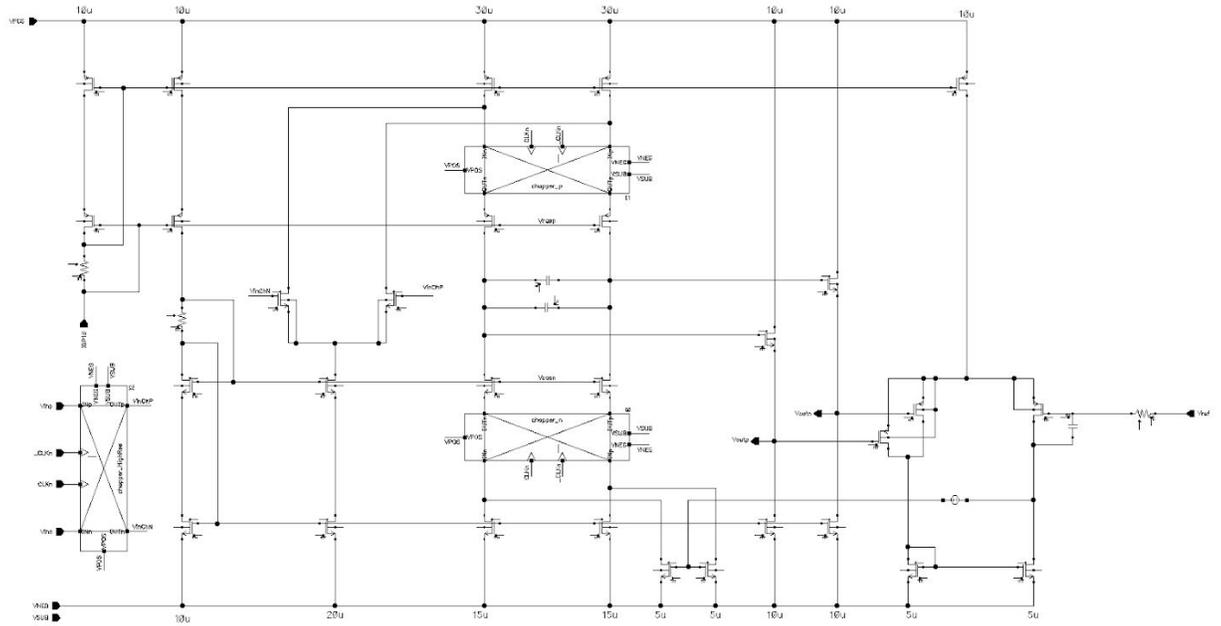


Fig. 59 - Integrador chopperado para modular el offset a f_{ch} - esquemático completo.

Top Level

El top level es el bloque que describe el sistema e incluye el OpAmp principal, el integrador, los sample and hold, choppers, circuitos generadores de las corrientes de bias, etc.

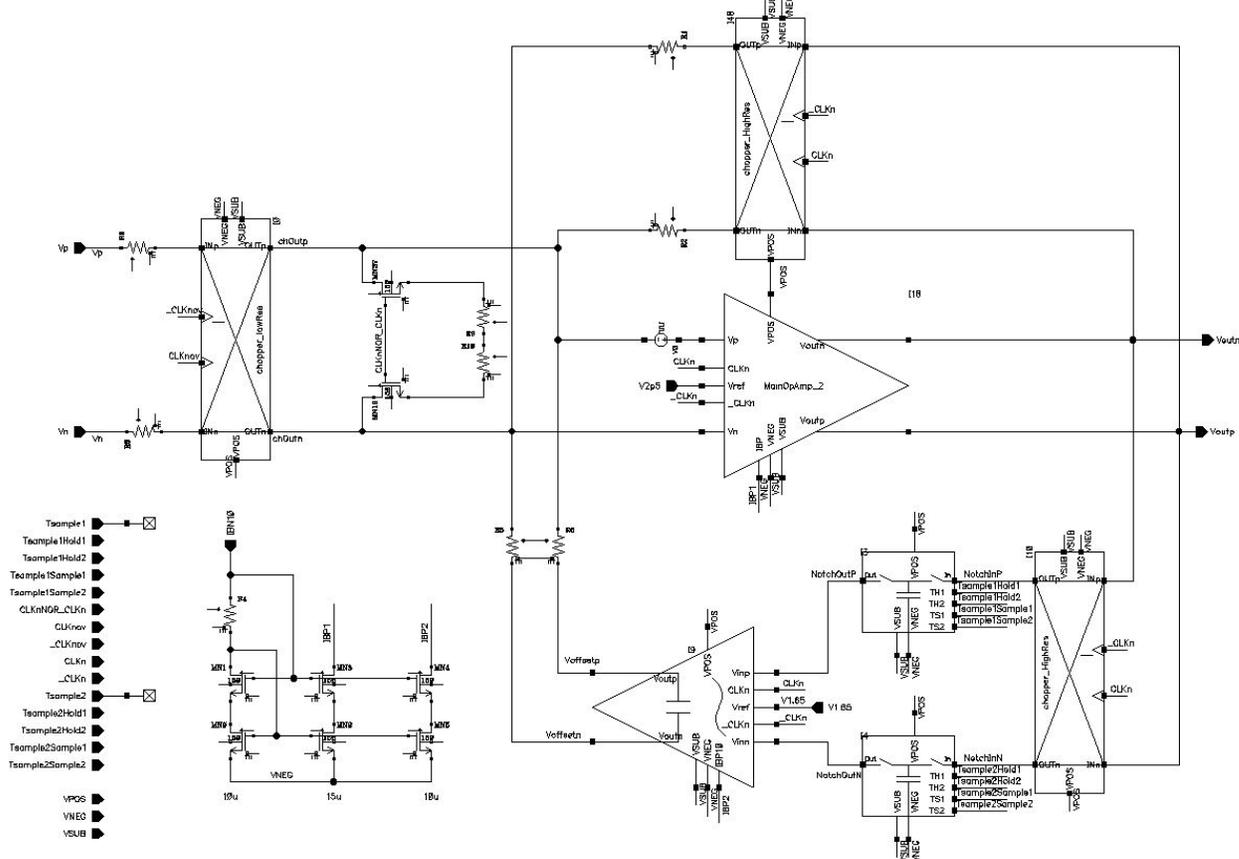


Fig. 60 - Esquemático completo - Top Level

Como se puede ver en la esquina inferior izquierda de la figura 60, todas las señales digitales que controlan los chopper y sample and hold son pines de entrada. Un bloque externo al sistema las genera, típicamente la máquina digital del circuito integrado, ya que es capaz de manejar con gran precisión los tiempos de conmutación de cada una de ellas.

I. Resistencias dummies a la entrada

Una particularidad del diseño de Top Level es el uso de resistencias dummies en la entrada del OpAmp, a la salida del chopper de entrada, junto con dos NMOS para su conexión, como se ve en la figura 60. Su funcionalidad es la siguiente: Sabiendo que el chopper de entrada se compone de switches manejados por un non-overlapping CLK, se podría representar el sistema con su equivalente single-ended para su simplificación.

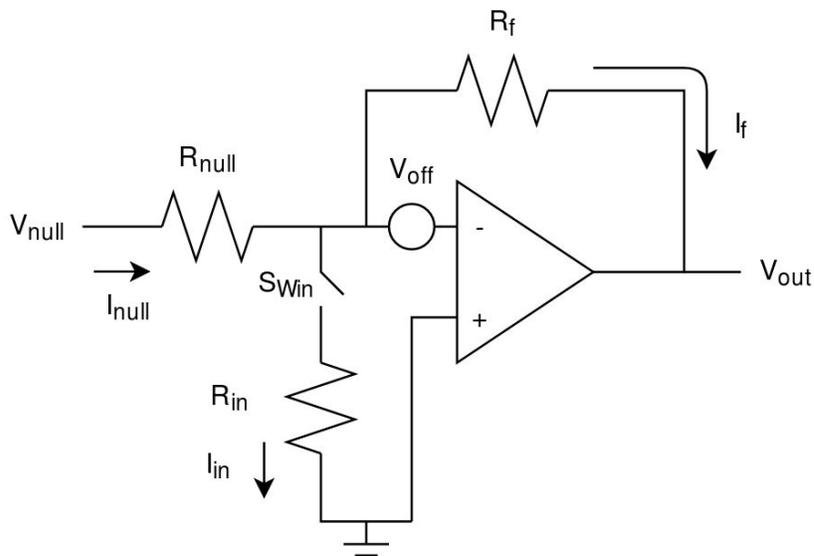


Fig. 61 - Offset del OpAmp principal anulado por la tensión a la salida del integrador V_{null} - representación single ended

Suponiendo señal de Hall nula, R_{in} se conecta a gnd y su non-overlapping chopper está representado por S_{Win} . Haciendo el análisis del circuito suponiendo S_{Win} cerrado y ganancia del OpAmp infinita:

$$I_{null} - I_{in} = I_f \quad (29)$$

$$\frac{V_{null} - V_{off}}{R_{null}} - \frac{V_{off}}{R_{in}} = \frac{V_{off} - V_{out}}{R_f} \quad (30)$$

Si se quiere saber la tensión necesaria V_{null} para anular V_{off} y hacer V_{out} igual a cero, suponemos $V_{out} = 0$ en (30) y despejamos V_{null} :

$$\frac{V_{null}}{R_{null}} = \frac{V_{off}}{R_{in}} + \frac{V_{off}}{R_f} + \frac{V_{off}}{R_{null}} \quad (31)$$

$$V_{null} = V_{off} \left(\frac{R_{null}}{R_{in}} + \frac{R_{null}}{R_f} + 1 \right) \quad (32a)$$

La ecuación (32a) es válida cuando S_{Win} está cerrado. De otra forma, S_{Win} abierto hace una R_{in} infinita, lo cual implica:

$$V_{null} = V_{off} \left(\frac{R_{null}}{R_f} + 1 \right) \quad (32b)$$

Suponiendo que el período en donde S_{Win} está abierto es muy breve, V_{null} estará definida por la ecuación (32a). Pero, en el momento en que S_{Win} se abre, la tensión necesaria para anular el offset está definida por (32b) y a una V_{null} fijada por el integrador, la ecuación no es satisfecha. Es decir, el offset no será cancelado y se provocará un ripple a la salida. Para evitar o disminuir este ruido, se utilizan las resistencias dummies comentadas anteriormente, que se conectan únicamente en el período de tiempo en que R_{in} está desconectada. De esta forma R_{in} es constante, (30a) vale en todo momento y el ruido a la salida disminuye considerablemente. Es importante resaltar que R_{dummy} debe ser de igual valor que R_{in} y la R_{on} de S_{Wdummy} debe ser igual a la de S_{Win} .

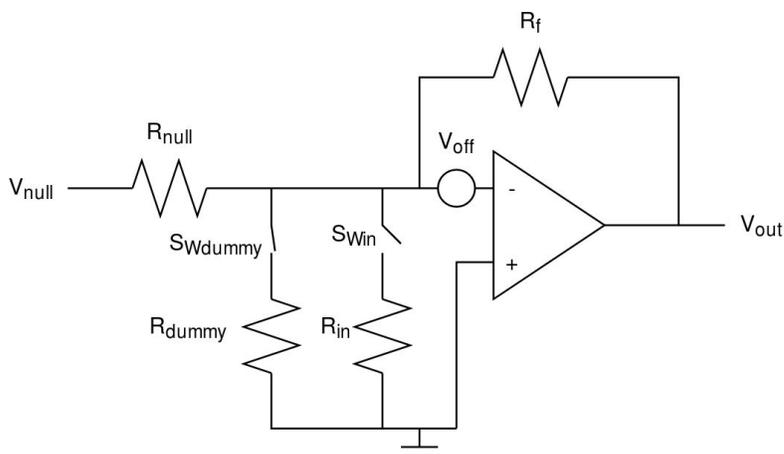


Fig. 62 - Utilización de switches y resistencias dummies y su implementación version single-ended

II. Espejo de corriente

El circuito de corriente de bias provee las corrientes de referencias para el OpAmp principal y el integrador. Internamente ambos bloques poseen una réplica de esa corriente de referencia para cada corriente de polarización necesitada en el circuito. Tanto como en el OpAmp, integrador o top level se utilizó la siguiente topología:

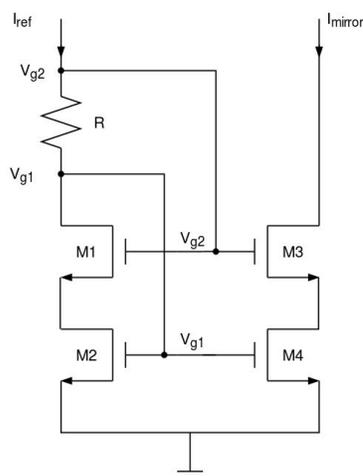


Fig. 63 - Espejo de corriente con R para generar V_{casco}

Dada I_{ref} , de acuerdo con la ecuación (2), se genera V_{g1} .

$$V_{g1} = V_{th} + \sqrt{2 \frac{I_{ref}}{\beta}} \quad (33)$$

Como $V_{gsM4} = V_{gsM2} = V_{g1}$ entonces:

$$I_{ref} = \frac{\beta_{M2}}{2} (V_{gsM2} - V_{th})^2 = \frac{\beta_{M4}}{2} (V_{gsM4} - V_{th})^2 = I_{mirror} \quad (34)$$

Si y sólo si $\beta_{M2} = \beta_{M4}$. Con V_{g1} , I_{ref} y R se genera V_{g2} :

$$V_{g2} = V_{g1} + I_{ref} R \quad (35)$$

Finalmente, calculando V_{sM3} que es igual a V_{sM1} :

$$V_{sM1} = V_{sM3} = V_{g2} - V_{gs1} = V_{g2} - V_{th} + \sqrt{2 \frac{I_{ref}}{\beta_{M1}}} \quad (36)$$

Si y sólo si $\beta_{M1} = \beta_{M3}$. La condición fundamental para que el sistema funcione como fuente de corriente es que los transistores estén en saturación, por tanto:

$$V_{sM1} > V_{ds,sat M2} \quad (37)$$

III. Sincronización de los tiempos Track y Hold.

Suponiendo una señal del Hall efectiva DC, el chopper de lazo de la figura 20 modula esta señal ya amplificada por el OpAmp principal a f_{ch} , convirtiéndose en una señal cuadrada, que será muestreada por los sample and hold.

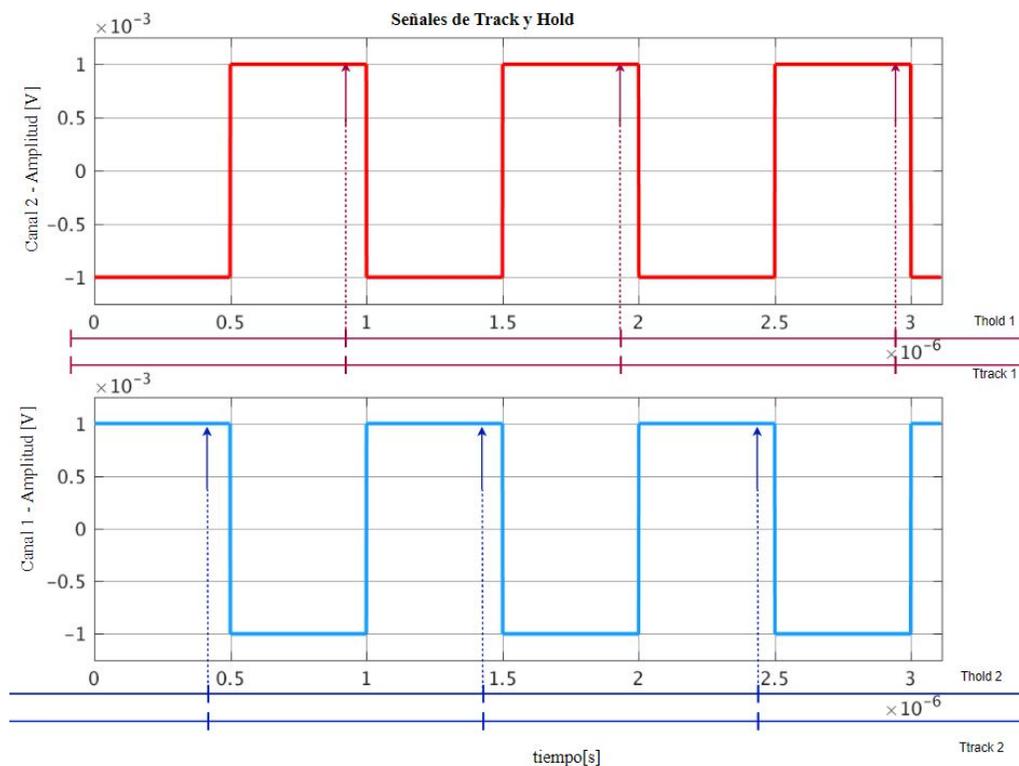


Fig. 64 - Señales a la entrada de los sample and hold para una señal Hall DC - Tiempos de track y hold para ambos canales. Las flechas indican el momento en que la tensión será muestreada.

En la figura 64 se ven los tiempos de tracking, donde cada uno de los capacitores del S&H se conecta con la entrada (salida del chopper de lazo), trackeando la señal cuadrada; y los tiempos de hold en donde cada uno de los capacitores cargado con la tensión muestreada previamente, se conecta con la salida (la entrada del integrador). Sabiendo que durante todo el tiempo de tracking, la salida del OpAmp principal

está conectada a un capacitor, se puede ver un problema en el tiempo de chopping, ya que el flanco de tensión de la señal cuadrada significa una gran cantidad de corriente que debe ser inyectada (o extraída en caso de que el flanco sea descendente) en el capacitor del sample and hold. Tal cantidad de corriente pasa por la resistencia de salida del OpAmp y las R_{on} del chopper de lazo y la T-Gate de la figura 34, provocando un pico de tensión o glitch en la salida del sistema, que no es otra cosa más que otra fuente más de ruido. Para minimizar este ruido se propone la siguiente técnica.

El tiempo de hold es obviamente necesario que sea el dado, para sostener la señal muestreada el tiempo que sea necesario (en este caso $1 \mu\text{s}$); pero el tiempo de tracking no necesariamente debe ser tal. Es decir, mientras el tiempo de tracking sea lo suficientemente largo como para cargar el capacitor a la tensión correcta, puede ser menor a $1 \mu\text{s}$. Dicho esto, si se acorta el tiempo de tracking a un período cercano (pero menor) a 500 ns , se evita conectar el capacitor durante el flanco de tensión que aparece en el tiempo de chopping, eliminando así el glitch a la salida del sistema producto de la corriente de carga del capacitor que pasa por las resistencias antes mencionadas. Por lo tanto, el gráfico de tiempos de track y hold queda:

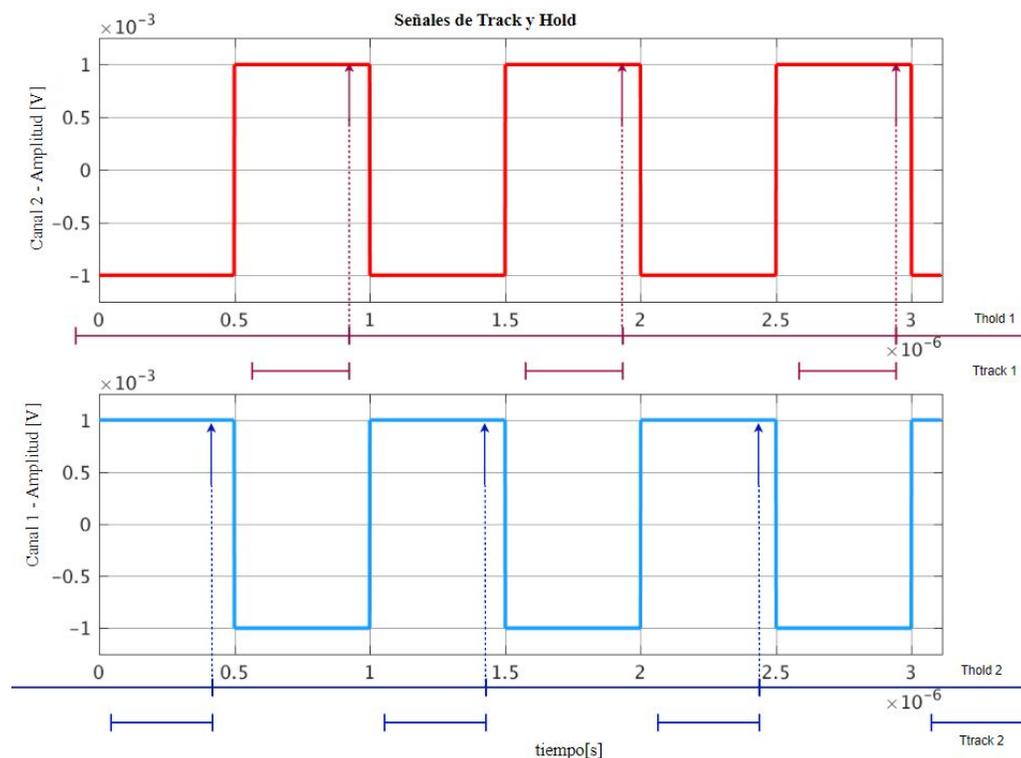


Fig. 65 - Tiempos de tracking reducidos para evitar glitches a la salida del OpAmp principal.

IV. Estabilidad del Ripple Reduction Loop

Como todo lazo de realimentación, es necesario hacer un estudio del comportamiento temporal para asegurar ciertos parámetros como estabilidad, sobrepico y error de estado estacionario. Ya que la única señal que recorre el lazo es el offset del OpAmp principal, para este análisis se pasiva la señal del sensor Hall. El análisis se hará en simulink comparando un modelo conmutado con un modelo simplificado.

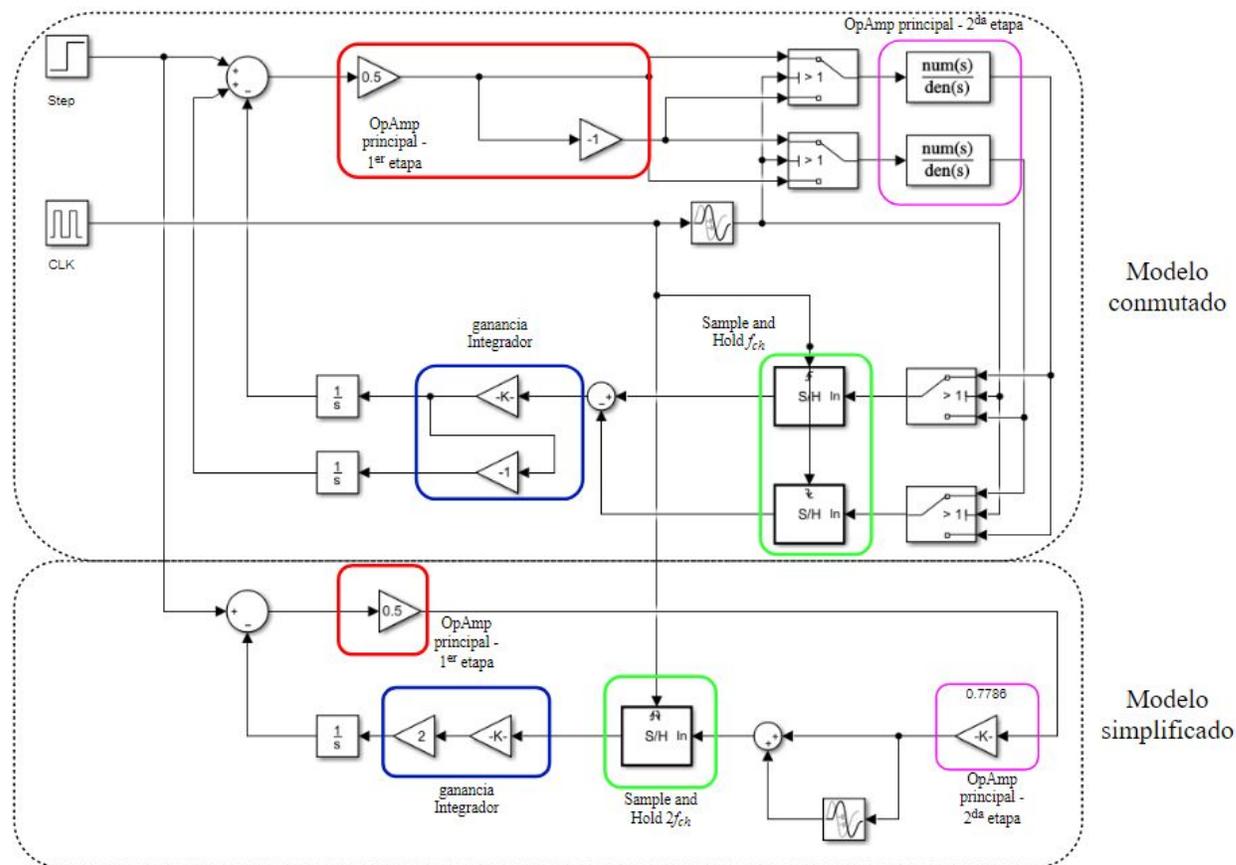


Fig.66 - Modelo conmutado de lazo visto por el offset del OpAmp principal y un modelo simplificado.

En este modelo, se puede ver la ganancia del OpAmp principal y la ganancia del integrador, que la tomaremos como variable K . Como se ve en la figura 60, el OpAmp principal está en una configuración sumadora, con una ganancia igual a 100 para la señal y una ganancia diferente para la salida del integrador. Por el momento, tomaremos la ganancia para la salida del integrador igual a 1. Como se ve en el modelo conmutado, se utiliza un bloque de ganancia igual a -1 para simular la salida diferencial, pero, como se toma la salida como la resta de un canal sobre el otro, la ganancia total sería de 2 ($1 - (-1) = 2$). Para compensar esta ganancia debido a la salida diferencial, en ambos modelos se utiliza el bloque de gain igual a 0.5, de esta forma la ganancia total del modelo del OpAmp es 1. Ambos modelos se prueban con un escalón de tensión “step” de 1 V en la entrada del sistema, que imita un offset el cual debe ser cancelado por el lazo.

Como se demostró en la figura 29, los sample and hold en contrafase pueden ser modelados como la suma de la misma señal con un retraso temporal igual al desfase entre ambos, seguido de un solo sample and hold con el doble de frecuencia de muestreo. La salida diferencial del integrador no puede ser representada en un modelo single-ended, es por eso que se agrega la ganancia igual a 2 en el integrador del nuevo modelo. Entre el chopper de salida del OpAmp y el chopper de lazo se encuentra el polo de la segunda etapa del OpAmp, la etapa de compensación tipo Miller. Este polo, que actúa sobre una señal modulada, es difícil de representar en el nuevo modelo no-conmutado. Veamos la forma de onda a la salida de la segunda etapa del OpAmp ante el escalón de tensión a la entrada del sistema.

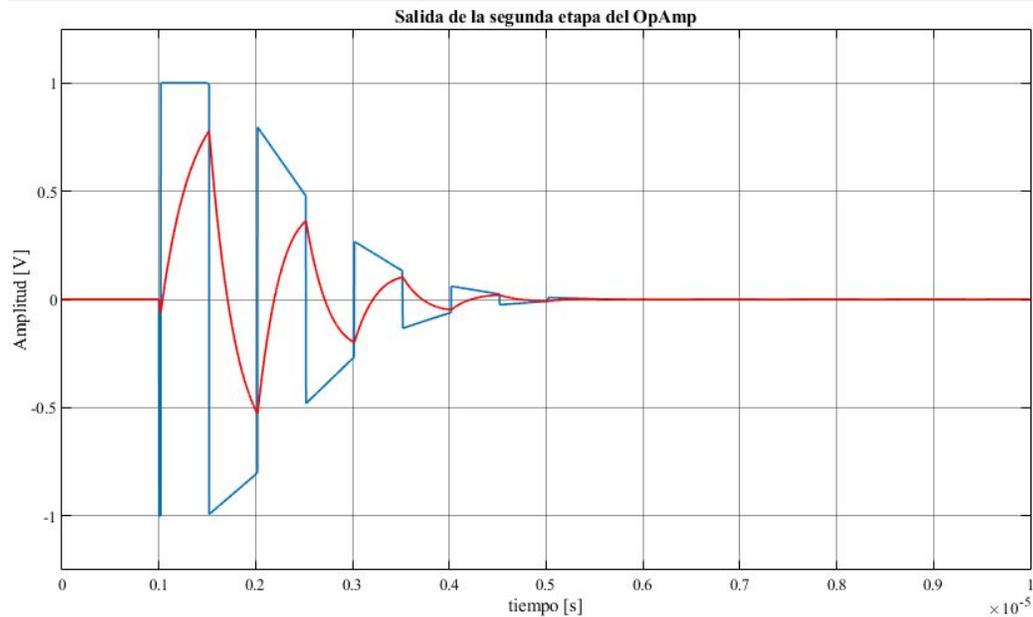


Fig.67 - Comportamiento del lazo ante un offset tipo step. Azul: salida del OpAmp principal choppeada. Rojo: Misma señal luego del polo de la segunda etapa del OpAmp.

La consecuencia directa del polo de la segunda etapa del OpAmp principal es una pérdida de ganancia. Es decir, el sample and hold en lugar de muestrear la señal azul, muestreará la roja, que tiene una amplitud menor, justo antes del tiempo de chopping. En el caso en que f_{ch} sea lo suficientemente lenta como para permitir que la señal roja alcance el valor que debe, el sample and hold medirá el ripple azul de forma correcta, sin perder ganancia. La pérdida de ganancia puede ser aproximada como el porcentaje de señal en el momento en el que el sample and hold realiza la medición, a la salida de un LPF de polo simple que fue sometido a un escalón. En nuestro caso, el momento que se realiza la medición es 20 ns antes del tiempo de chopping.

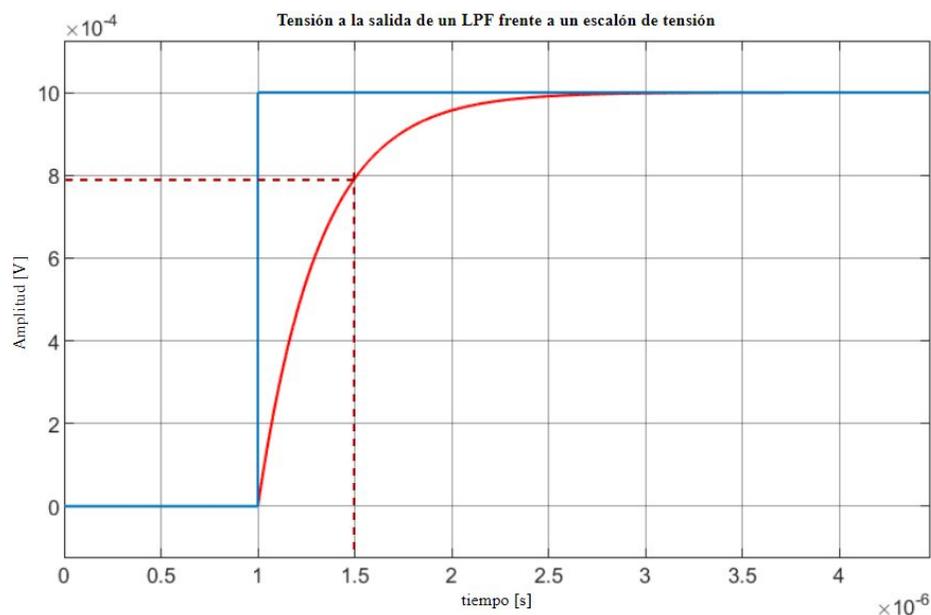


Fig.68 - Step de tensión a la salida de un filtro de polo simple a 500 KHz.

Para un polo en 500 KHz, con $1/2f_{ch} = 500$ ns, la señal se muestrea a 500 ns - 20 ns = 480 ns. En ese momento, la señal alcanza un 0.7786 de su valor final. Por esta razón, en el nuevo modelo de la figura 66, aparece una ganancia de dicho valor en serie con la ganancia del OpAmp principal. Comparando la respuesta de ambos modelos al escalón con un $K=240 \cdot 10^3$ a modo de ejemplo:

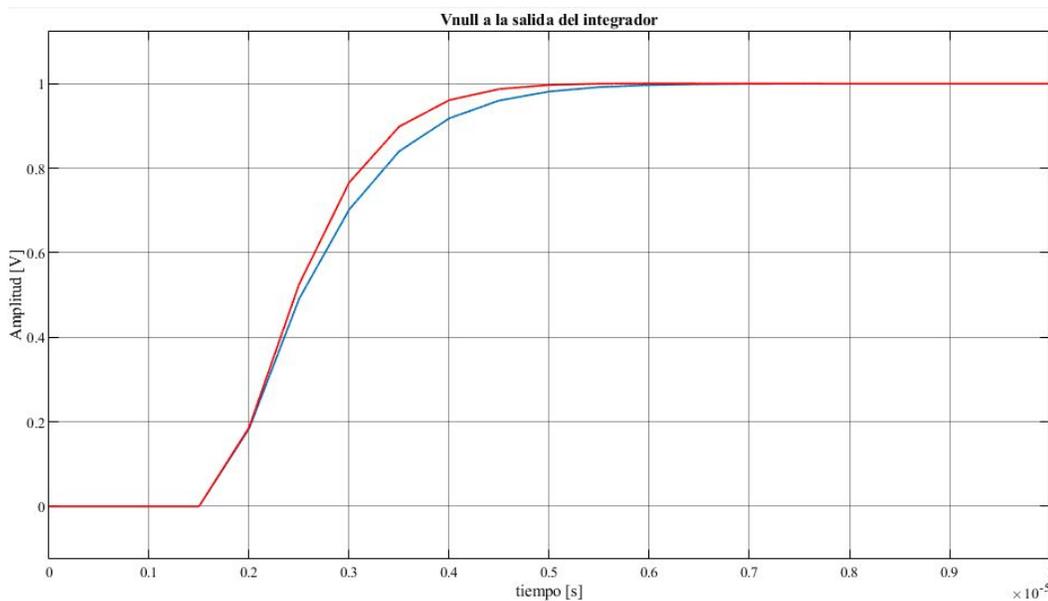


Fig.69 - Step de tensión a la salida del integrador v_{null} . Azul: modelo conmutado - Rojo: nuevo modelo.

Teniendo ahora un modelo simplificado del lazo, se puede hacer un análisis de estabilidad utilizando la transformada Z. Tomando como salida la salida del integrador, tenemos un sistema:

$$T(s) = \frac{G(s)}{1+GH(s)} \quad (38)$$

Donde $G(s)$ es 1. Para $H(s)$ se tiene un integrador, bloques de ganancia, un sample and hold y la suma entre la señal con ella misma retrasada. El delay se modela en el plano Laplaciano como:

$$delay(s) = e^{-Ts} \quad (39)$$

Como se vió en (13), un sample and hold se lo representa:

$$S\&H(s) = \frac{1-e^{-Ts}}{s} \quad (40)$$

Por lo tanto, $H(s)$:

$$H(s) = 0.5 \cdot 0.7786 \cdot [1 + delay(s)] \cdot S\&H(s) \cdot 2K \cdot \frac{1}{s} = 0.5 \cdot 0.7786 \cdot \frac{1-e^{-Ts}}{s} \cdot \frac{1+e^{-Ts}}{s} \quad (41)$$

$$H(s) = 0.5 \cdot 0.7786 \cdot \frac{1-e^{-2Ts}}{s} \cdot \frac{2K}{s} \quad (42)$$

Utilizando la transformada z, se reemplaza e^{2Ts} por z:

$$H(z) = 0.5 \cdot 0.7786 (1 - z^{-1})Z\left\{\frac{2K}{s^2}\right\} \quad (43)$$

Por tabla:

$$Z\left\{\frac{2K}{s^2}\right\} = 2K \frac{Tz}{(z-1)^2} \quad (44)$$

Reemplazando en (43):

$$H(z) = 0.5 \cdot 0.7786 (1 - z^{-1}) 2K \frac{2Tz}{(z-1)^2} = 0.5 \cdot 0.7786 \frac{z-1}{z} 2K \frac{2Tz}{(z-1)^2} \quad (45)$$

$$H(z) = 0.5 \cdot 0.7786 2K \frac{2T}{z-1} \quad (46)$$

Entonces, T(s) es:

$$T(z) = \frac{1}{1 + 0.5 \cdot 0.7786 2K \frac{2T}{z-1}} = \frac{z-1}{z + (0.5 \cdot 0.7786 2K 2T - 1)} \quad (47)$$

El sistema T(z) se vuelve inestable cuando las raíces de T(s) no se hallan dentro del círculo unitario. Teniendo una única raíz no compleja, se debe calcular para qué valores de K la raíz de T(z) es 1 o -1. Para que la raíz se encuentre en 1, K debe ser 0, lo que es absurdo. Calcularemos pues el valor de K que hace que la raíz sea -1.

$$-1 + (0.5 \cdot 0.7786 2K 2T - 1) = 0 \quad (48)$$

$$0.5 \cdot 0.7786 2K 2T = 2 \quad (49)$$

$$K = \frac{1}{0.5 \cdot 0.7786 2T} \quad (50)$$

A K mayores al calculado en (50), la raíz se encuentra fuera del círculo unitario y el sistema es inestable. Con T=500 ns, el K que pone al sistema en estabilidad liminal u oscilante es 2568800, y si usamos ese valor en el modelo:

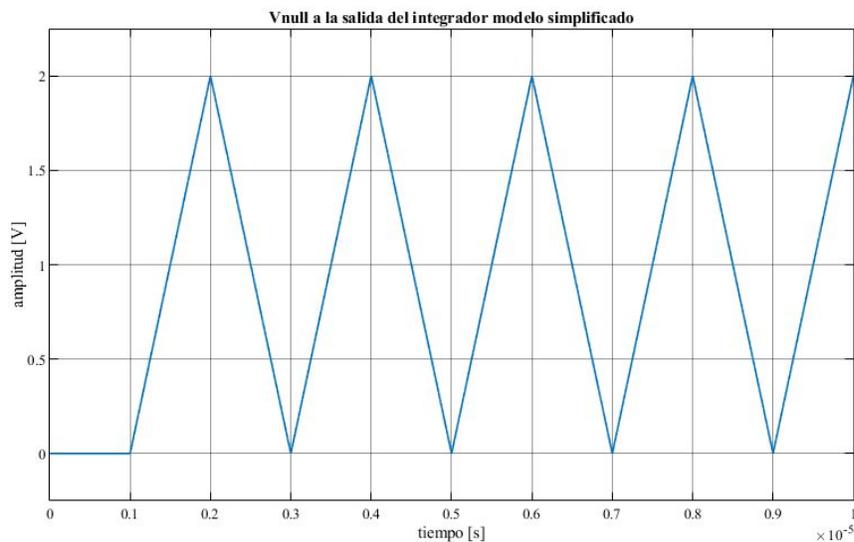


Fig.70 - Salida del integrador con T=500 ns y K=2568800.

El sistema es oscilante, lo que indica que efectivamente la raíz de T(s) está en el círculo unitario.

Conclusión

El filtro sinc se implementa con un sample and hold para cada canal de la señal diferencial proveniente del chopper de lazo. El uso de muestreos en contrafase permite filtrar selectivamente la señal proveniente del sensor Hall y dejando intacto al offset que se desea cancelar. Se entendieron las consideraciones a tener en cuenta a la hora del diseño del sample and hold, tales como resistencia de T-Gate y chopper de lazo, tamaño del capacitor y timing de las señales de tracking.

Queda definida la topología del OpAmp principal y su forma de realimentación, pudiendo así cancelar el offset del sensor Hall además del offset del OpAmp. En el integrador se utiliza un chopper folded cascode para obtener la mayor resistencia de salida posible y filtrar su offset con el capacitor de salida.

El lazo queda completamente modelado, concluyendo que la condición de estabilidad del lazo es que la constante de tiempo del integrador $2K$ debe ser menor a $2 \cdot 2568800 = 5137600$ para un $T=500$ ns.

Capítulo 3 - Simulación y Resultados

A continuación se detallarán las simulaciones realizadas en cada bloque diseñado tales como los inversores utilizados en el sample and hold, el sample and hold, integrador y OpAmp principal; con el objetivo de medir su comportamiento y determinar si cumplen con las especificaciones propuestas. Al final del capítulo se explican las simulaciones realizadas a Top Level, analizando el comportamiento del sistema como un todo, extrayendo las conclusiones pertinentes.

Inversor

El inversor o inverter se utilizó en los sample and hold y es la celda básica que convierte una señal digital en su equivalente negada. Es decir, la tensión de salida OUT es igual a IN!, la tensión de entrada negada. En el presente proyecto se utilizaron 5V como fuente de alimentación, por lo tanto un 0 lógico equivale a 0V y un 1 lógico equivalen a 5V. Como estrategia de diseño, se utilizó un NMOS de tamaño mínimo y un PMOS de tamaño tal que el cruce entre la tensión de entrada y de salida en el momento de conmutación sea de 2.5V.

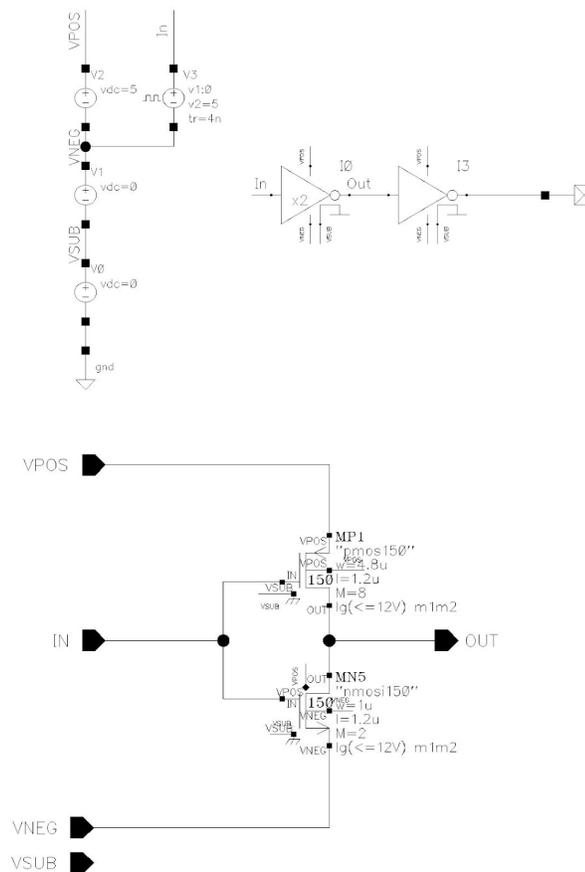


Fig. 71 - Testbench utilizado para simular el comportamiento del inversor. I0 es el CUT (Circuit under test) e I3 hace las veces de carga. Inversor diseñado - esquemático. El PMOS es 4.8 veces más ancho que el NMOS, debido a la menor movilidad de los huecos con respecto a los electrones.

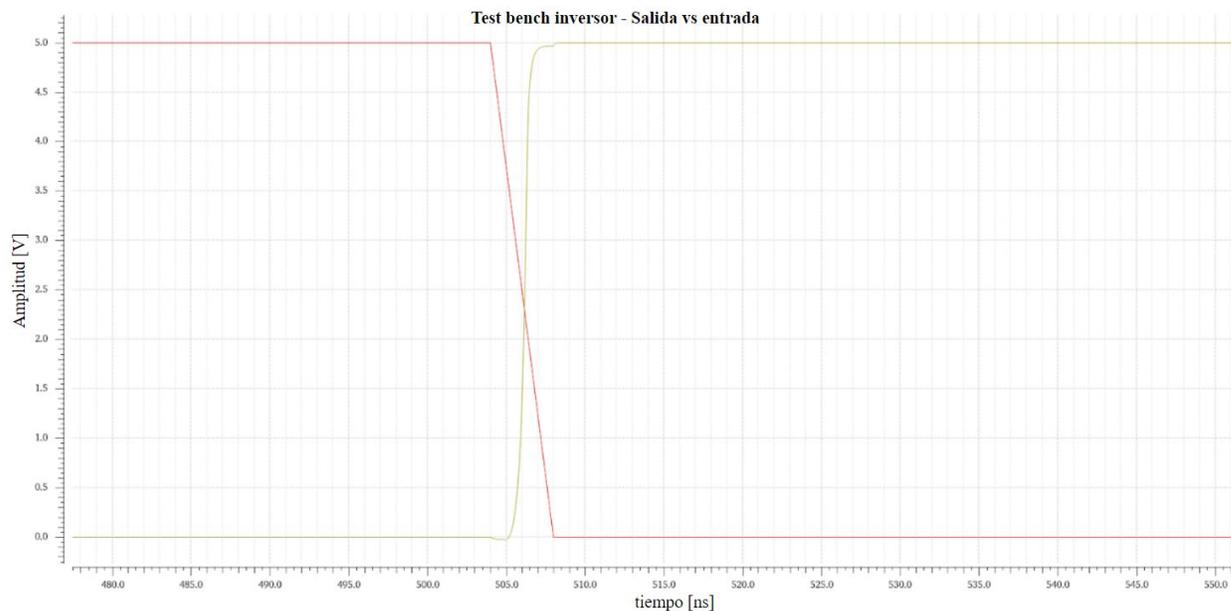


Fig. 72 - Resultado de simulación tipo transient. Rojo: Entrada IN. Amarillo: salida OUT.

Conclusión: El correcto dimensionamiento de los transistores permiten que el cruce entre la señal de salida y la señal de entrada se encuentra aproximadamente en 2.5V en los momentos de conmutación.

OpAmp principal

I. Respuesta a lazo abierto

Para su caracterización, se estudia el comportamiento a lazo abierto del OpAmp, y de acuerdo a la ubicación de sus polos, su margen de fase. Estos son parámetros importantes para saber la ganancia a lazo abierto y respuesta en frecuencia.

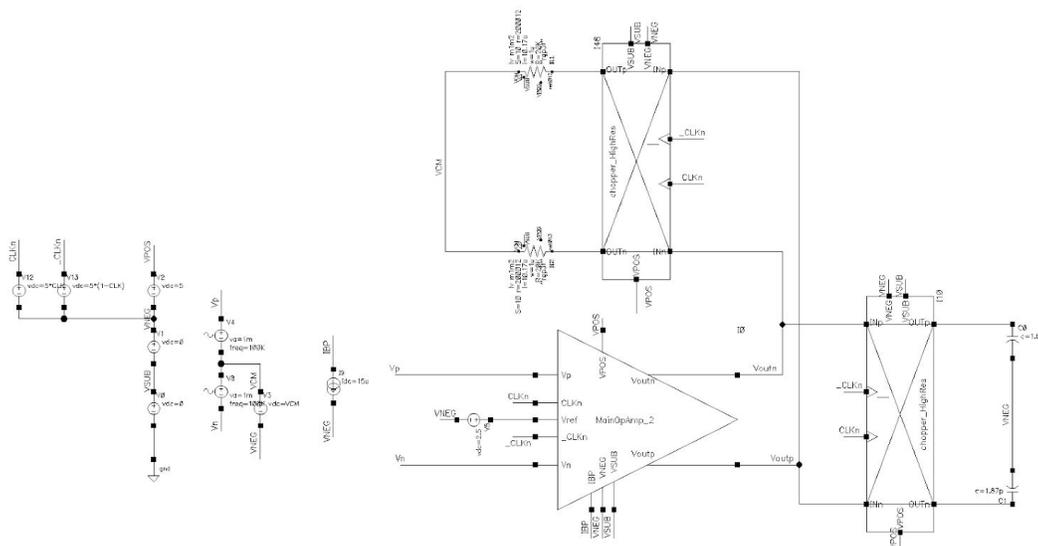


Fig. 73 - Testbench utilizado para medir la estabilidad del OpAmp principal.

En el testbench de la figura 73, los choppers, las resistencias y los capacitores simulan la carga a la salida del OpAmp en el Top Level. Cabe destacar que el análisis implementado es ac y no transient, por lo tanto los choppers no conmutan y sólo actúan como resistencias en serie.

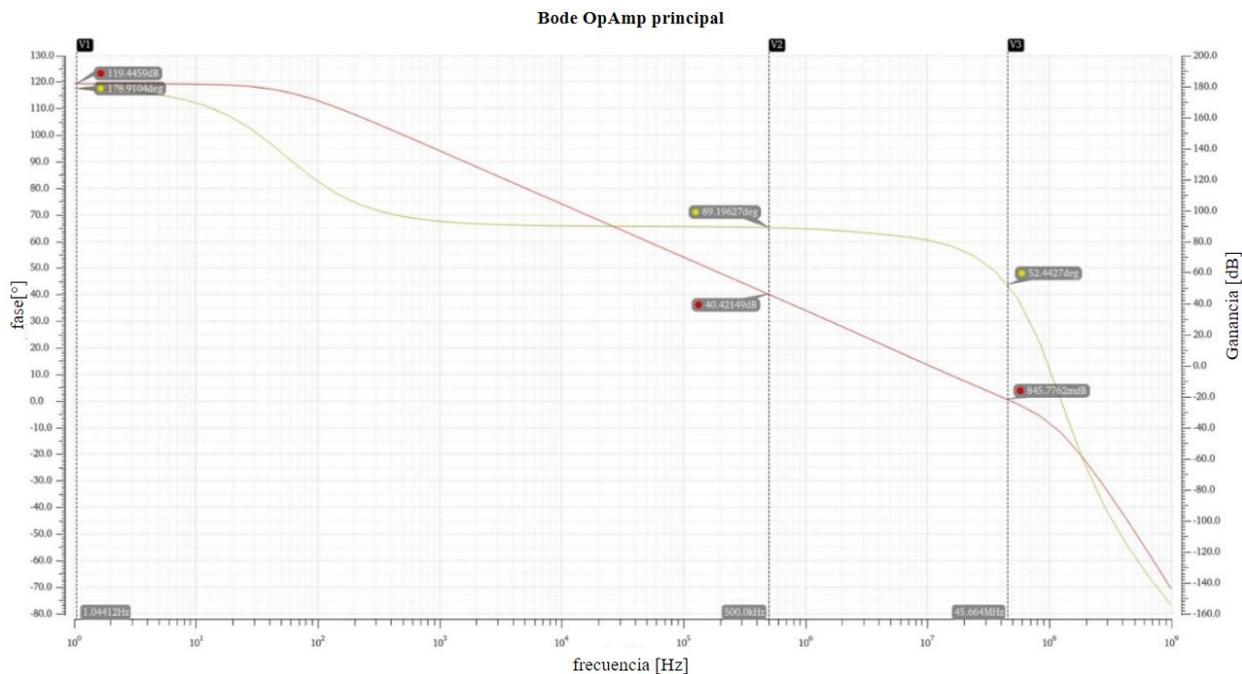


Fig. 74 - Resultado de la simulación ac para medir estabilidad de señal diferencial del OpAmp. Rojo: ganancia - Amarillo: fase.

En La figura 74 se ven 3 importantes resultados. El primero es la ganancia del OpAmp a lazo abierto, de 119 dB. Este valor influye en la precisión en que se fija la ganancia del OpAmp a lazo cerrado. La ganancia a lazo cerrado depende de la relación entre las resistencias de realimentación siempre y cuando la ganancia del OpAmp a lazo abierto se considera infinita. Para una ganancia no infinita se puede hacer el siguiente análisis de un equivalente single-ended para su simplificación.

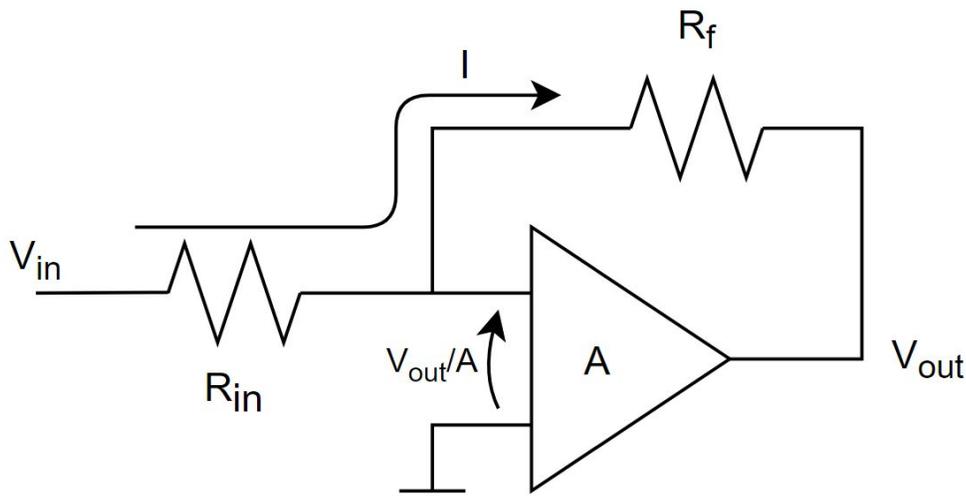


Fig. 75 - Corrientes y tensiones en un single-ended OpAmp en configuración inversor.

$$I = \frac{V_{in} - V_{out}/A}{R_{in}} = \frac{V_{out}/A - V_{out}}{R_f} \quad (51)$$

$$V_{in} \frac{R_f}{R_{in}} = \left(\frac{V_{out}}{A} - V_{out} \right) + \frac{V_{out}}{A} \frac{R_f}{R_{in}} \quad (52)$$

$$\frac{V_{out}}{V_{in}} = - \frac{R_f}{R_{in}} \frac{1}{1 - \frac{1}{A} \left(1 + \frac{R_f}{R_{in}} \right)} \quad (53)$$

Con A tendiendo a infinito, como es el caso de un OpAmp ideal, se llega a la ecuación clásica de un amplificador inversor:

$$\frac{V_{out}}{V_{in}} = - \frac{R_f}{R_{in}} \quad (54)$$

Si bien una ganancia infinita no es posible, se puede aproximar (53) a (54) respetando la siguiente condición:

$$1 \gg \frac{1}{A} \left(1 + \frac{R_f}{R_{in}} \right) \quad (55)$$

$$A \gg 1 + \frac{R_f}{R_{in}} \quad (56)$$

Sabiendo que el OpAmp debe amplificar 100 veces según las especificaciones del proyecto, $R_f = 100 R_{in}$ y A debe ser mucho mayor a 101. Por lo tanto, se puede considerar:

$$\frac{V_{out}}{V_{in}} = - \frac{R_f}{R_{in}} \Leftrightarrow A > 10100 \approx 80 \text{ dB} \quad (57)$$

Cumpliendo 119 dB de ganancia a lazo abierto con la condición impuesta en (57).

El segundo resultado de la figura 74 es la ganancia del OpAmp a 500 KHz. Según las especificaciones requeridas por el proyecto, el OpAmp debe amplificar 100 veces (40 dB) y tener un ancho de banda de 500 KHz. Por lo tanto, a lazo cerrado se debe amplificar más de 40 dB en todo el rango del ancho de banda, para que la ganancia sea fijada por las resistencias de realimentación. Como se ve en la figura, a 500 KHz se amplifica 40.42 dB a lazo abierto, estando por encima del mínimo requerido.

Por último, el margen de fase se define como la fase a la frecuencia en que el diagrama de bode corta el eje de 0 dB, en este caso, 52° a 45 MHz. La condición de estabilidad indica que el margen de fase debe ser mayor a 0°, pero valores cercanos a ese límite de estabilidad implican un gran overshoot (y oscilaciones a la salida) ante excitaciones en la entrada de alta frecuencia, como por ejemplo, un escalón de tensión. Es una buena práctica pues, que el margen de fase sea como mínimo 50°, para obtener un overshoot moderado pero sin oscilaciones a la salida.

Conclusión: La ganancia a lazo abierto es suficiente como para aproximar la ganancia a la ecuación (51), la ganancia a 500 KHz cumple con las especificaciones del proyecto y el margen de fase permite tener un sistema estable sin grandes sobrepicos.

II. Estabilidad del OpAmp a lazo cerrado

En este ensayo se conecta al OpAmp en lazo cerrado, y se realiza un análisis de estabilidad insertando fuentes ac en algún nodo dentro del lazo, como se ve en la figura 76.

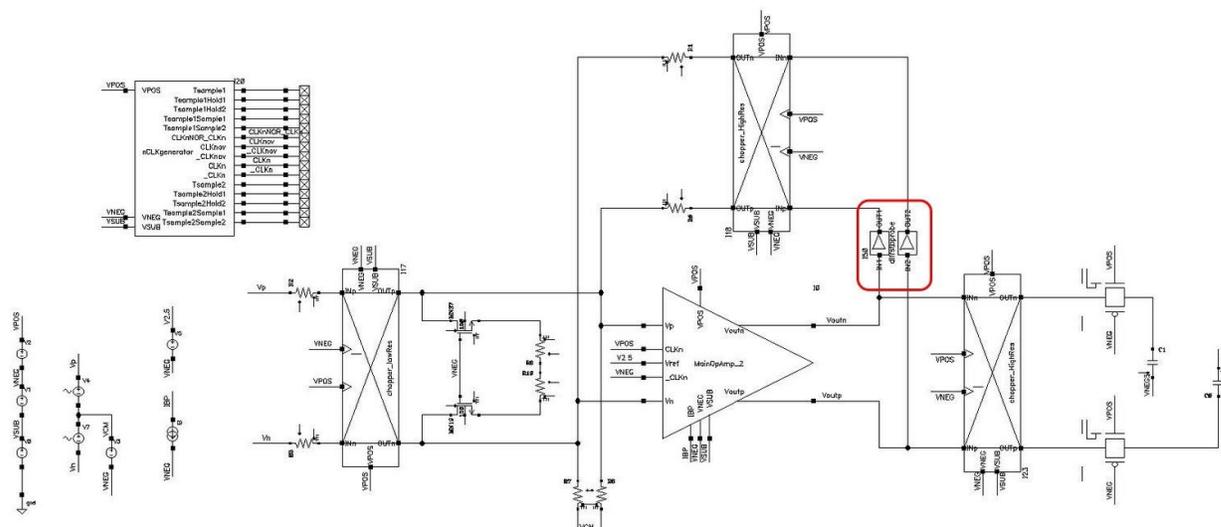


Fig. 76 - Testbench de los análisis a lazo cerrado del OpAmp.

Lo que hacen estas fuentes es cortar el lazo e inyectar pequeña señal en sus terminales positivos y medir la tensión que retorna a sus terminales negativos. La simulación entrega los siguientes resultados:

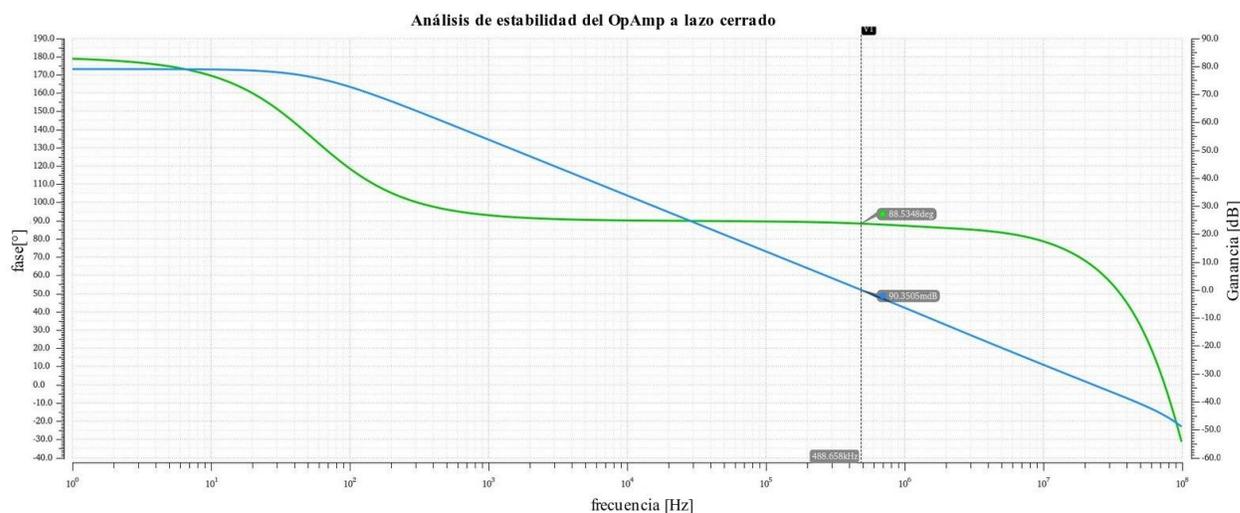


Fig. 77 - Resultado de la simulación de estabilidad a lazo cerrado. Verde: fase - Azul: ganancia.

Conclusión: A lazo cerrado se cumple la condición de estabilidad ya que se consigue un margen de fase de 88° .

III. Transient

Como ensayo para saber cómo se comporta el OpAmp principal ante señales diferenciales en el tiempo, se hace un análisis transient a lazo cerrado, con las mismas condiciones que en Top Level pero sin offset ni RRL. Al ser a lazo cerrado, se utiliza el mismo testbench de la figura 76.

Las resistencias que fijan la ganancia del OpAmp principal con respecto a la salida del integrador se conectan a modo común ya que no hay offset y, por lo tanto, no hay tensión de cancelación de offset. Los

capacitores a la salida junto con las T-Gate simulan la carga provocada por el sample and hold. Inyectando 1 mV pico @ 100 KHz a la entrada:

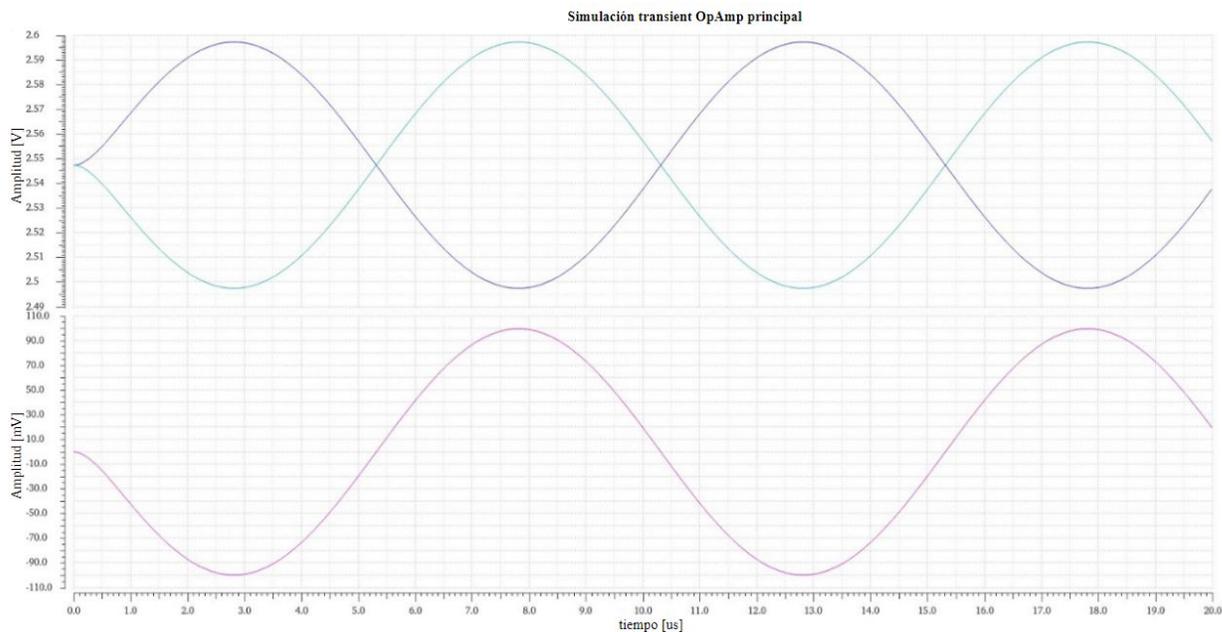


Fig. 78 - Arriba: señales a la salida del OpAmp principal en ambos canales - Abajo: Salida en modo diferencial (canal 1 - canal 2)

Conclusión: En esta prueba se aseguró que el OpAmp trabaje de manera correcta y que la salida no sature en el rango de tensión esperado.

IV. Estabilidad del CMFB

La estabilidad del CMFB se estudia utilizando una fuente de tensión de pequeña señal insertada en algún punto del lazo de modo común, como se ve en la figura 79:

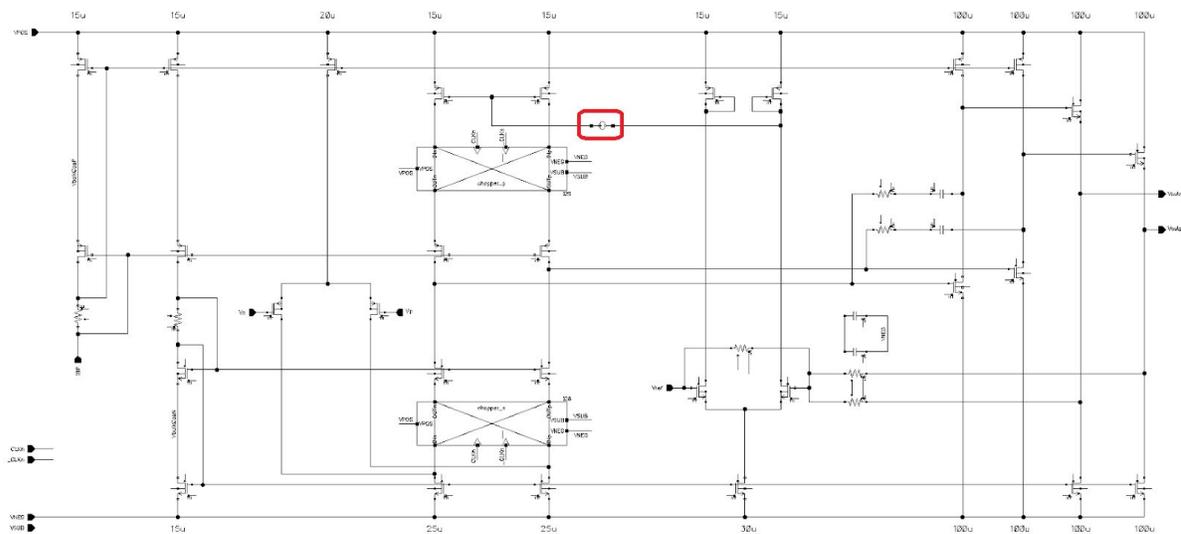


Fig. 79 - Fuente de pequeña señal en el lazo CMFB para estudiar estabilidad.

Realizando un análisis stb (stability analysis), el simulador inyecta pequeña señal en el terminal positivo de la fuente de la figura 79 y mide la amplitud del terminal negativo. Entonces:

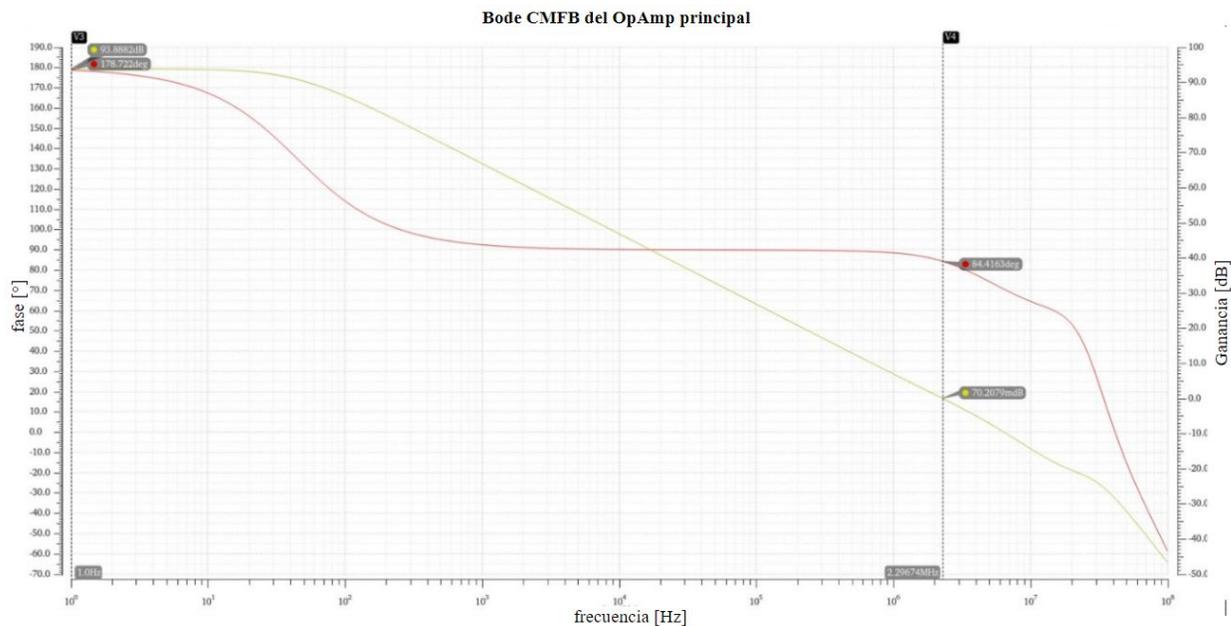


Fig. 80 - Resultado de la simulación ac para medir estabilidad de modo común en el CMFB. Amarillo: ganancia - Rojo: fase.

Conclusión: Los 84° de margen de fase del CMFB permiten tener un lazo estable sin grandes sobrepicos.

V. Ruido

El ruido se mide también a lazo cerrado ya que depende de la ganancia del OpAmp, fijada por las resistencias de realimentación. La forma de medición es integrando el ruido de cada dispositivo del diseño en todo el ancho de banda de ruido equivalente descrito en la figura 9. En este caso, el ancho de banda de 3 dB del OpAmp es 500 KHz a lazo cerrado, por tanto el NEB es $500 \text{ KHz} * (\pi/2) = 785 \text{ KHz}$. El ruido total es la suma ortogonal del ruido producido por cada dispositivo, es decir, la raíz cuadrada de la suma de los cuadrados.

$$V_{total\ noise,\ rms} = \sqrt{(V_{noise,\ rms\ 1})^2 + (V_{noise,\ rms\ 2})^2 + \dots + (V_{noise,\ rms\ n})^2} \quad (58)$$

Device	Param	Noise Contribution	% Of Total
I0.MP1.m0	fn	0.00345618	17.97
I0.MP0.m0	fn	0.00345618	17.97
I0.MP10.m0	fn	0.00306993	14.18
I0.MP11.m0	fn	0.00306993	14.18
I0.MN50.m0	fn	0.00202186	6.15
I0.MN8.m0	fn	0.00202186	6.15
I0.MP1.m0	id	0.00166117	4.15
I0.MP0.m0	id	0.00166117	4.15
I0.MN50.m0	id	0.00157941	3.75
I0.MN8.m0	id	0.00157941	3.75
I0.MP10.m0	id	0.0015137	3.45
I0.MP11.m0	id	0.0015137	3.45

Integrated Noise Summary (in V) Sorted By Noise Contributors
 Total Summarized Noise = 0.00815226
 Total Input Referred Noise = 8.56589e-05
 The above noise summary info is for noise data

Fig. 81 - Resultado de la simulación de ruido - valores rms referidos a la salida del OpAmp.

En la figura 81 se ve el resumen de ruido provisto por el software. En la columna “Param” se indica el origen del ruido, siendo “fn” ruido flicker y “id” ruido térmico. Como se explicó en el capítulo 1, el ruido flicker es de baja frecuencia y es cancelado o atenuado por el lazo. En cambio, el ruido térmico no es cancelado y debe ser considerado como un error en su totalidad. Sumando id cuadráticamente:

$$\sqrt{2(1.66 \text{ mV})^2 + 2(1.58 \text{ mV})^2 + 2(1.51 \text{ mV})^2} = 3.88 \text{ mV rms}$$

Conclusión: Siendo la tensión de salida de 200 mV pico a pico, el ruido térmico entra dentro de los valores esperados de 2% de error. En cuanto al ruido flicker, se lo considera cancelado por el RRL.

VI. Offset

El offset es un resultado estadístico que se mide para asegurar que el lazo es capaz de compensarlo. Con este valor, se puede hacer una simulación a Top Level y confirmar que el sistema funciona de manera correcta dentro del rango de offset esperado. Además, se puede discriminar el offset de la primera etapa con respecto de la segunda ya que, como la segunda etapa no está choppeada, no se podrá cancelar el offset originada por dicha etapa, y debe ser considerado como otra fuente de error.

mismatch	Contribution(V)	Sensitivity()
I0.MP10.sg_mm_z\ (m\)	549.12m	183.04m
I0.MP11.sg_mm_z\ (m\)	-549.12m	-183.04m
I0.MP1.sg_mm_z\ (m\)	523.76m	174.59m
I0.MP0.sg_mm_z\ (m\)	-523.76m	-174.59m
I0.MN50.sg_mm_z\ (m\)	-397.46m	-132.49m
I0.MN8.sg_mm_z\ (m\)	397.46m	132.49m
I0.MN50.sg_mm_z2\ (m\)	312.7m	104.23m
I0.MN8.sg_mm_z2\ (m\)	-312.7m	-104.23m
I0.MP1.sg_mm_z2\ (m\)	-184.94m	-61.646m
I0.MP0.sg_mm_z2\ (m\)	184.94m	61.646m
I0.MP11.sg_mm_z2\ (m\)	154.35m	51.449m
I0.MP10.sg_mm_z2\ (m\)	-154.35m	-51.449m
R0.r0.sg_mm_z\ (m\)	-3.0244m	-1.0081m
R1.r0.sg_mm_z\ (m\)	3.0244m	1.0081m
R2.r0.sg_mm_z\ (m\)	2.6825m	894.15u
R3.r0.sg_mm_z\ (m\)	-2.6825m	-894.15u
I18.MN37.sg_mm_z\ (m\)	2.2917m	763.89u
I18.MN0.sg_mm_z\ (m\)	-2.2917m	-763.89u
I0.MP3.sg_mm_z\ (m\)	2.2654m	755.14u
I0.MP2.sg_mm_z\ (m\)	-2.2654m	-755.14u
I18.MN0.sg_mm_z2\ (m\)	1.7869m	595.63u
I18.MN37.sg_mm_z2\ (m\)	-1.7869m	-595.63u
I0.MN10.sg_mm_z\ (m\)	1.4868m	495.6u
I0.MN9.sg_mm_z\ (m\)	-1.4868m	-495.6u
I17.MN0.sg_mm_z2\ (m\)	-844.99u	-281.66u
I17.MN37.sg_mm_z2\ (m\)	844.99u	281.66u
I0.I28.MN2.sg_mm_z2\ (m\)	648.86u	216.29u
I0.I28.MN37.sg_mm_z2\ (m\)	-648.86u	-216.29u
I0.MP2.sg_mm_z2\ (m\)	560.85u	186.95u
I0.MP3.sg_mm_z2\ (m\)	-560.85u	-186.95u
I0.I29.MP0.sg_mm_z2\ (m\)	-540.42u	-180.14u
I0.I29.MP42.sg_mm_z2\ (m\)	540.42u	180.14u
I17.MN0.sg_mm_z\ (m\)	449.07u	149.69u
I17.MN37.sg_mm_z\ (m\)	-449.07u	-149.69u
I0.I28.MN2.sg_mm_z\ (m\)	-313.52u	-104.51u
I0.I28.MN37.sg_mm_z\ (m\)	313.52u	104.51u
I0.MN10.sg_mm_z2\ (m\)	-277.81u	-92.603u
I0.MN9.sg_mm_z2\ (m\)	277.81u	92.603u
I0.I29.MP0.sg_mm_z\ (m\)	249.7u	83.233u
I0.I29.MP42.sg_mm_z\ (m\)	-249.7u	-83.233u

The total 3-sigma output variation V(Voutp,Voutn) = 1.7764fV +/- 1.3339

Fig. 81 - Resultado de la simulación de mismatch - valores referidos a la salida del OpAmp en Volts.

En la figura 82 al final del sumario se ve una variación de ± 1.334 V a 3 sigma, es decir, que en el 99.7% de los casos, el offset a la salida estará dentro de dicho rango. Referido a la entrada, se divide por la ganancia a lazo cerrado:

$$\frac{\pm 1.334 \text{ V}}{100} = \pm 13.34 \text{ mV}$$

En cuanto al offset de la segunda etapa, se lo considera offset residual ya que no puede ser cancelado. Para medirlo, se debe sumar cuadráticamente los offset generados por cada dispositivo de la segunda etapa en la figura 81, siendo estos:

$$\sqrt{V_{\text{offset MP2}}^2 + V_{\text{offset MP3}}^2 + V_{\text{offset MN9}}^2 + V_{\text{offset MN10}}^2} =$$

$$\sqrt{2 (2.26 \text{ mV})^2 + 2 (1.48 \text{ mV})^2 + 2 (0.56 \text{ mV})^2 + 2 (0.27 \text{ mV})^2} = 3.92 \text{ mV rms}$$

Conclusión: El offset de la segunda etapa entra dentro de los valores esperados de 2% de error. En cuanto al offset de la primera etapa, es un resultado que se utilizará en la simulación de Top Level.

Integrador

En el caso del integrador, se usa un único testbench tanto para estabilidad de la señal diferencial, CMFB, transient y offset, ya que se utiliza a lazo abierto.

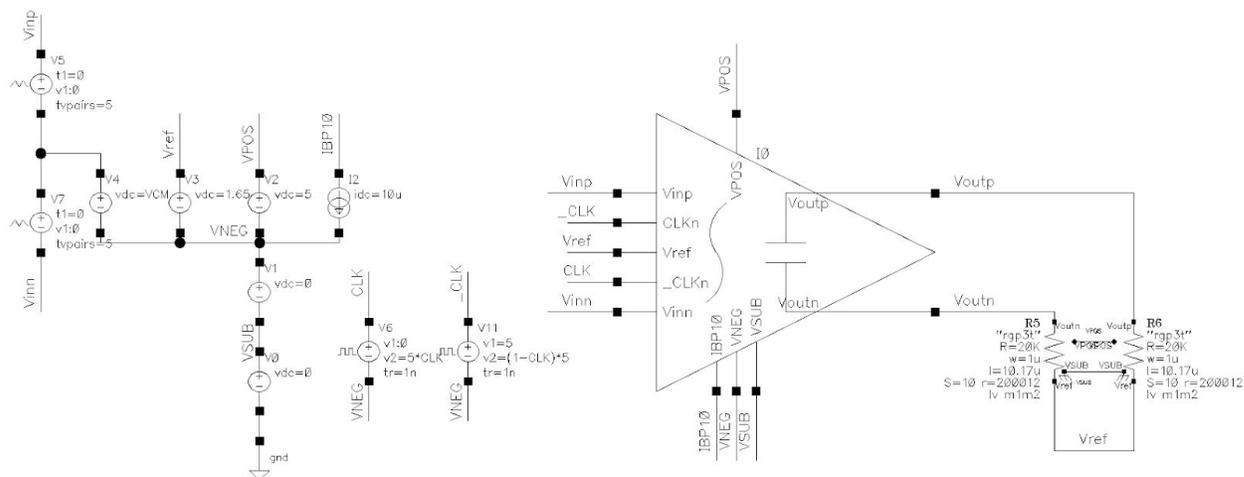


Fig. 83 - Testbench utilizado para medir el integrador.

Cabe destacar que no se hará un análisis de ruido para este bloque. El motivo es el siguiente: recordando la técnica de medición, se debe integrar el ruido utilizando el ancho de banda equivalente NEB, igual a l producto entre el BW_{3dB} y $\pi/2$. Siendo el diseño un integrador, el ancho de banda BW_{3dB} es idealmente 0, por lo tanto el ruido a la salida se lo considera nulo.

I. Estabilidad de señal diferencial

Al igual que en el OpAmp, se realiza un análisis ac de pequeña señal, midiendo a la salida:

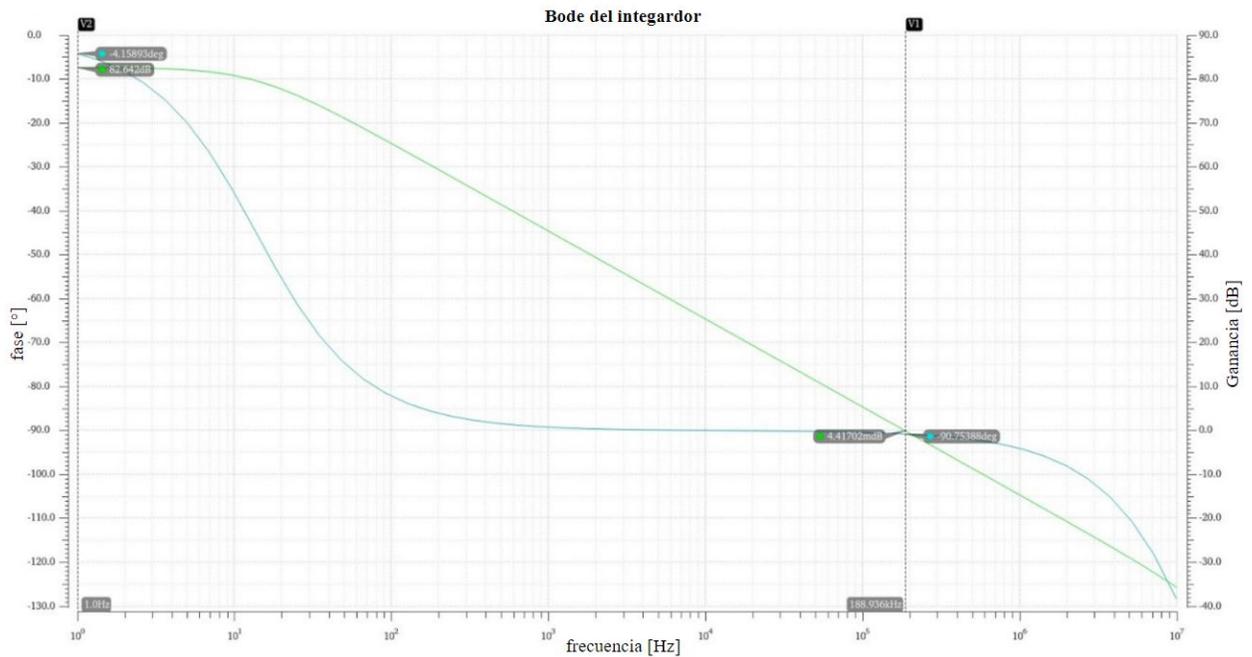


Fig. 84 - Análisis ac de pequeña señal del integrador. Verde: Ganancia - Azul: fase.

En la figura 84, se ve que el polo del integrador en lugar de encontrarse en el origen, se encuentra aproximadamente en 10 Hz. Esto es debido a que el amplificador tiene una resistencia no infinita a la salida:

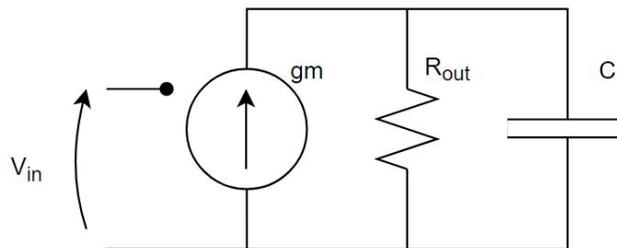


Fig. 85 - Modelo más realista del integrador con R_{out} no infinita

Por tanto, el polo de baja frecuencia está definido por R_{out} y C . La consecuencia de una R_{out} no infinita es obviamente una ganancia en DC no infinita, y por tanto un error de estado estacionario no nulo, siendo este:

$$EEE = \frac{V_{null}}{Gain_{DC}} \approx \frac{1.32V}{82 dB} = 104 \mu V \quad (59)$$

Siendo V_{null} la tensión necesaria a la salida del integrador para cancelar el offset. Este resultado demuestra que a la salida del OpAmp habrá alrededor de $100 \mu V$ de ripple residual que el integrador no es capaz de anular. El valor de V_{null} se obtiene de (32a), utilizando el V_{off} antes medido.

$$V_{null} = V_{off} \left(\frac{R_{null}}{R_{in}} + \frac{R_{null}}{R_f} + 1 \right) \quad (32a)$$

$$V_{null} = 13.34 mV (100 + 1 + 1) \approx 1.32 V$$

Finalmente, observando la figura 83, el margen de fase de señal diferencial del integrador es de 90° a 189 KHz.

Conclusión: El error de estado estacionario está dentro de los valores de error esperados, siendo mucho menos significativo que otras fuentes de error. El margen de fase asegura la estabilidad del integrador sin sobrepicos.

II. Estabilidad del CMFB

Al igual que en el OpAmp principal, se realiza un análisis stb de pequeña señal para medir la estabilidad del CMFB.

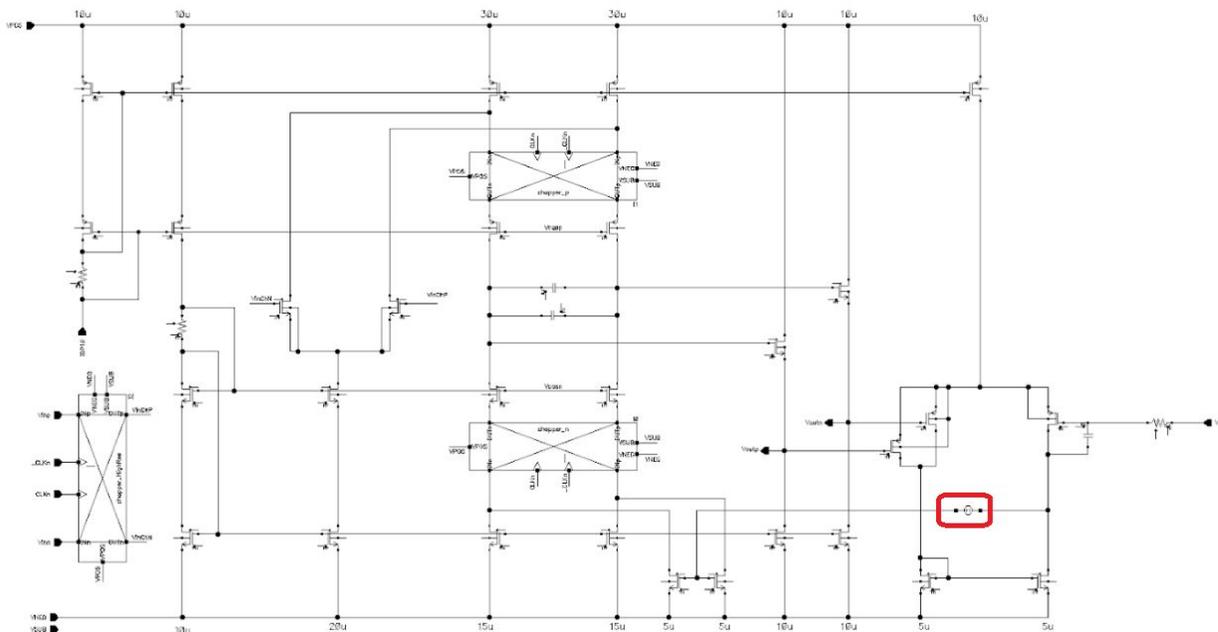


Fig. 86 - Utilización de fuente de tensión de pequeña señal en el lazo del CMFB para análisis stb.

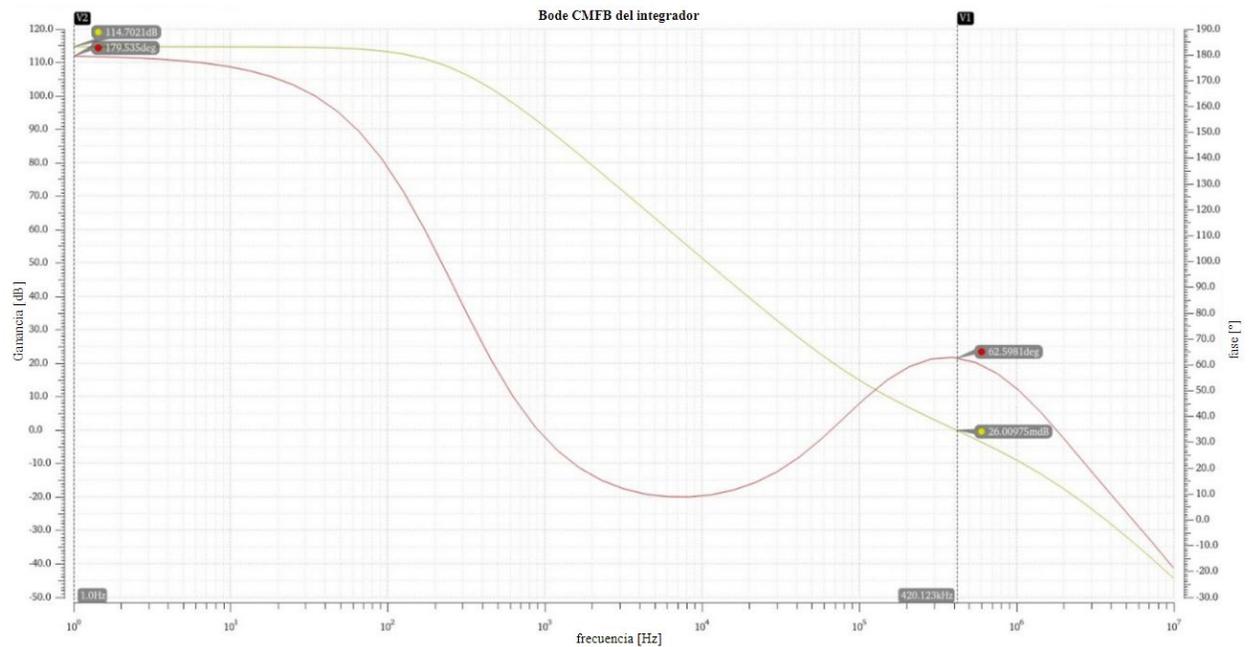


Fig. 87 - Análisis *stb* del CMFB del integrador. Rojo: Ganancia - Amarillo: fase.

Conclusión: En la figura 86 se puede ver claramente como el cero de baja frecuencia del compensador descrito en la figura 58 ayuda a mejorar el margen de fase. De esta forma se obtienen 62° de margen de fase, estabilizando el CMFB.

III. Transient

Un buen análisis para comprobar el rango de operación del integrador y calcular su constante de tiempo es una simulación tipo transient, integrando una señal continua. De esta forma, se genera una rampa a la salida hasta que en determinado momento se alcanza el valor calculado en el punto I. Utilizando el test bench de la figura 83, se simula:

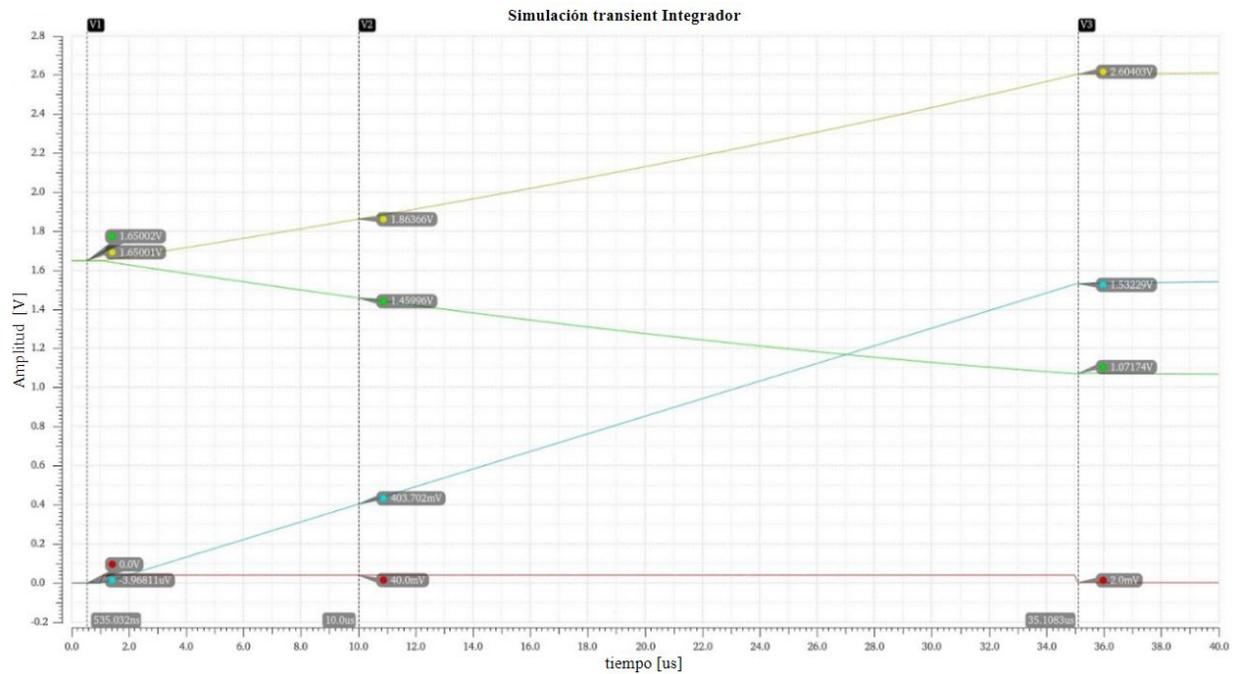


Fig. 88 - Simulación transient. Rojo: señal de entrada. Amarillo y verde: salida del integrador, ambos canales. Azul: salida diferencial.

En la figura 88 se ve que el integrador es capaz de entregar una tensión mayor a 1.32 V sin saturar. También de la figura 88 se puede calcular la constante de tiempo del integrador, utilizando la ecuación (28). Sabiendo que se integró una señal continua de 40 mV:

$$V_C = \int \frac{I_C}{C} dt = \frac{gm}{C} \int V_{sh} dt \quad (28)$$

$$\frac{gm}{C} \int 40 mV dt = \frac{gm}{C} 40 mV t$$

Calculando $t = 10 \mu s$ e igualando a 400 mV:

$$\frac{gm}{C} 40 mV 10 \mu s = 400 mV$$

$$\frac{gm}{C} = 1 \cdot 10^6 Hz$$

La constante de tiempo gm/C es lo que en la figura 66 está modelado como 2K. Por lo tanto, volviendo a la ecuación 47:

$$K = \frac{1}{0.5 \cdot 0.7786 2T} \quad (50)$$

Habíamos visto que para $T=500 ns$ la condición de estabilidad era:

$$K < 2568800$$

Entonces

$$\frac{gm}{C} = 1 \cdot 10^6 = 2K < 5137600$$

Conclusión: El integrador es capaz de trabajar en los rangos de tensión de salida esperados y posee una constante de tiempo tal que el lazo cumpla con las condiciones de estabilidad.

IV. Offset

Como se dijo anteriormente, este integrador está choppeado para modular el offset a frecuencia f_{ch} y que el capacitor a la salida se encargue de filtrarlo. Como todo filtro, hay una porción de la señal que no es eliminada y debe ser medida ya que este ripple remanente pasará a la salida del sistema con ganancia unitaria (debido a que $R_{null}=R_f$). Por lo tanto, se realiza un análisis de mismatch de igual manera que se hizo con el OpAmp principal.

DC-Mismatch Summary		
mismatch	Contribution(V)	Sensitivity()
I0.MN5.sg_mm_z(m\)	-24.523	-8.1744
I0.MN4.sg_mm_z(m\)	24.523	8.1744
I0.MP3.sg_mm_z(m\)	-24.271	-8.0903
I0.MP2.sg_mm_z(m\)	24.271	8.0903
I0.MN0.sg_mm_z(m\)	20.528	6.8427
I0.MN1.sg_mm_z(m\)	-20.528	-6.8427
I0.MN30.sg_mm_z(m\)	-13.726	-4.5753
I0.MN29.sg_mm_z(m\)	13.726	4.5753
I0.MP3.sg_mm_z2(m\)	7.5252	2.5084
I0.MP2.sg_mm_z2(m\)	-7.5252	-2.5084
I0.MN30.sg_mm_z2(m\)	5.616	1.872
I0.MN29.sg_mm_z2(m\)	-5.616	-1.872
I0.MN1.sg_mm_z2(m\)	4.5926	1.5309
I0.MN0.sg_mm_z2(m\)	-4.5926	-1.5309
I0.MN5.sg_mm_z2(m\)	4.3943	1.4648
I0.MN4.sg_mm_z2(m\)	-4.3943	-1.4648
I0.MN3.sg_mm_z(m\)	-3.0669	-1.0223
I0.MN2.sg_mm_z(m\)	3.0669	1.0223
I0.MN3.sg_mm_z2(m\)	960.6m	320.2m
I0.MN2.sg_mm_z2(m\)	-960.6m	-320.2m
I0.MP4.sg_mm_z(m\)	291.82m	97.274m
I0.MP5.sg_mm_z(m\)	-291.82m	-97.274m
I0.I0.MN2.sg_mm_z2(m\)	175.84m	58.614m
I0.I0.MN37.sg_mm_z2(m\)	-175.84m	-58.614m
I0.MP4.sg_mm_z2(m\)	-58.611m	-19.537m
I0.MP5.sg_mm_z2(m\)	58.611m	19.537m
I0.I0.MN2.sg_mm_z(m\)	-55.984m	-18.661m
I0.I0.MN37.sg_mm_z(m\)	55.984m	18.661m
I0.I1.MP42.sg_mm_z2(m\)	38.852m	12.951m
I0.I1.MP0.sg_mm_z2(m\)	-38.852m	-12.951m
I0.I1.MP42.sg_mm_z(m\)	-19.793m	-6.5977m
I0.I1.MP0.sg_mm_z(m\)	19.793m	6.5977m
I0.MN36.sg_mm_z(m\)	-2.0721m	-690.72u
I0.MN35.sg_mm_z(m\)	2.0721m	690.72u

The total 3-sigma output variation V(Voutp,Voutn) = 1.2559pV +/- 62.278

Fig. 89 - Análisis de mismatch en el integrador. Offset en V referido a la salida.

El sumario de mismatch arroja un resultado de 62.28 V de offset a la salida. Si bien este resultado a primera vista parece ser alarmante, hay que recordar que se lo debe referir a la entrada dividiendo por la ganancia medida anteriormente:

$$V_{off\ in} = \frac{V_{off\ out}}{Gain} = \frac{62.28\ V}{82\ dB} \approx 4.57\ mV$$

Entonces, se simula la tensión a la salida con una tensión DC igual a $V_{off_{in}}$ en la entrada.

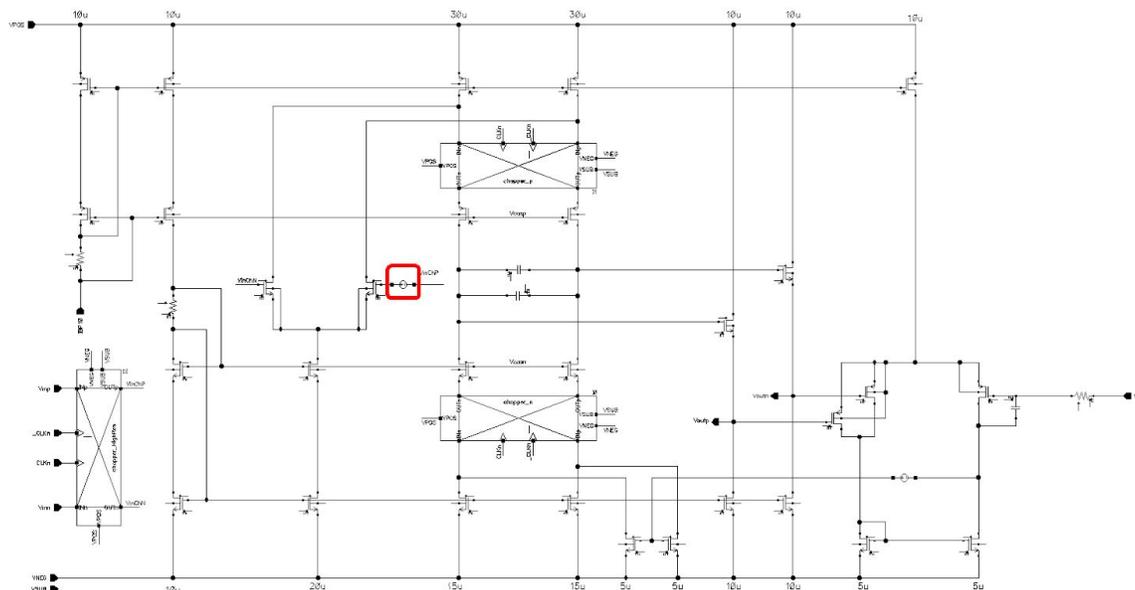


Fig. 90 - Adición de una fuente DC con el valor de offset calculado para medir el ripple a la salida

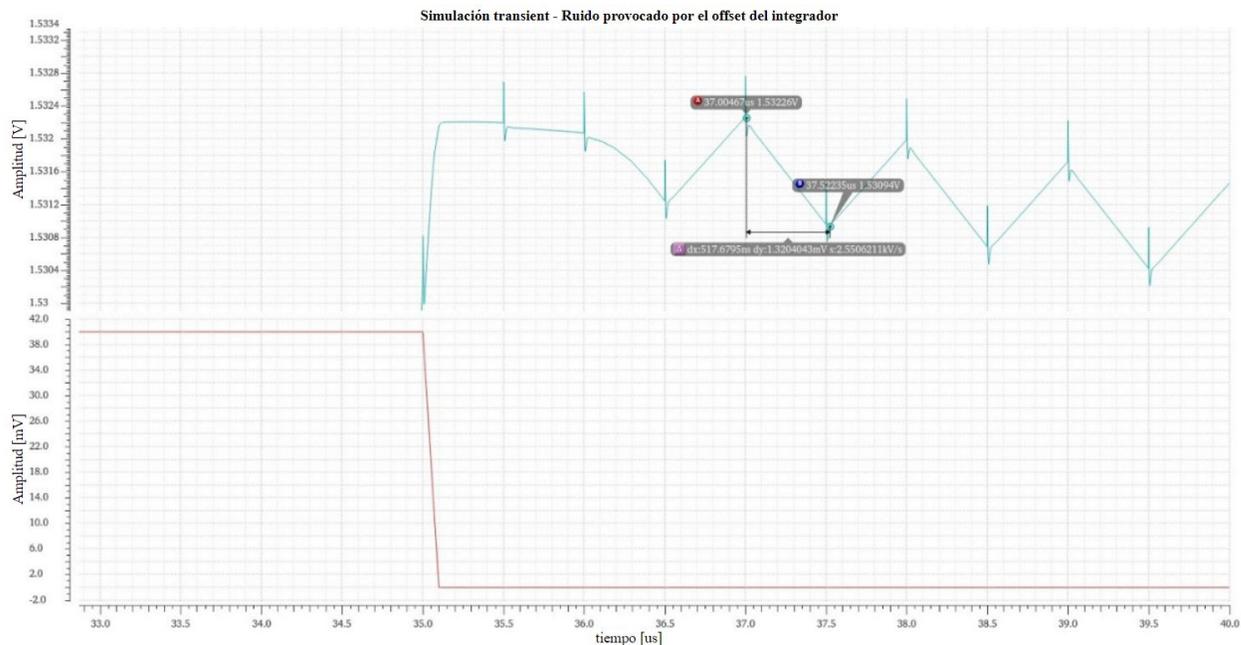


Fig. 91 - Arriba: Ripple a la salida del integrador producto de su offset a la entrada. Abajo: señal integrada.

De forma esperada, se produce un ripple a la salida que tiene una forma de onda triangular, cuyo valor pico a pico es 1.32 mV.

Conclusión: Es interesante notar el elevadísimo offset a la salida de un OTA a lazo abierto. De no ser por la técnica chopper, tal nivel de offset dejaría al OTA totalmente inservible. De esta forma, el offset a la entrada apenas provoca un ruido de 1.32 mV que está dentro de los valores de error esperados.

Generador de CLKs

Hay que remarcar que el generador de señales de CLK no pertenece al sistema, sino que son señales que provienen de la máquina digital del circuito integrado. Por lo tanto no se hará un análisis de cómo generarlas, pero sí de cómo deben ser.

Clasificando los CLKs, hay señales de chopping, de tracking y de hold. A su vez, las señales de chopping se dividen en non-overlapped y overlapped, y las de tracking y hold se dividen en canal 1 y canal 2. Separadamente, está la señal que maneja las resistencias dummies de la entrada del OpAMP principal.

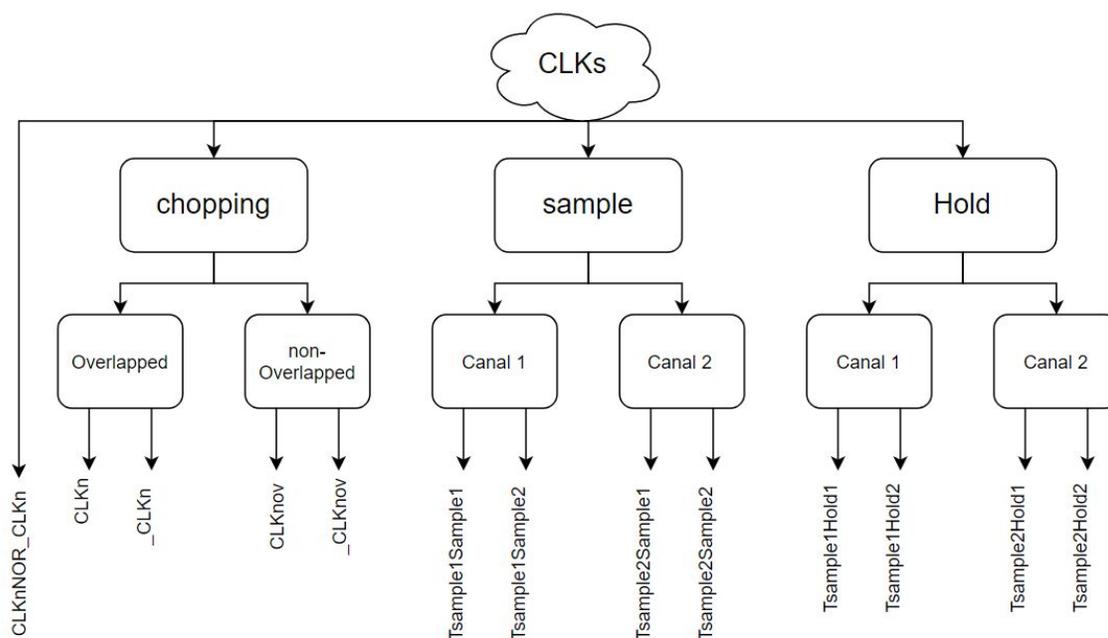


Fig. 92 - Clasificación de las señales de CLK provenientes de la máquina digital.

De izquierda a derecha:

- CLKnNOR_CLKn: Señal de control para resistencias dummies
- CLKn: CLK overlapped para manejo de los chopper en fase 0°
- _CLKn: CLKn negada para manejo de los chopper en fase 90°
- CLKnov: CLK non-overlapped para manejo del chopper de entrada en fase 0°
- _CLKnov: CLKnov negada para manejo del chopper de entrada en fase 90°
- Tsample1Sample1: Señal de control de tracking Canal 1 - Rama 1.
- Tsample1Sample2: Señal de control de tracking Canal 1 - Rama 2.
- Tsample2Sample1: Señal de control de tracking Canal 2 - Rama 1.
- Tsample2Sample2: Señal de control de tracking Canal 2 - Rama 2.
- Tsample1Hold1: Señal de control de hold Canal 1 - Rama 1.
- Tsample1Hold2: Señal de control de hold Canal 1 - Rama 2.
- Tsample2Hold1: Señal de control de hold Canal 2 - Rama 1.
- Tsample2Hold2: Señal de control de hold Canal 2 - Rama 2.

Recordando la figura 65, se puede simular el timing de cada una de las señales:

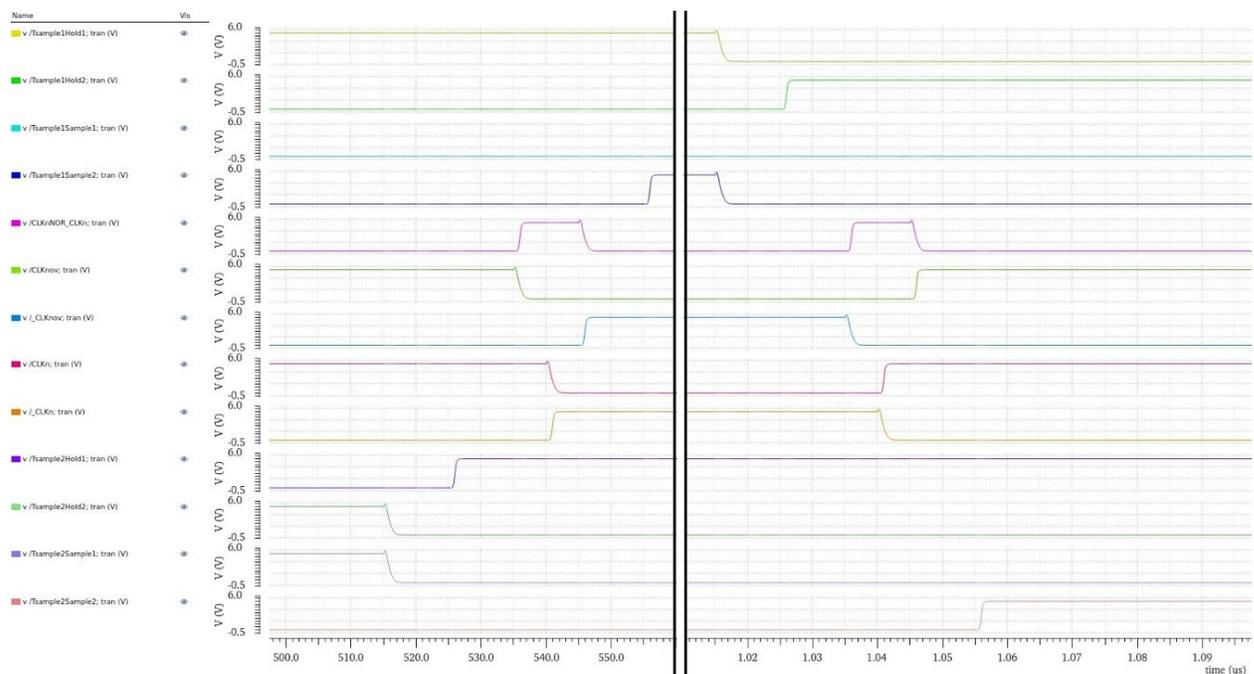


Fig. 93 - Simulación del timing de cada de las señales de CLK

En la mitad izquierda de la figura 93 se ve el siguiente procedimiento:

- 515 ns: Desconexión de track (rama 1) y hold (rama 2) del canal 2.
- 525 ns: Conexión del hold (rama 1) del canal 2.
- 535 ns: Conexión de resistencias dummies y desconexión del chopper de entrada.
- 540 ns: Conmutación del resto de los choppers.
- 545 ns: Desconexión de resistencias dummies y conexión del chopper de entrada.
- 555 ns: Comienza el tracking (rama 2) del canal 1.

En la mitad derecha:

- 1015 ns: Desconexión de track (rama 2) y hold (rama 1) del canal 1.
- 1025 ns: Conexión del hold (rama 2) del canal 1.
- 1035 ns: Conexión de resistencias dummies y desconexión del chopper de entrada.
- 1040 ns: Conmutación del resto de los choppers.
- 1045 ns: Desconexión de resistencias dummies y conexión del chopper de entrada.
- 1055 ns: Comienza el tracking (rama 2) del canal 2.

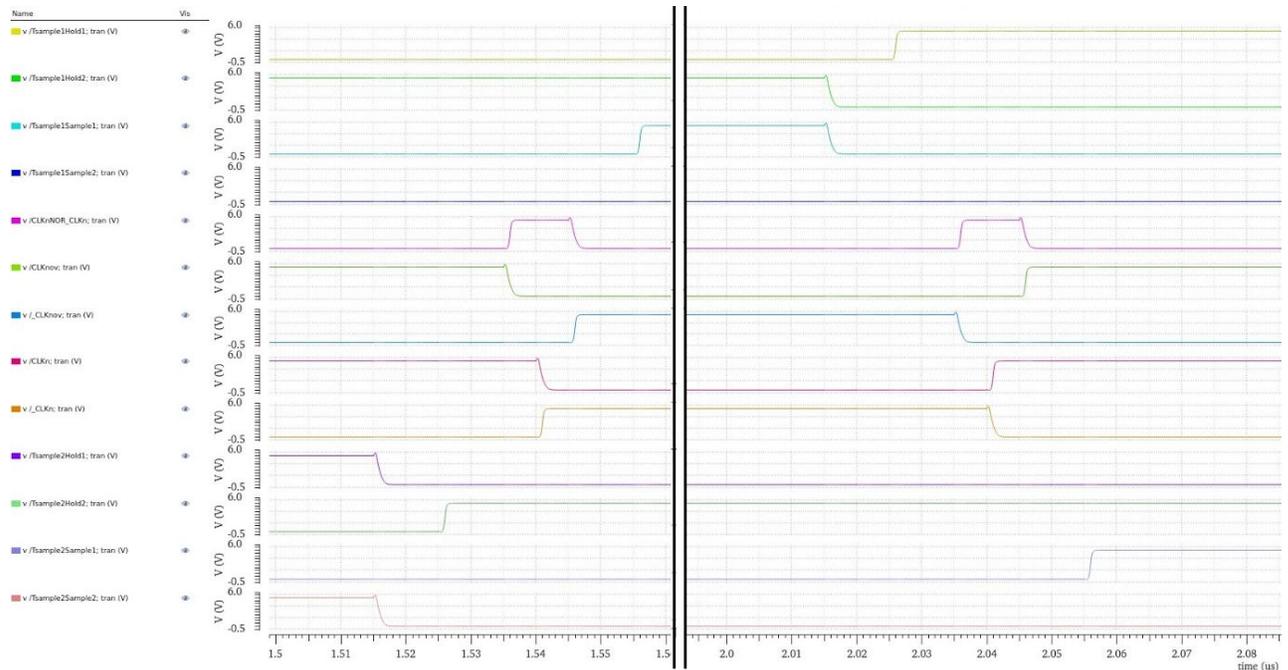


Fig. 94 - Simulación del timing de cada de las señales de CLK

En la mitad izquierda de la figura 94 se ve el siguiente procedimiento:

- 1515 ns: Desconexión de track (rama 2) y hold (rama 1) del canal 2.
- 1525 ns: Conexión del hold (rama 2) del canal 2.
- 1535 ns: Conexión de resistencias dummies y desconexión del chopper de entrada.
- 1540 ns: Conmutación del resto de los choppers.
- 1545 ns: Desconexión de resistencias dummies y conexión del chopper de entrada.
- 1555 ns: Comienza el tracking (rama 1) del canal 1.

En la mitad derecha:

- 2010 ns: Desconexión de track (rama 1) y hold (rama 2) del canal 1.
- 2025 ns: Conexión del hold (rama 1) del canal 1.
- 2035 ns: Conexión de resistencias dummies y desconexión del chopper de entrada.
- 2040 ns: Conmutación del resto de los choppers.
- 2045 ns: Desconexión de resistencias dummies y conexión del chopper de entrada.
- 2055 ns: Comienza el tracking (rama 1) del canal 2.

500 ns después, se repite el ciclo desde la figura 93.

Top Level

Finalmente, se realiza una simulación tipo transient en el testbench del Top Level para comprobar el comportamiento del lazo, el tiempo de cancelación del offset y la forma de onda de la señal de salida.

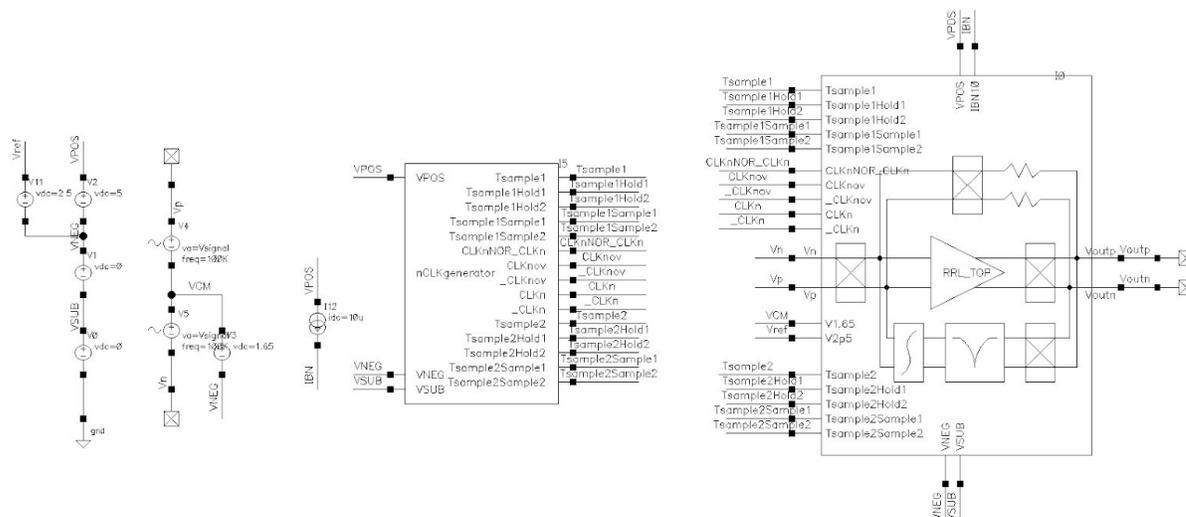


Fig. 95 - Testbench del Top Level

En la figura 95 se observa el testbench donde se instancia el top level (I0) y el generador de CLKs (I5) y se conectan todas las señales. A modo de prueba se inyecta una señal de 1 mV pico a pico, valor típico proveniente del sensor de efecto Hall, a 100 KHz, y se somete al OpAmp principal a un escalón de offset en $t = 5 \mu\text{s}$. Tal escalón de offset no tiene correlato en la vida real dado que es esperable que no varíe más que con la temperatura (que es un proceso lento), pero es una buena prueba para ver el comportamiento del lazo. Midiendo la salida:

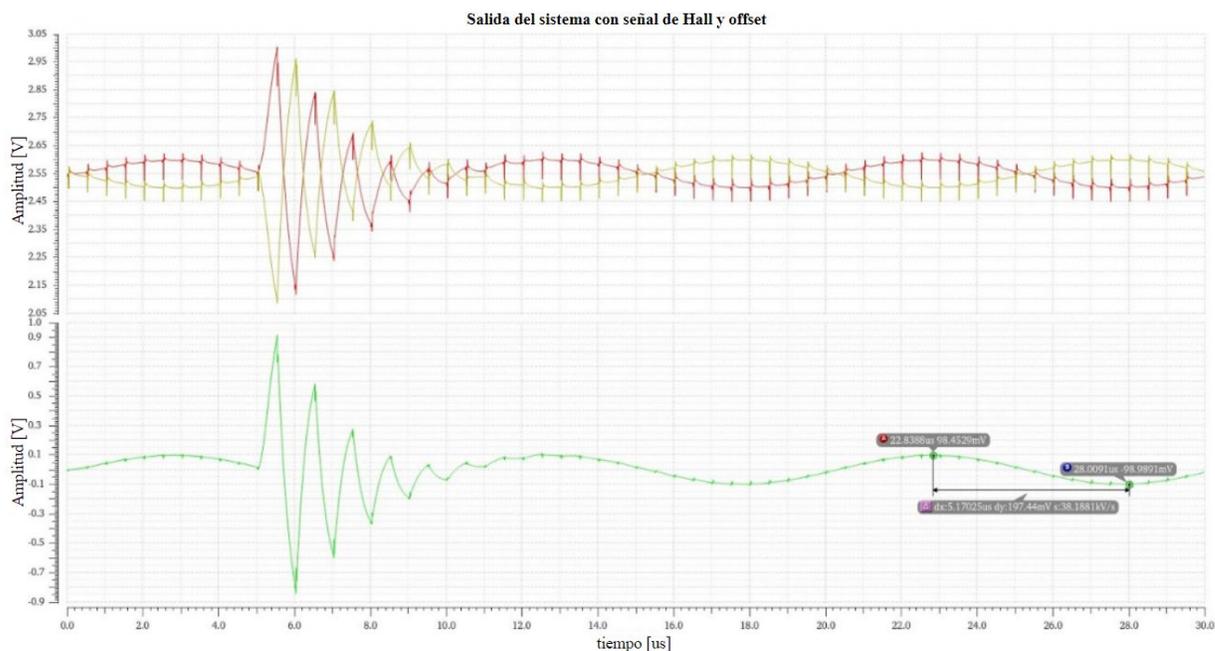


Fig. 96 - Amarillo y rojo: salida en ambos canales. Verde: Salida diferencial.

Se puede ver como el ripple a la salida aparece a los $5 \mu\text{s}$ y decae hasta desaparecer, dejando sólo la señal efectiva proveniente del sensor Hall amplificada. Este es un buen momento para medir la precisión

de la ganancia del OpAmp. Midiendo la salida pico a pico se obtienen 197.44 mV en lugar de 200 mV (2.56 mV de diferencia), siendo la ganancia a lazo cerrado de 98.72 veces. Analizando la salida diferencial en mayor detalle:

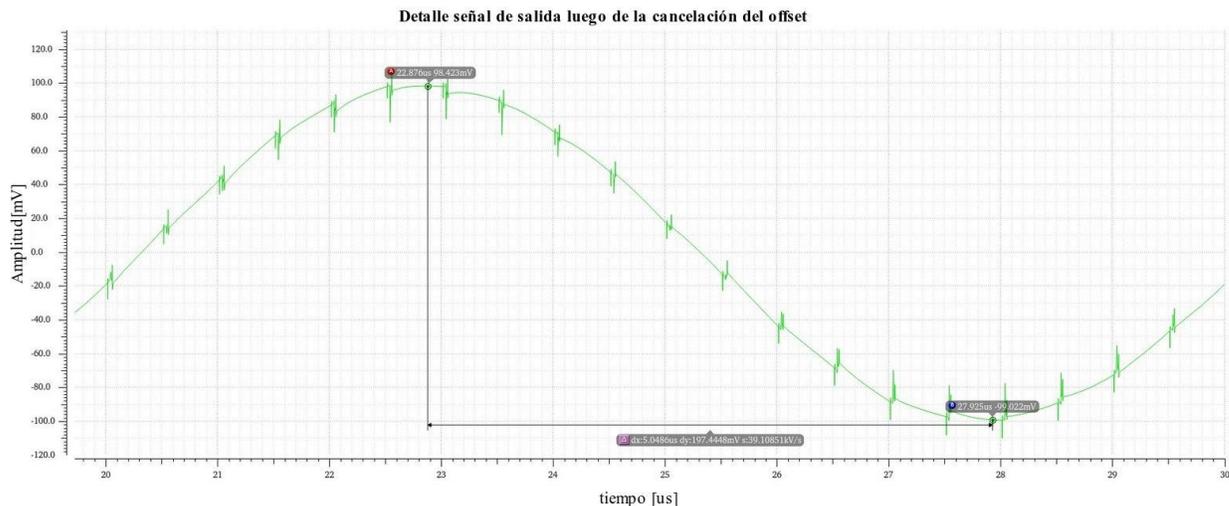


Fig. 97 - Salida diferencial del sistema una vez que el offset fue cancelado.

Se observa la señal proveniente del sensor Hall amplificada, más ruido (glitches) en alta frecuencia producto de las conmutaciones del amplificador chopper. Estos glitches son fácilmente filtrables ya sea por una segunda etapa de amplificación o por el mismo ADC, dependiendo de su implementación, ya que pertenecen a una alta frecuencia.

Observando el comportamiento del lazo, es interesante medir las señales a la entrada y salida del sample and hold:

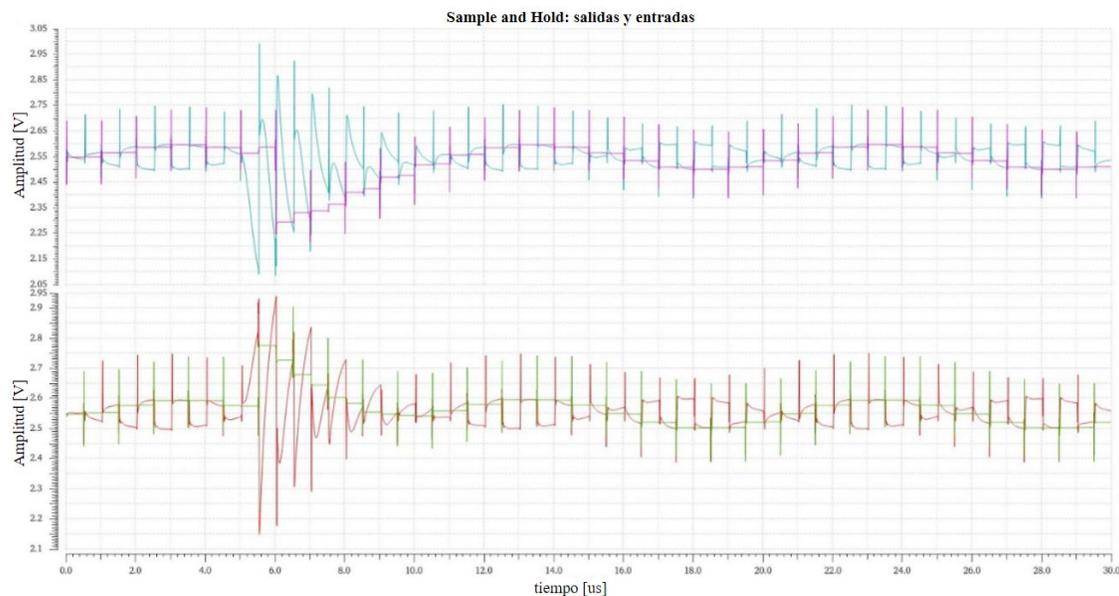


Fig. 98 - Azul y rojo: señales a la entrada del sample and hold, ambos canales. Verde y violeta: salidas del sample and hold, ambos canales.

Con algunos glitches producto de la conmutación de los switches, la señal choppeada es eficazmente filtrada, dejando pasar sólo la señal en banda base pero en modo común, que será cancelada en la entrada diferencial del integrador, como se comentó en el capítulo 2. En cambio, cuando el escalón de offset actúa a los 5 μs , la salida del sample and hold aumenta en modo diferencial. Esto se puede ver mejor en la figura 99.

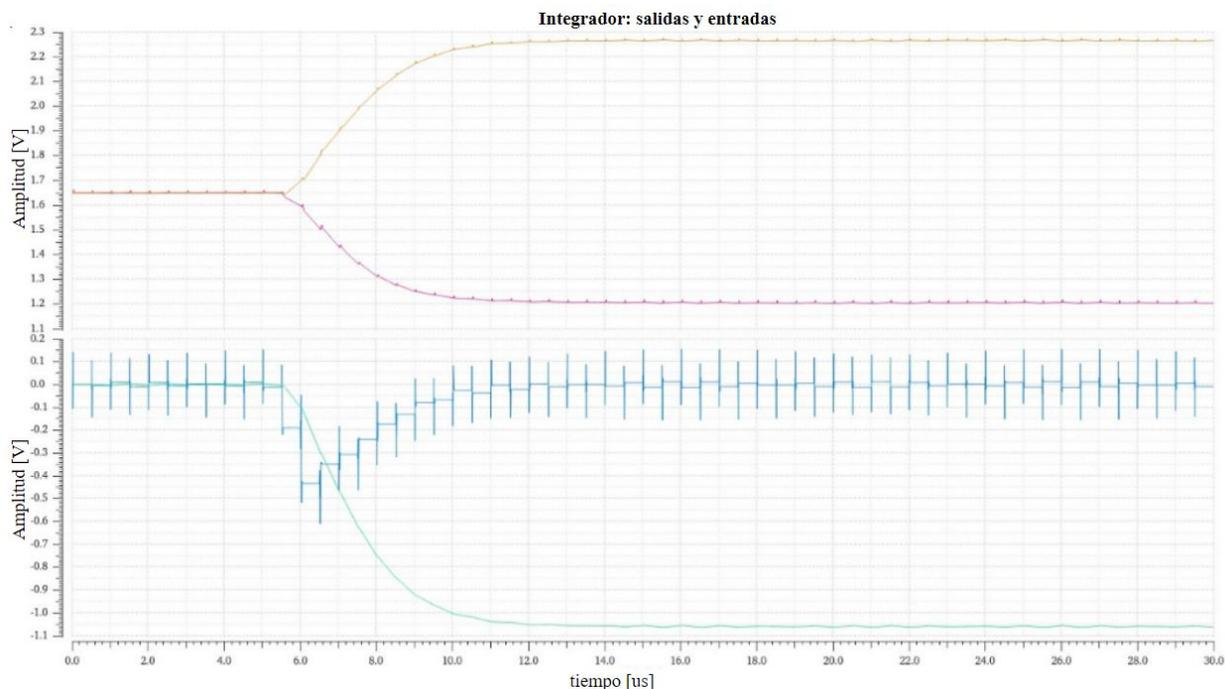


Fig. 99 - Amarillo y rojo: señales a la salida del integrador, ambos canales. Azul: Señal diferencial a la salida del sample and hold (entrada del integrador). Verde: señal integrada, en modo diferencial.

En la figura 99 se ve cómo la salida del sample and hold en modo diferencial crece con la aparición del escalón de offset y, a medida que el offset comienza a cancelarse, disminuye hasta alcanzar un valor de estado estacionario cercano a 0. La integral de esta señal se estabiliza a un valor un poco mayor a 1 V, la tensión necesaria para cancelar el offset del OpAmp.

Finalmente, se realiza la misma prueba pero sin señal de entrada, para medir el ripple residual a la salida del sistema que el lazo no es capaz de anular.

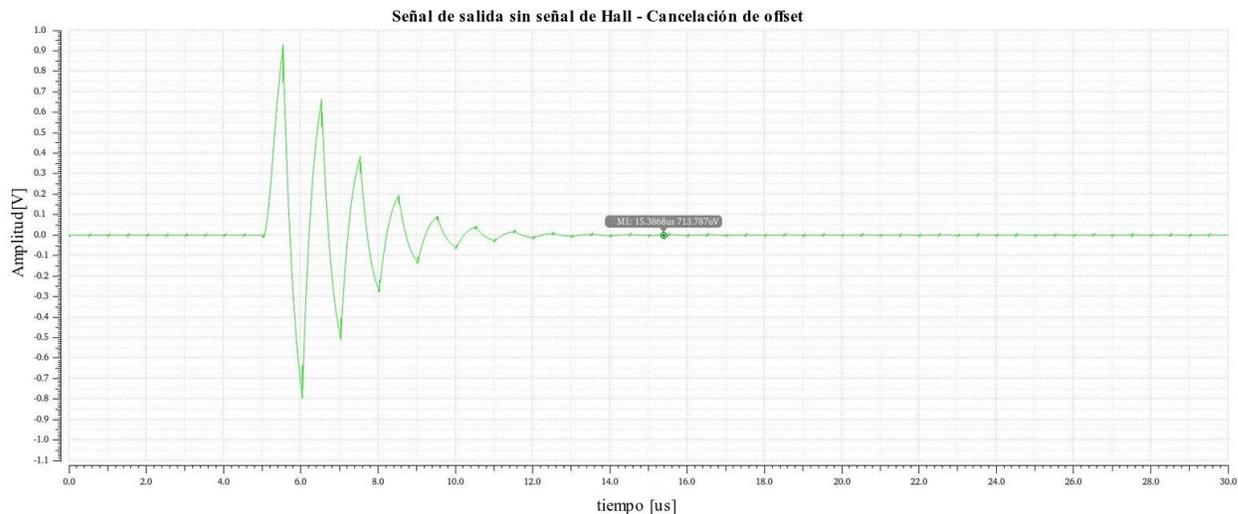


Fig. 100 - Salida del sistema en modo diferencial sin señal de entrada.

Aquí se puede apreciar la respuesta del lazo claramente, ya que la única fuente de señal es el offset, sin señal del sensor Hall. Luego del escalón de offset, el integrador tarda aproximadamente $10 \mu\text{s}$ en alcanzar el valor necesitado para la cancelación. Conociendo ahora el valor de la constante de tiempo del integrador, podemos realizar el mismo ensayo en nuestros modelos de la figura 66:

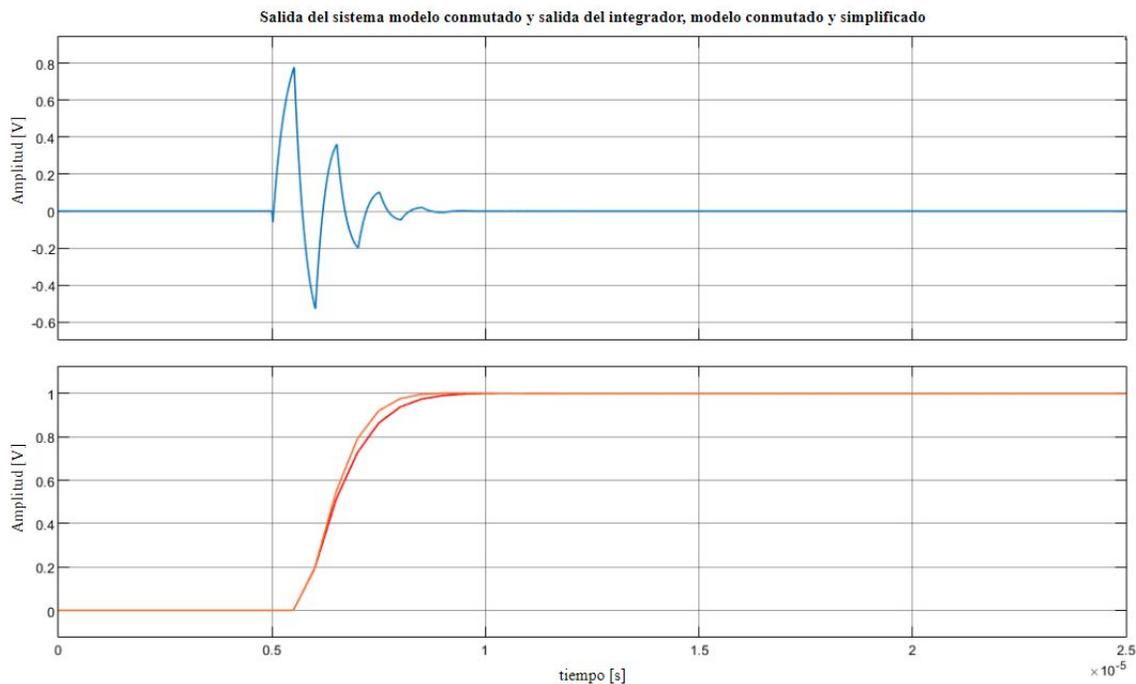


Fig. 101 - Azul: Salida del sistema en modo diferencial sin señal de entrada (modelo conmutado). Rojo: salida del integrador (modelo conmutado) Naranja: salida del integrador (nuevo modelo).

Se observa que el comportamiento es similar. La respuesta del lazo del testbench es un poco más lenta que el modelo debido a una pérdida de ganancia en el sample and hold, debido a la distribución de cargas

entre el capacitor del sample and hold y la capacidad de entrada del integrador. Observando con mayor detalle la salida una vez que el offset en cancelado:

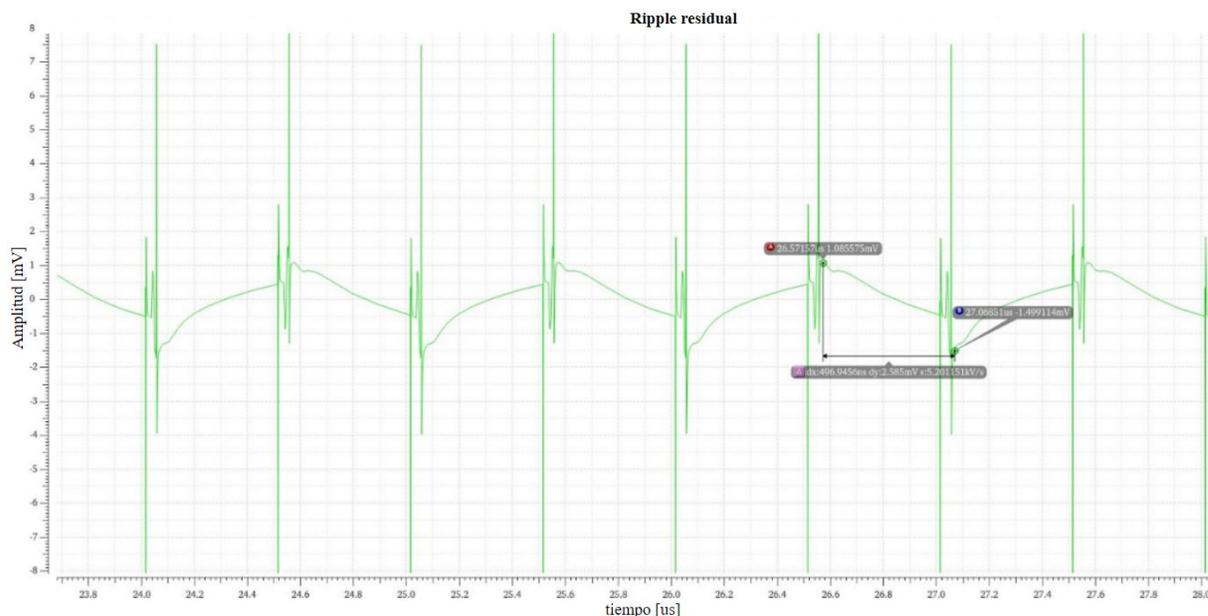


Fig. 102 - Detalle de la salida del sistema en modo diferencial sin señal de entrada.

Se ve que existe un ruido o ripple residual que el lazo no es capaz de compensar. Esta incapacidad se debe a, como se mencionó antes, una ganancia del integrador no infinita. Además, se debe a la conexión y desconexión permanente de las resistencias de entrada (resistencia de salida del sensor Hall), que modifican la ganancia del OpAmp con respecto a la salida del integrador provocando saltos de ruido a la salida. Si bien las resistencias dummies ayudan a mantener la impedancia relativamente constante, en los tiempos de conmutación la variación es inevitable. El ripple residual medido a la salida es de 2.58 mV.

A continuación, se reúnen en una tabla todos los errores o ruidos medidos y el origen de los mismos.

	Errores obtenidos	
	Origen	Valor
1	Ruido térmico (I_d) en el OpAmp principal	3.88 mV rms
2	Offset residual OpAmp principal	3.92 mV
3	Error de estado estacionario	104 μ V
4	Offset del integrador	1.32 mV
5	Precisión en la ganancia	2.56 mV
6	Ripple residual	2.58 mV

Tabla I - Sumario de errores del sistema

En la tabla previa se observa que, teniendo una señal a la salida de 200 mV pico a pico, todas las fuentes de error son menores al 2%.

Conclusión

Se implementó un acondicionador de señales de un sensor de efecto Hall para circuitos integrados en la industria de sensores magnéticos, utilizando un PDK real de 180 nm, provisto por Allegro Microsystems. Se diseñó un lazo de reducción de ripple RRL tal que se minimice el offset a valores del orden del ruido generado por el propio sistema del orden del 2% de la señal a la salida.

Queda en evidencia la necesidad y la gran eficacia de los amplificadores chopper. En el OpAmp principal, la técnica de chopping se utilizó para separar la señal del offset, y en el integrador para reducir el offset del OTA a valores que provoquen un nivel de ruido aceptable. El RRL ofrece un paso más en la historia del desarrollo de amplificadores chopper, ya que permite tener un signal path sin filtros, obteniendo un sistema rápido, capaz de detectar y amplificar flancos de tensión provenientes del sensor Hall.

El presente proyecto abarca diferentes temáticas estudiadas a lo largo de la carrera. Utiliza modulaciones de señales, técnicas de diseño analógico, estudia lazos de control, ruidos, comportamientos físicos de sensores, mezcla bloques y señales analógicas con digitales, y compara y propone estrategias de diseño para cumplir con las especificaciones requeridas. Con esto, el proyecto se encuentra entre los conocimientos o estudios académicos y los requerimientos prácticos de la industria, siendo este un lugar ideal en el cierre de proceso de formación de un ingeniero.

ANEXO I - Ruido KT/C

Otra fuente de ruido tiene su origen en el sample and hold. Un sample and hold se lo puede simplificar como una llave que conecta y desconecta un capacitor con una resistencia en serie. Esta resistencia en nuestro sistema equivale a la suma de la resistencia de salida del OpAmp principal, la R_{on} del chopper de lazo y la R_{on} de la T-Gate, tal como se vió en la figura 34. Esta suma de resistencias en serie tienen un ruido térmico asociado, cuya densidad de tensión espectral es $\sqrt{4kTR}$, que es muestreado cada vez que el capacitor se lo desconecta. A su vez, este circuito RC es un filtro de un polo simple, cuya frecuencia de -3dB es $1/(2\pi RC)$.

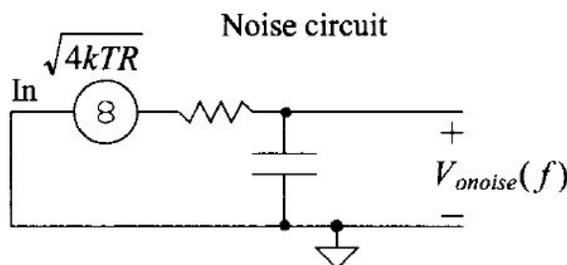


Fig. 103 - Circuito de ruido equivalente para el sample and hold²⁰

Como se mencionó en el capítulo I, para calcular la tensión RMS de ruido a la salida, se debe realizar la siguiente operación:

$$V_{onoise} = \sqrt{PSD NEB} = \sqrt{4KTR \frac{\pi}{2} \frac{1}{2\pi RC}} \quad (60)$$

Donde NEB es el ancho de banda de ruido equivalente. Simplificando, se llega a:

$$V_{onoise} = \sqrt{\frac{KT}{C}} \quad (61)$$

Este es un resultado interesante ya que el ruido muestreado por el capacitor, es originado en la resistencia pero no depende su valor, sólo depende del tamaño del capacitor. En el presente trabajo el tamaño del capacitor es de 3.74 pF, lo cual implica:

$$V_{onoise} = \sqrt{\frac{KT}{3.74 \text{ pF}}} = 33.28 \mu V$$

Este valor se lo considera despreciable frente a los otras fuentes de error detalladas en al Tabla I.

²⁰ Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 228). Estados Unidos: IEEE Solid-State Circuits.

ANEXO II - Posibles trabajos a futuro

Un problema en el diseño actual descrito en los capítulos anteriores yace en en la conexión y desconexión de las resistencias de entrada, que hacen las veces de resistencia de salida del sensor Hall. Una de las consecuencias, es la de estar permanentemente modificando la ganancia del OpAmp con respecto a la tensión V_{null} , impuesta por el integrador para cancelar el offset. Este es un problema que es parcialmente solucionado con la implementación de resistencias dummies a la entrada. Otro problema no descrito hasta el momento, es el de provocar un decaimiento de la señal de salida en los tiempos de conmutación. Esto se debe a como es el funcionamiento de un OpAmp, cuya señal de salida está definida por la corriente que pasa por la resistencia de realimentación R_f , y el valor de R_f .

$$V_{out} = -I_f R_f \quad (59)$$

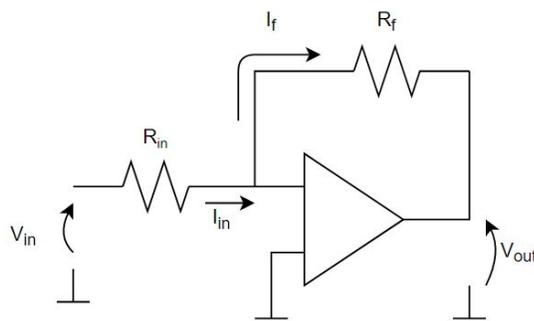


Fig. 104 - OpAmp single ended

Suponiendo impedancia de entrada infinita, la corriente de realimentación I_f es igual a la corriente de entrada I_{in} , que está definida por la tensión de entrada V_{in} y el valor de la resistencia de entrada R_{in} . Por lo tanto, cuando se desconecta el sensor Hall, V_{in} pasa a ser un nodo de alta impedancia tal que I_{in} decae a 0 y, dependiendo de la capacidad de carga en V_{out} , provoca un decaimiento de la tensión de salida. Las resistencias dummies a la entrada en este caso no son de ayuda ya que la corriente de entrada sigue siendo nula. Para evitar este decaimiento en la tensión de salida en los momentos de conmutación de fase del sensor Hall, se debe lograr que la corriente I_{in} se mantenga constante en ese breve lapso.

La función de la resistencia R_{in} es la de definir una corriente en base a la tensión V_{in} , pero esta funcionalidad también la puede lograr un amplificador de transconductancia u OTA, que no hace otra cosa más que convertir tensión en corriente. Por lo tanto, se reemplaza:

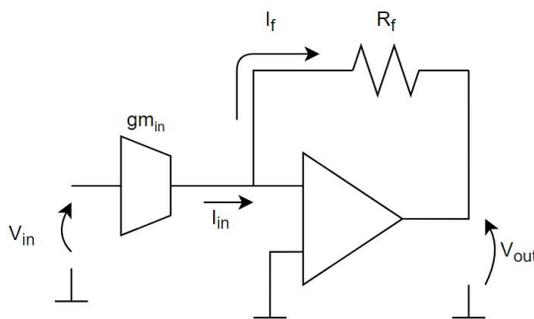


Fig. 105 - OpAmp single ended con un OTA de ganancia $g_{m_{in}}$ en lugar de R_{in}

La ganancia del OpAmp, considerando ganancia a lazo abierto infinita y resistencia de entrada infinita queda:

$$\frac{V_{out}}{V_{in}} = -g m_{in} R_f \quad (62)$$

Con esta idea y tomando ventaja de la alta impedancia de entrada del OTA, se podría conectar un capacitor luego del chopper de entrada de la siguiente forma:

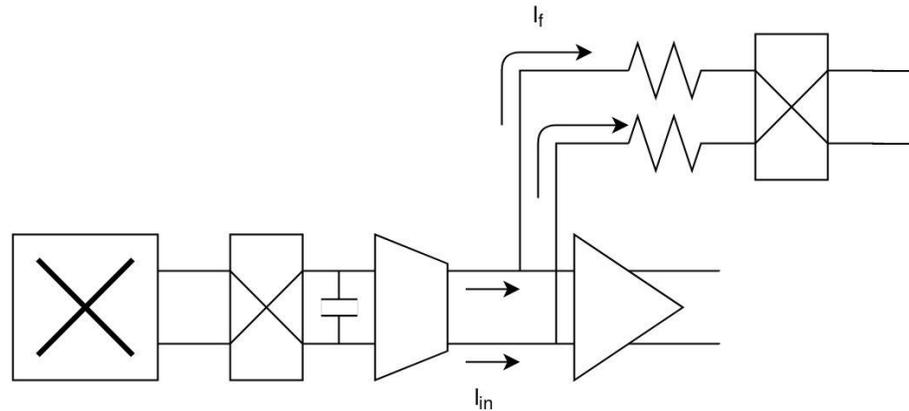


Fig. 106 - Utilización de un OTA con un capacitor en la entrada para mantener I_{in} - Configuración Fully Differential

De esta manera, en el momento en que el sensor Hall se desconecta, el capacitor almacena el último valor de tensión y de acuerdo con la ganancia $g m_{in}$, la corriente de entrada I_{in} se mantiene, eliminando el problema.

Junto con la resistencia de salida del sensor de efecto Hall y la resistencia R_{on} del chopper de entrada, este capacitor forma un filtro pasa bajos. Recordando que la principal característica de un RRL es la de no tener filtros en el signal path, esta solución parece tener desventajas. Pero gracias a la alta impedancia del OTA, no hay necesidad de tener un capacitor de gran tamaño, ya que en principio no hay corrientes que lo descarguen. Por tanto y sabiendo que la resistencia de salida el sensor Hall es del orden de los KOhms, un capacitor de orden del pF crea un polo de más de 100 MHz, sin generar problema alguno.

De todas formas, esta implementación si tiene una desventaja además de agregar complejidad al sistema, y está relacionado con el ruido generado desde el sensor Hall. Como se mencionó, el capacitor almacenará la tensión al momento de desconexión del sensor, con lo que se lo puede pensar como un track and hold de un solo canal. Como el sensor Hall es resistivo, el ruido generado es térmico y se la atribuye ancho de banda infinito. Un track and hold es un sistema conmutado que provoca modulación, y ante una señal de entrada de ancho de banda infinito, existe un aliasing que aumenta considerablemente el ruido total en el ancho de banda de interés. Es decir, el ruido de alta frecuencia se lo demodula a banda base, incrementando el nivel de ruido total del sistema.

Por ende, esta última implementación propuesta es factible, pero existe un “trade-off” entre ruido por decaimiento de la señal de salida (anulación de la corriente de entrada) y aliasing del ruido generado desde el sensor Hall.

Referencias

- [1] Allegro Microsystems (Octubre de 2016) . *Functional Safety Challenges to the Automotive Supply Chain*. Recuperado el 23 de Marzo de 2020, de <https://www.allegromicro.com/en/insights-and-innovations/technical-documents/general-semiconductor-information/functional-safety-challenges-automotive-supply-chain>.
- [2] Bishop, R. (2017). Sensors. En R. Bishop, *Mechatronic Systems, Sensors, and Actuators*. (2ª edición, pp. 20-10). Estados Unidos: CRC press.
- [3] Fan, Q., Sebastiano, F., Huijsing, J. H., y Makinwa, K. A. A. (2011). A 1.8 μ W 60 nV/ $\sqrt{\text{Hz}}$ Capacitively-Coupled Chopper Instrumentation Amplifier in 65 nm CMOS for Wireless Sensor Nodes. *IEEE Journal of Solid-State Circuits*, (vol. 46, no. 7), pp. 1534-1543.
- [4] Sears, F., Zemansky, M. (2009). Campo Magnético y Fuerzas Magnéticas. En M. Zemansky y F. Sears, *Física Universitaria Volumen 2*. (12ª edición, pp. 943). México: Addison-Wesley.
- [5] Baker, Jacob B. (2010). Operational Amplifiers I. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 776). Estados Unidos: IEEE Solid-State Circuits.
- [6] Wu, R., Makinwa, K. y Huijsing, J. (2009). A chopper current feedback instrumentation amplifier with a 1 mHz 1/f noise corner and an AC-coupled ripple reduction loop. *IEEE J. Solid-State Circuits*, (Vol. 44, no. 12), 3232–3243.
- [7] Baker, Jacob B. (2010). Operational Amplifiers I. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 774). Estados Unidos: IEEE Solid-State Circuits.
- [8] Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 242). Estados Unidos: IEEE Solid-State Circuits.
- [9] Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 225). Estados Unidos: IEEE Solid-State Circuits.
- [10] Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 221). Estados Unidos: IEEE Solid-State Circuits.
- [11] Baker, Jacob B. (2010). Models for Analog Design. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 304). Estados Unidos: IEEE Solid-State Circuits.
- [12] Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3ª edición, pp. 247). Estados Unidos: IEEE Solid-State Circuits.
- [13] Bakker, A., Thiele, K., y Huijsing, J. (2000). A CMOS nested-chopper instrumentation amplifier with 100-nV offset, *IEEE Journal of Solid-State Circuits*, (vol. 35, no. 12), pp. 1877-1883.

- [14] Kusuda, Y. (2010). Auto Correction Feedback for Ripple Suppression in a Chopper Amplifier. *IEEE Journal of Solid-State Circuits*, (vol. 45, no. 8), pp. 1436-1445.
- [15] Nise, N. (2010). Digital Control Systems. En Norman S. Nise, *Control Systems Engineering*. (7^a edición, pp. 714). Estados Unidos: Wiley.
- [16] Baker, Jacob B. (2010). Dynamic Analog Circuits. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3^a edición, pp. 837). Estados Unidos: IEEE Solid-State Circuits.
- [17] Bilotti, A., Monreal, G., Vig, R. (1997). Monolithic Magnetic Hall Sensor Using Dynamic Quadrature Offset Cancellation. *IEEE Journal of Solid-State Circuits*, (Vol. 32, No.6).
- [18] Lah, L., Choma, J., Draper, J. (2000). A continuous-time common-mode feedback circuit (CMFB) for high-impedance current-mode applications. *IEEE Trans. Circuits Syst. II: Analog Digit. Signal Process*, (vol. 47, no. 4), pp. 363-369.
- [19] Czarnul, Z., Takagi, S., Fujii, N. (1994). Common-mode feedback circuit with differential-difference amplifier. *IEEE Trans. Circuits Systems I*, (vol. 41, no. 3), pp. 243–246.
- [20] Baker, Jacob B. (2010). Electrical Noise: An Overview. En Jacob B. Baker, *CMOS Circuit Design, Layout and Simulation*. (3^a edición, pp. 228). Estados Unidos: IEEE Solid-State Circuits.

Agradecimientos

Esta tesis o proyecto final fue un arduo y constante trabajo de un año en forma activa, aunque se empezó a pensar y proyectar a mediados del 2018. El haber llegado a esta etapa no sólo representa un momento de enorme satisfacción por haber cumplido con lo que se propuso, sino por 7 consecutivos años de estudio que me dejan incontables conocimientos y experiencias.

Me sería completamente imposible estar escribiendo esta página sin la ayuda de destacadas personas con las que me crucé en estos 7 años (algunos más) y es por ello que quiero resaltarlas:

- En primer lugar, el director de la presente tesis, Gabriel Gabian. Además de ser mi tutor, tuve la suerte de tenerlo como docente en dos excelentes asignaturas y es allí donde demostró no solo sus conocimientos y capacidad de transmitirlos, sino también su amor a la docencia y su constante predisposición a la enseñanza.
- A otros dos grandes docentes que marcaron un antes y un después en la carrera, Jorge Sinderman, en Teoría de los Circuitos y Héctor Polenta, en Dispositivos Electrónicos y Teoría del Control.
- A Hernán Romero, quien me presentó el proyecto y puso a su disposición su tiempo para revisar el proyecto y acallar mis dudas.
- A Mauricio Contaldo y Allegro Microsystems Argentina, que me prestaron el espacio y las herramientas para desarrollar el diseño.
- Por supuesto, a la Universidad Nacional de San Martín, mi segunda casa por mucho tiempo.
- Ya más personalmente, a mis compañeros y amigos de la carrera, especialmente Tomás, Francisco, Misael, Nahuel e Ignacio, que me apoyaron (y seguirán apoyando) en estos años.
- A mis abuelos, especialmente el Lolo, quien me mostró e incentivó desde muy, muy chico la magia de la electricidad.
- Y como más importante, a mis viejos, que me apoyan incondicionalmente hace 26 años (y contando) a quienes les debo absolutamente todo.

Finalmente, gracias al Estado Nacional. Tener educación universitaria pública y de calidad es un privilegio al que todo ciudadano Argentino puede acceder sin condición. Ese el regalo más grande que una Nación puede dar, y eso, es vivir en el primer mundo.

Fonseca Giraudó, Maximiliano Gabriel